

氏名（本籍地）	武井 康浩
学 位 の 種 類	博 士（情報科学）
学 位 記 番 号	情 博 第 606 号
学位授与年月日	平成28年 3月25日
学位授与の要件	学位規則第4条第1項該当
研究科、専攻	東北大学大学院情報科学研究科（博士課程）情報基礎科学専攻
学位論文題目	メモリ帯域の高効率利用に基づくFPGAアクセラレータの設計に関する研究
論文審査委員	（主査）東北大学教 授 亀山 充隆 東北大学教 授 青木 孝文 東北大学教 授 大町 真一郎 （工学研究科） 東北大学准教授 張山 昌論

論 文 内 容 の 要 旨

第1章 緒言

近年、ビッグデータ/高性能計算が様々なアプリケーションで応用されている。そのため、ビッグデータ/高性能計算のアプリケーションを高速かつ低消費電力で処理することができるような計算機システムが強く求められている。本研究ではビッグデータ/高性能計算の高速かつ低消費電力な演算処理を実現できる計算機システムとして、FPGA(Field Programmable Gate Array) に応用に特化したビッグデータ/高性能計算向けアーキテクチャを実装したカスタムアクセラレータに注目している。FPGAアクセラレータの利点として、アクセラレータのアーキテクチャを応用に合わせて自由に再構成できると、FPGAの消費電力はCPU、GPUと比べて非常に小さいことがあげられる。

FPGAによるビッグデータ/高性能計算向けカスタムアクセラレータの問題点として、外部メモリ・ストレージとのデータ転送がボトルネックになることがあげられる。FPGA内部のメモリ容量ではビッグデータアプリケーションを処理することが出来ないため、DDR SDRAMなどの外部メモリ、SSDなどの外部ストレージにデータを記憶する必要がある。しかしながら、転送帯域が限られているため、外部メモリ・ストレージとのデータ転送時間のオーバーヘッドが発生してしまう。

本論文では、外部メモリ・ストレージとのデータ転送時間のボトルネックの削減に着目した3種類のFPGAカスタムアクセラレータの設計手法を提案する。1章は緒言であり、本研究の背景、目的および概要について述べている。2章では、データ転送と演算処理のオーバーラップを考慮したMIMDアクセラレータの最適設計法を示す。3章では、熱力学、電磁界解析などで用いられるステンシル計算について、内部メモリの効率的利用によって外部メモリアクセス回数を削減したステンシル計算のアクセラレータにおける最適設計を示す。4章では、グラフ構造における最短経路検索を処理するFPGAアクセラレータについて、簡潔データ構造に基づくグラフデータ圧縮による転送時間の削減手法、および中間結果の記憶量削減手法を示す。5章は結言である。

第2章 データ転送を考慮したマルチコア MIMD アクセラレータの最適設計

図1にMIMDアクセラレータのアーキテクチャモデルの概要を示す。複数のMIMDアクセラレータコアを実装する場合においては、コアごとのデータ転送と演算処理を同時に実行させることにより、全体の処理時間を削減できる。

フィルタなどのWindow画像処理では、外部メモリからのデータ転送と

Window演算処理がシーケンシャルに繰り返される。支配的な中間状態の計算時間の見積もりの導出について、コア数が N_c のとき中間状態に

おけるシーケンスごとのデータ転送時間

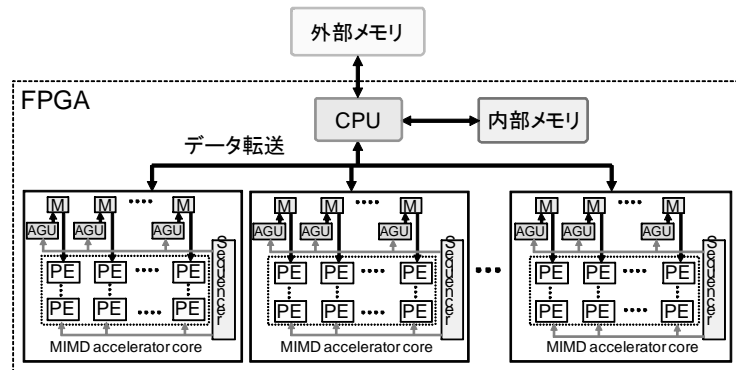


図1 MIMD アクセラレータのアーキテクチャ

間(t_{trans})とWindow演算時間(t_{comp})のオーバーラップはコア1における t_{comp} がコア2～ N_c における t_{trans} に完全にオーバーラップされる場合とされない場合の2通りに分類される。それぞれのオーバーラップの場合を考慮すると、Window画像処理の処理時間はピクセル並列度、ウィンドウ並列度、コア数、縦と横の画像分割数の値から計算することができる。そのため、Window画像処理の処理時間の最小化は、設計自由度の全探索によって実現できる。

計算時間見積もりの評価について、MIMD アクセラレータをXilinx Zynq に実装した場合の最適な設計自由度の導出を行った。フィルタサイズ、メモリモジュール数などのハードウェア制約によって最適化された設計自由度の値が変化していることを確認した。ウィンドウサイズが大きい場合、演算処理のオーバーラップは演算時間がデータ転送時間をオーバーラップしている。この理由について、1 コアにおける演算時間が他コアのデータ転送のオーバーヘッドをオーバーラップするほうが、全体の処理時間を短くすることができるためであると考えられる

第3章 内部メモリの効率的利用を考慮したステンシル計算アクセラレータの最適設計

熱力学、電磁界解析などの数値シミュレーション計算の分野で幅広く使用されるステンシル計算を処理するためには、計算領域全体のグリッドデータへのアクセスがタイムステップごとの処理に必要な。そのため、計算領域のグリッドデータ分の外部メモリアクセスがタイムステップごとに発生している。

本研究で対象とするステンシル計算アクセラレータのアーキテクチャを図2に示す。タイムステップあたりの計算モジュールは、中間データを記憶するバッファとステンシル演算を処理するためのPEアレイによって構成されている。これらの計算モジュールを連結することで、外

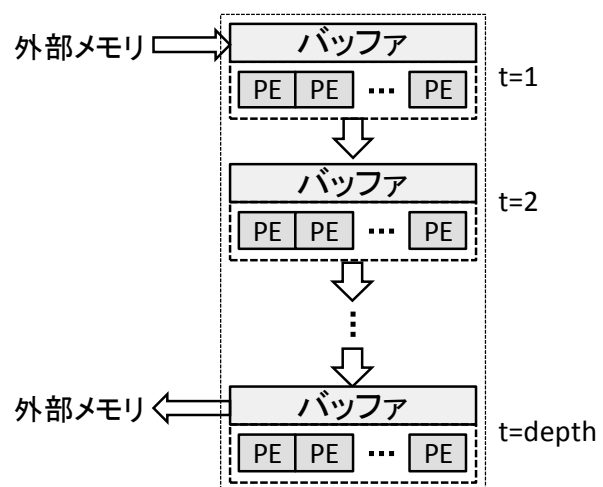


図2 ステンシル計算アクセラレータのアーキテクチャ

部メモリアクセス1回に対して複数タイムステップのステンシル演算を処理することができる。

ステンシル計算アクセラレータの最適設計について、ステンシル演算の並列度を上げるとタイムステップあたりの計算時間が削減される。一方で、リソース制約下においては、演算の並列度を上げると内部メモリアクセスのみで処理するタイムステップ数(depth)が小さくなり、外部メモリとのアクセス回数が増加してしまう。そのため、本論文ではステンシル演算並列度とdepthの値からステンシル計算時間の見積もりを算出して、最適な自由設計度の選択手法について考察している。

提案するステンシル計算アクセラレータを並列処理向け言語のOpenCLを用いてFPGAボードに実装して、ステンシル演算並列度とdepthを変化させた場合の計算時間と消費電力の変化を計測した。ステンシル演算並列度が一定の場合について、depthが大きいほど外部メモリアクセス回数の減少により計算時間が小さくなった。ステンシル演算並列度ごとの計算時間最小値の比較結果では大きな違いが確認されなかった。一方で、消費電力量の計測結果について、depthが139、ステンシル演算並列度が1のアクセラレータの消費電力量は、depthが20、ステンシル演算並列度が8の場合と比べて約21%削減されていた。これは、外部メモリ-FPGA間の配線、IOパッドの消費電力が外部メモリアクセス回数の減少によって削減されているためであると考えられる。

第4章 簡潔グラフ表現に基づく最短経路検索アクセラレータ

大規模グラフにおける最短経路問題の処理では、入力グラフのデータ量および最短経路検索の計算に必要な中間データの記憶量の削減が課題となっている。そのため、本章では簡潔データ構造によるグラフデータの圧縮、および最短経路探索に必要なノードデータの記憶量の削減を提案する。

簡潔データ構造は、高速なデータ処理とコンパクトな記憶容量を両立できるデータ構造として様々な分野のビッグデータ処理に応用されている。一般的なグラフの隣接リスト表現は、

辺の長さ、隣接ノード情報と隣接ノードの集合の区切りの位置を示すIndex情報によって構成される。一方で、簡潔グラフ表現では、Index情報を、0と1のビット情報の集合であるビットベクトルで表現している。特定のノードxに接続されているエッジのデータにアクセスする場合は、頂点データの集合の区切りの位置を示すビットベクトルBに対して、x番目の1の場所を求めるセレクト操作 $select_1(B, x)$ を計算することにより、Indexを直接記憶した場合と同様の処理を行うことができる。Select操作をFPGAで計算するために、一定ノードごとのselectの値を計算したheader、一定の長さ以上のビットベクトルを分割しているbodyによって構成されるマルチワードのデータ構造を提案している。アメリカの道路ネットワーク（約2395万ノード、5833万エッジ）を簡潔グラフ化した場合のデータ量について、Index情報のデータ量が約88%削減されていることが確認された。しかしながら、エッジの重みと接続ノードを示すデータ量が大きい

ため、グラフ全体のデータ量の削減率が約18%にとどまっていることが確認された。

最短経路検索アクセラレータのアーキテクチャを図3に示す。ダイクストラ法における距離の更新、最小距離の検索を並列処理するためのPE、PEの計算結果から最短経路を持つノード番号と距離データを選択するためのセクタ、現在ノードの最短距離、ノード番号を格納する現在ノードレジスタなど

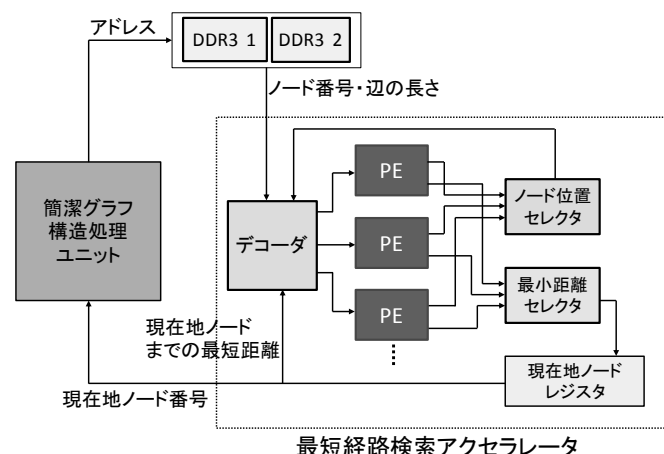


図3 最短経路検索アクセラレータのアーキテクチャ

で構成されている。ノードメモリ内の中間データの記憶量削減について、ダイクストラ法における最短経路に使用されるデータは、最短経路が直前に確定した現在ノードと現在ノードに隣接または最短経路が確定しているノードに隣接する最短経路が未確定なノードデータ以外は使用されなくなる。前回の現在ノードデータは今後の処理で使用されないため、現在ノードにおける距離のデータを専用レジスタに記憶して、新たに現在ノードに隣接した未確定ノードのデータを前の現在ノードデータに上書きしている。

格子グラフにおける1 点对全点最短経路問題の処理中にノードメモリに格納されるノードデータ数について、全体のノード数の約1/3 程度であることが確認された。また、1 点对全点最短経路問題の計算時間の見積もりをCPUの処理性能と比較すると、ノード数が4096 のグラフの最短経路検索に対して、CPU の約60 倍の処理速度が出ていることが確認された。

第5章 結言

本論文では、外部メモリ・ストレージとのデータ転送のオーバーヘッド削減に着目したFPGAアクセラレータの設計手法を提案した。今後の展望として、複数のFPGA ボードを接続した超大規模計算向けのFPGAカスタムアクセラレータについて、簡潔表現を用いたデータ圧縮に基づくボード間・ストレージ間のデータ転送量削減、およびデータ転送を考慮したアクセラレータの最適設計への応用が期待できる。

論文審査結果の要旨

高並列処理を行うアクセラレータにおいては、外部メモリからプロセッサへのデータ供給が性能のボトルネックとなっている。著者は、これらの問題を解決するため、回路構成をプログラムにより書き換えられるFPGAをプロセッサとして用い、外部メモリとFPGAの間のメモリ帯域を効率的に利用するためのアーキテクチャとその最適化設計手法を提案し、その有用性を実証した。本論文はその成果をとりまとめたもので、全文5章からなる。

第1章は、緒言である。

第2章では、MIMD(Multiple Instruction stream, Multiple Data stream)アーキテクチャを対象として、ウィンドウ形画像処理に対するリソース制約下での処理時間最小化スケジューリング手法を提案している。複数の計算コアの計算とデータ転送のオーバーラップを考慮したスケジューリングにおいて、計算時間及びデータ転送時間の関係を明らかにし、高精度な処理時間モデルを構築した。このモデルを用いた最適スケジューリング手法を考案し、従来手法と比較して高性能化できることを示している。これは、画像処理向けFPGAアクセラレータの高性能化を実現する有用な成果である。

第3章では、高性能計算において重要となるステンシル計算のために、リソース制約下で処理時間を最小化する設計法を提案している。FPGA内の演算部と外部メモリの間のデータ転送を削減するために、ステンシル演算の複数のタイムステップをパイプライン処理するアーキテクチャモデルを設定し、リソース制約下で空間的並列度及び時間的並列度の組み合わせを最適化する手法を考案した。これは、高性能計算向けFPGAアーキテクチャの高性能化・低消費電力化を達成する有用な成果である。

第4章では、ビッグデータ応用の重要な処理の一つである大規模グラフ処理のために、データ圧縮と処理の効率化を両立する簡潔グラフ表現に適したアーキテクチャを提案している。最短経路探索アクセラレータのために、圧縮データの可変ワード長に対応したデータ格納方式に基づいた並列アーキテクチャにより、従来のCPUでの処理と比較して大幅な高速化が達成できることを示している。これは、大規模グラフ処理向けFPGAアクセラレータの高性能化を実現する有用な成果である。

第5章は、結言である。

以上要するに本論文は、ビッグデータ応用や高性能計算向けFPGAアクセラレータの高速化・低消費電力化のために、メモリ帯域・記憶容量に着目したアーキテクチャと最適設計手法を考案し、その有用性を明らかにしたもので、情報基礎科学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。