

博士学位論文要約（平成29年3月）

1 光子検出の感度と線形応答・高飽和性能を有する CMOS イメージセンサに関する研究

若嶋 駿一

指導教員：須川 成利

A Study on CMOS Image Sensor with Single-Photon Countable Sensitivity, Linear Response and High Full-Well-Capacity

Shunichi WAKASHIMA

Supervisor: Shigetoshi SUGAWA

In this thesis, a research on the CMOS image sensor achieving single-photon countable sensitivity and high full-well-capacity (FWC) simultaneously in a single exposure with linear response is described. As key technology for single-photon countable sensitivity and high FWC CMOS image sensor, lateral overflow integration capacitor (LOFIC) pixel structure, column dual gain amplifiers, small C_{FD} structure and floating capacitor load readout operation are described. Using these key technologies, a high sensitivity and high FWC CMOS image sensor is developed. The chip exhibit the performances of $0.46 e^-_{rms}$ of input referred readout noise, where the input referred noise is $105.6 \mu V_{rms}$ and the conversion gain is $242 \mu V/e^-$, and a FWC of $76000 e^-$ with linear response simultaneously. Furthermore, the noises of individual readout circuit are clarified and improvement strategies for achieving $0.2 e^-_{rms}$ input referred readout noise are clarified.

1. はじめに

近年、イメージセンサは民生用のカメラだけでなく、科学計測、防犯、医療、産業分野など幅広い分野で用いられている。特に、科学計測、産業において、1光子を検出する高感度イメージセンサ実現が求められている。現在、これらの用途では、電子増倍効果を用いたイメージセンサが用いられている。イメージセンサの捉える光は、粒子性を持っており、この光の粒子を1つずつカウント(フォトンカウンティング)することが、高感度の物理限界である。現存する電子増倍効果を用いた個体イメージセンサでは、信号の線形性に課題があり、フォトンカウンティングが難しい。こうした状況により、近年、複数の機関からフォトンカウンティング実現に向け、電子増倍効果を用いない高感度イメージセンサの研究開発が報告されている^[3,4]が、これらのイメージセンサは高感度化に特化したものであり、高感度化により飽和性能が犠牲になっている。1光子検出の高感度と高飽和を両立するための技術は報告されていない。

そこで本研究では、高飽和性能と高感度性能を両立する技術である横型オーバーフロー蓄積容量(LOFIC)技術^[5]を発展させて1光子検出可能な超高感度である、入力換算ノイズ電子数 $0.2e^-_{rms}$ と、従来の CMOS イメージセンサを超える高飽和を同時に達成するイメージセンサ技術を創出することを目的とする。

2. 1 光子検出感度・高飽和・単一露光・線形応答 CMOS イメージセンサの要素技術

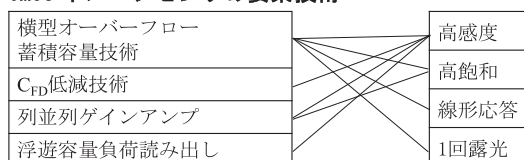


図1. 要素技術と実現性能の対応関係

1 光子検出の高感度と高飽和性能を線形応答・1回露光で実現するために必要な要素技術と実現性能との対応関係を図1に示す。

LOFIC 技術は、画素における感度と飽和のトレードオフを解消する技術である。LOFIC 画素は通常 CMOS イメージセンサで用いられている 4 トランジスタ画素にスイッチ S と容量 C_{LOFIC} が追加された回路となっており、それぞれの等価回路図を図2に示す。図3に、低照度下、高照度下のそれぞれにおける LOFIC 画素の信号読み出し動作の模式図を示す。信号読み出し PD に蓄積した電荷を画素信号読み出し時に小さい容量 C_{FD} に転送し、高感度な画素第1信号を読み出す。その後、S をオンにして、 C_{FD} と C_{LOFIC} を接続し飽和電荷量を拡大した画素第2信号を読み出す。また、高照度下においては、蓄積期間中に PD から溢れた電荷を C_{FD} を介して、 C_{LOFIC} に蓄積することで、

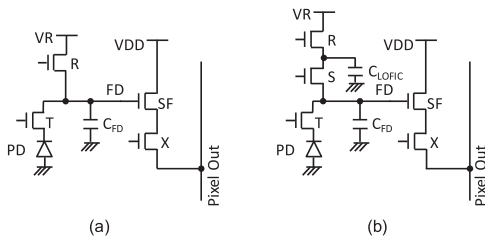


図 2. (a)4 トランジスタ画素, (b)LOFIC 画素

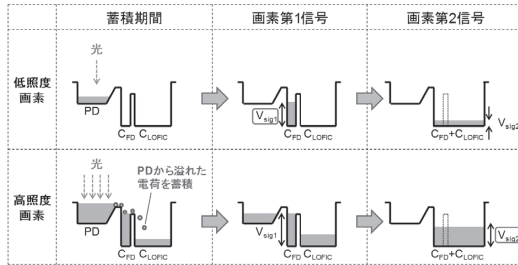


図 3. LOFIC 画素の読み出し方法

PD の飽和電荷量を超えた電荷量を蓄積することができる。このようにして読み出した信号のうち、低照度な画素では画素第 1 信号を、高照度な画素では画素第 2 信号をそれぞれ用いることで、高感度と高飽和を両立する。

C_{FD} 低減技術は、 q/C_{FD} で表される電荷電圧変換ゲイン(CG)を増大させるために用いる。図 4 に、従来の CMOS イメージセンサプロセスにおける FD の断面構造図を各部に寄生する容量とともに示す。これらの容量の成分を簡単な線形計算で C_{FD} を構成する容量成分を抽出することが可能な、面積や長さの異なる 4 つのテストパターンを作製した。これらのテストパターンを用いて測定した C_{FD} 構成成分測定結果とリファレンス用に作成したイメージセンサ測定結果の C_{FD} 容量を、図 5 にそれぞれ示す。 C_{FD} の総容量がよく一致した。また、テストパターン測定結果より、 C_{FD} 構成成分のうち、ゲートオーバーラップ容量が最も大きく、続いて pn 接合容量であることが明らかになった。これらの結果をもとに、低 C_{FD} デバイス構造を提案した。図 6 に断面構造図を示す。低 C_{FD} デバイス構造では、拡散層部と画素 SF ドレイン部において、Lightly Doped Drain 注入プロセスを省略し n 型拡散層注入を浅く低濃度に変更するとともに、拡散層下のチャネルストップ注入を省略した。これらにより、ゲートオーバーラップ容量と pn 接合容量を低減する。

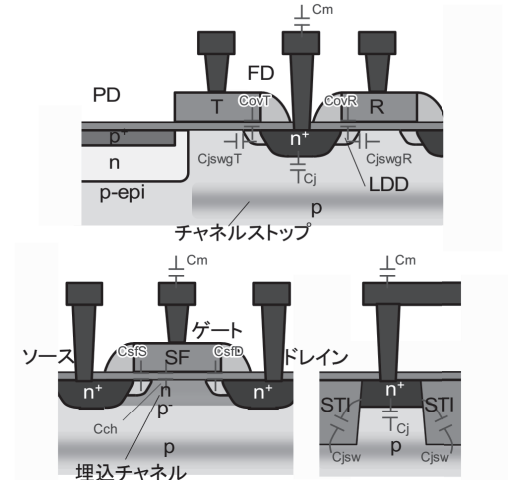
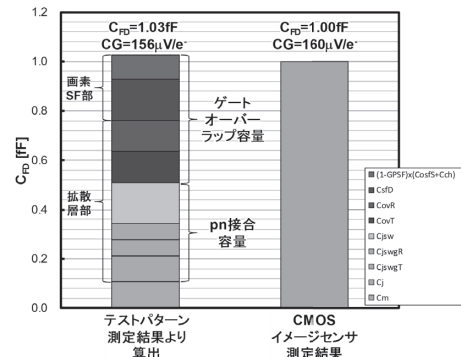
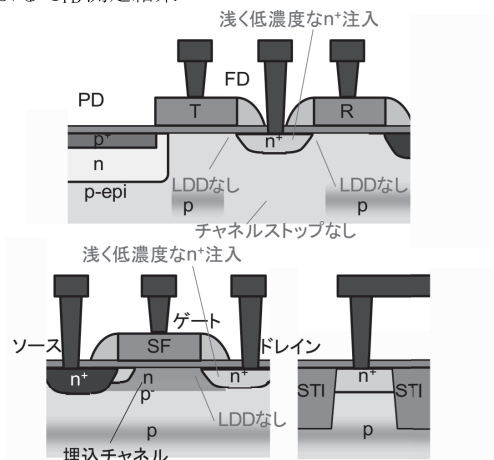


図 4. 従来 CMOS イメージセンサプロセスの断面構造図

図 5. テストパターンと CMOS イメージセンサによる C_{FD} 測定結果図 6. 低 C_{FD} デバイス構造における断面構造図

また、画素信号読み出し時のノイズ低減に向けて、浮遊容量負荷読み出しを提案した。図 7 に (a) 定電流読み出し、(b) 浮遊容量負荷読み出しのそれぞれの画素信号読み出し回路と信号保持容量と画素電流の時間変化を示す。一般的に用いられている定電流読み出しでは、画素 SF と列定電流源を接続することで画素信号を読み出す。信号読み出し終了時、画素 SF には列電流源によって決まる一定電流が流れているため、ゲート・ソース間電圧が一定になる。そのため、画素 SF のゲート電圧である FD 電圧に追従した電圧が読み出される。一方、浮遊容量負荷読み出しでは、画素 SF と低い電圧にリセットした後に浮遊状態にした容量を接続し、電流を積分することで画素信号を読み出す。浮遊容量負荷読み出しでは、電流の積分効果により、ノイズが減少する。

列以降の読み出しノイズの低減しつつ、高ゲイン化による飽和性能の減少を抑制するために、列毎に高ゲインアンプと低ゲインアンプを並列に配置した、並列ゲインアンプ^[9]を導入する。図 8 に LOFIC 画素と列並列ゲインアンプを同時に用いた回路図とその出力信号の関係を示す。高感度な画素第 1 信号を読み出し時に高ゲインアンプと低ゲインアンプを用いて超高感度な信号 S1H、高感度な信号 S1L を読み出し、高飽和な画素第 2 信号読み出し時にはゲインアンプを用いず、信号 S2 として読み出す。これらの 3 信号はそれぞれ線形応答であり、単一露光によって得られるものである。

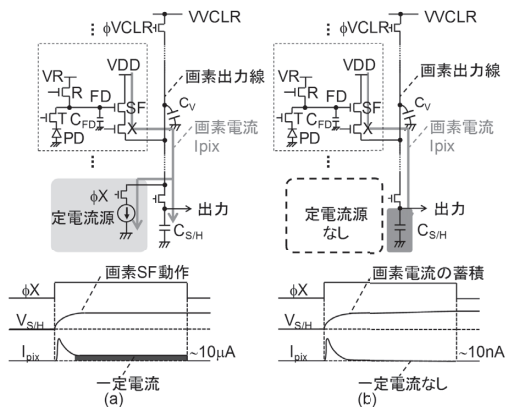


図 7. (a) 定電流読み出し、(b) 浮遊容量負荷読み出しのそれぞれの画素信号読み出し回路と信号保持容量と画素電流の時間変化

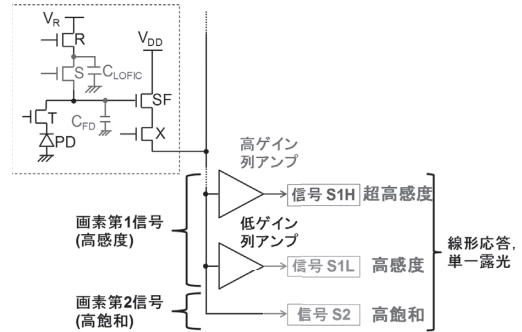


図 8. LOFIC 画素と列並列ゲインアンプを同時に用いた回路図と出力信号

3. 1 光子検出感度・高飽和・単一露光・線形応答 CMOS イメージセンサの設計・作製・評価

以上の要素技術を搭載した CMOS イメージセンサを設計・作製・測定評価を行った。図 9 にチップ写真と光電変換特性測定結果を示す。光電変換特性測定結果より、 76ke^- の飽和電荷数と 104dB のダイナミックレンジを得た。また、CG は、定電流読み出しにおいて $243\mu\text{V}/\text{e}^-$ 、浮遊容量負荷読み出しにおいて $232\mu\text{V}/\text{e}^-$ であった。図 10 に、定電流読み出し、浮遊容量負荷読み出しそれぞれの、入力換算ノイズ測定結果を示す。最頻値は定電流読み出しで $0.74\text{e}^-_{\text{rms}}$ 、浮遊容量負荷読み出しで $0.46\text{e}^-_{\text{rms}}$ であった。図 11 に様々な光強度下における室温の撮像例を示す。撮像例より、極めて高い感度と広いダイナミックレンジを確認した。また、作製したチップを従来のイメージセンサ性能と比較した結果を図 12 に示す。作製したイメージセンサは、感度と飽和性能において、従来イメージセンサを凌駕する性能を実現した。

また、各読み出し回路段以降のノイズ測定結果より、各読み出し回路で発生するノイズを測定した結果を図 13 に示す。画素 SF $1/f$ ノイズ、列アンプノイズが支配的であり、1 光子検出に向けて、さらなる低減が必須である。列アンプノイズ低減に向けて、列アンプゲインを 64 倍に増大するとともに、画素 SF $1/f$ ノイズ低減に向けて、高速 OP アンプを用いた場合と原子オーダー平坦トランジスタを用いた場合のそれぞれのノイズ計算結果を図 14 に示す。64 倍列ゲインアンプと原子オーダー平坦トランジスタを用いた場合に、 $\text{CG}=236\mu\text{V}/\text{e}^-$ で 1 光子検出に必要な $0.2\text{e}^-_{\text{rms}}$ の入力換算ノイズ電子数が実現する見込みを得た。

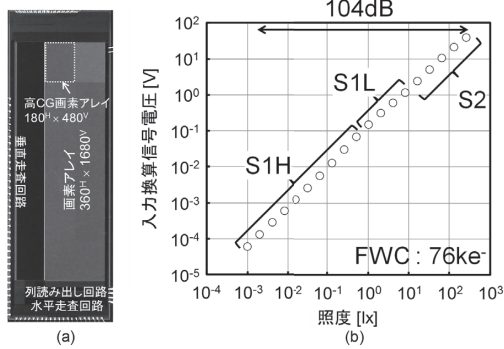


図 9. (a)チップ写真と(b)光電変換特性測定結果

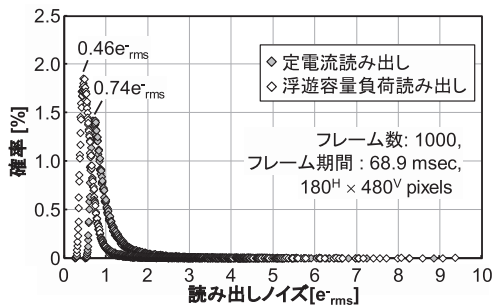


図 10. 入力換算ノイズ測定結果

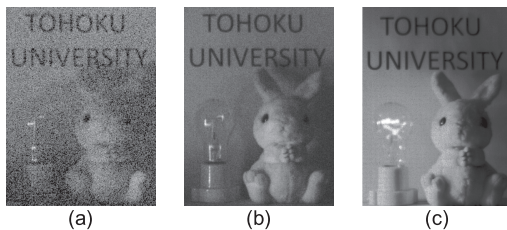
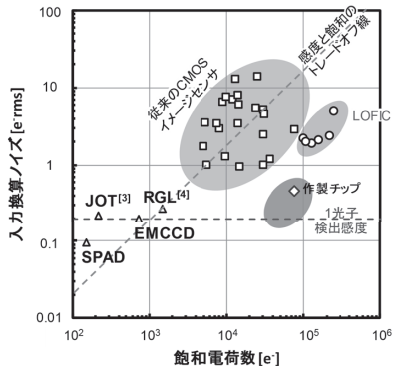
図 11. 様々な光強度下における撮像例
(a)~3e-, (b)~30e-, (c)30000e-, 露光時間 68.9ms

図 12. 従来イメージセンサとの比較結果

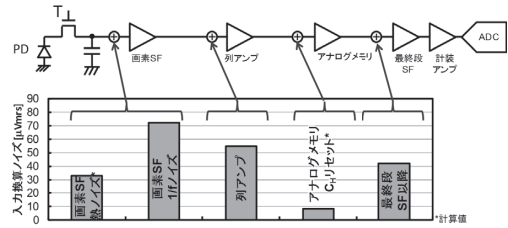


図 13. 各読み出し回路ノイズ測定結果

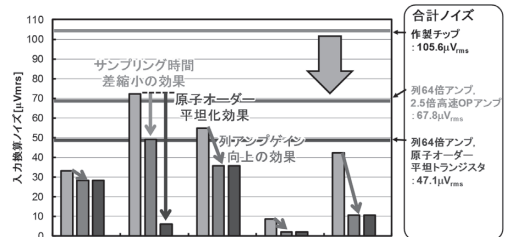


図 14. 列アンプゲイン 64 倍, 高速 OP アンプ, 原子オーダー平坦トランジスタを導入した場合のノイズ計算結果

4. まとめ

本論文は, 1 光子検出の高感度性能と高飽和性能を両立 CMOS イメージセンサ技術実現にむけて, LOFIC, C_{FD} 低減技術, 列並列ゲインアンプ, 浮遊容量負荷読み出しを合わせて用いる構成を提案し, 設計・作製・測定評価を行い, その特性評価を行った. 作製した CMOS イメージセンサは, 0.46e_{rms} の入力換算ノイズ電子数と, 76ke⁻ の高飽和性能を同時に実現した. また, 作製した CMOS イメージセンサの各読み出し段のノイズを測定し, 各読み出し段で発生するノイズを切り分け, 0.2e_{rms} 実現に向けたさらなるノイズ低減方針を明らかにした.

文献

- 1) S. K. Mandan et al., IEEE Trans. Electron Devices, Vol.ED-30, No.6, 1983.
- 2) S. Cova et al., Rev. Sci. Instr., Vol.52(3), pp.409-412, 1981.
- 3) J. Ma et al., IEEE J. Electron Devices Soc. 2015, Vol.3, No.6, pp.472-480, 2015.
- 4) M. W. Seo et al., IEEE Electron Device Letters, Vol.36, No.12, 2015.
- 5) S. Sugawa et al, ISSCC Dig. Tech Papers, pp.352-353, 2005.
- 6) P. Vu et al., Intl. Image Sensor Workshop, pp.161-164, 2011.