

修士学位論文要約（平成29年3月）

トンネル電流・拡散電流併用 MOSFET に関する研究

古川 貴一

指導教員：須川 成利， 研究指導教員：黒田 理人

A Study on the Hybrid MOSFET Using Tunneling Current and Diffusion Current

Kiichi FURUKAWA

Supervisor: Shigetoshi SUGAWA, Research Advisor: Rihito KURODA

In current LSIs, high speed and low power consumption performance are required. In this paper, a novel type of MOSFET that is called “Hybrid MOSFET” is proposed. The hybrid MOSFET uses both tunneling current and diffusion current in the same device. The tunneling current contributes to decrease the supply voltage and the diffusion current contributes to maintain the drive current. Through device simulations, the device structure of the hybrid MOSFET was optimized and the effect of each parameter was investigated. For the fabrication the structure of the hybrid MOSFET, the selective epitaxial growth technology that is required to form the tunneling current channel was developed with fundamental experiments. In addition, the high-k metal gate fabrication technology was examined with ZrO and TiN to realize the optimum electrical performance. The device structure and fabrication technologies of the hybrid MOSFET were provided.

1. はじめに

半導体集積回路の適用分野が拡大しており、要求性能として高速化および低消費電力化が望まれている。両者はトレードオフの関係にあり、これまで解消されていなかった。本研究では、低消費電力化に適したトンネル電流と従来速度が維持される拡散電流を一つのトランジスタ内で併用することにより、トレードオフの解消を目指す。そこで、デバイスシミュレーションを用いて併用 MOSFET の構造の検討および最適化を行い、構造を決定する。また、併用 MOSFET の作製において必要となるプロセス技術を抽出し、それらを確立する。この指針に従って、併用 MOSFET を実現するための基盤を構築した。

2. デバイスシミュレーションによる構造検討

併用 MOSFET に適した構造を明らかにするために TCAD シミュレーションを用いたデバイスシミュレーションを行った。併用 MOSFET においては、電流機構の異なる二つの電流成分を同一トランジスタ領域で併用する必要があるため、デュアルゲート構造としてそれらを分離する案を採用した。二つの対向電極には常時同一電圧が印加される。

図1に最適化した併用 MOSFET の構造を、図2に電流電圧特性のシミュレーション結果をそれぞれ示す。図1においては、電流成分を上下で分離し、トンネル電流成分の特性向上および拡散電流のリーク防止のためにトンネル電流用ソース領域を拡張した構造を取り入れた。図2より、ゲート電圧が小さい領域（サブスレショルド領域）においてはトンネル電流が支配的とな

り、その急峻な立ち上がりが得られた。ゲート電圧が大きい領域においては拡散電流が支配的となり、その高飽和電流が得られた。本シミュレーション結果より、意図していた併用 MOSFET 動作が実現可能であることが明らかとなった。

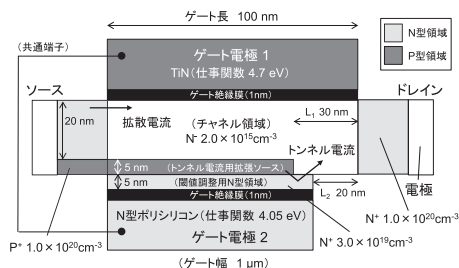


図1. 併用 MOSFET の最適構造

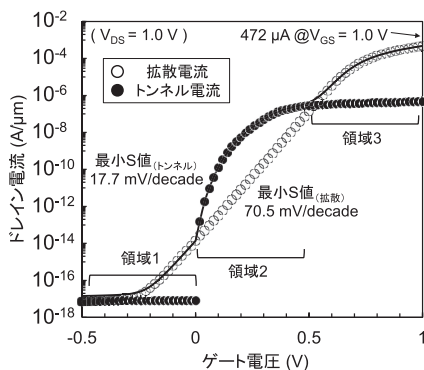


図2. 電流電圧特性のシミュレーション結果

3. 三次元構造展開と選択エピタキシャル成長技術

図3に併用 MOSFET の性能向上および将来の集積化へ対応するための三次元構造に適用した例を示す。また、三次元構造化に伴いトンネル電流部の極薄 P⁺層を作り込む必要があるところ、低温選択エピタキシャル成長技術の導入を検討し、併用 MOSFET 構造に現れている高濃度の Si 上に対して良質な成膜を行う技術の確立を行った。

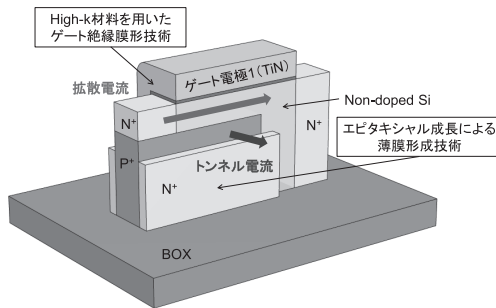


図3. 三次元の併用 MOSFET 構造例

固相条件下において成膜実験を行い、400℃の非結晶 Si 成膜、大気雰囲気における表面酸化膜形成、550℃の結晶化アニールの3工程により平坦かつ下地高濃度 Si 基板からの不純物拡散が抑制された良質な薄膜層が得られることが明らかとなった。また、固相エピタキシャル成長後の Si 表面に対して H₂/Xe 用いた低温プラズマ照射²⁾を行うことにより、成膜後の Si 表面の平坦性が向上することが確認された。図4に酸化膜形成を用いた固相成長後にプラズマ平坦化を行った Si 表面の AFM 像を示す。

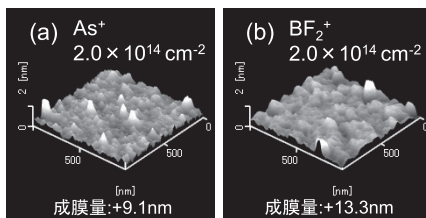


図4. プラズマ平坦化後の表面形状

4. High-k 絶縁膜・メタルゲートの導入と、デバイス設計およびデバイス作製手順の構築

デバイスシミュレーションにより得た特性を実際のデバイスにおいても得るためには、酸化膜換算で1nmの良質なゲート絶縁膜形成が必須となる。そこで誘電率の高いHigh-k材料の導入を検討した。図5にZrOゲート絶縁膜を導入したMOSキャパシタの電流電圧特性の測定結果を示す。

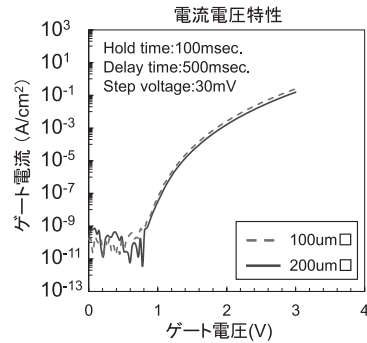


図5. MOS キャパシタの電流電圧特性

併用 MOSFET の使用電圧範囲 1.0V 付近までリーク電流が現れないことが確認された。また、容量電圧特性の測定により、フラットバンド電圧のシフトやヒステリシス特性が極めて小さいことが確認された。これらの結果より、ZrO 膜が併用 MOSFET に対して適用可能である見込みを得た。

三次元併用 MOSFET 構造作製に必要な低温エピタキシャル成長技術および High-k 絶縁膜の適用準備が整ったため、具体的なデバイス構造の設計とそれに対応したデバイス作製手順の構築を行った。また、設計したデバイス構造と構築した作製手順を用いたデバイス試作に着手し、独立に検討が行われていた各要素技術が一つのデバイスに集積化可能であることが確認された。

5. まとめ

これからの半導体集積回路に要求される高速化および低消費電力化のトレードオフ解消を目的として、トンネル電流・拡散電流併用 MOSFET を初めて提案した。デバイスシミュレーションを用いて併用 MOSFET の原理確認がなされ、最適な構造が示された。そして、シミュレーションの段階から実際の製造プロセスの段階へ発展する際の三次元構造とその製造プロセス技術の検討を行った。高濃度 Si 基板上的の低温選択エピタキシャル成長技術を確認し、また、ZrO を用いた High-k メタルゲート形成技術を導入した。各要素プロセス技術を適用した三次元併用 MOSFET の具体的なデバイス設計とデバイス作製手順が構築され、要素技術を取り入れたデバイス試作を通じて三次元併用 MOSFET 構造実現のための基盤が整えられた。

文献

- 1) Kiichi Furukawa et al, Jpn. J. Appl. Phys., **55**, 04ED12 (2016).
- 2) Tomoyuki Suwa et al, ECS Trans. **61**, 401 (2014).