

新概念 VLSI システム研究部

新概念 VLSI コンピューティングパラダイムの実現

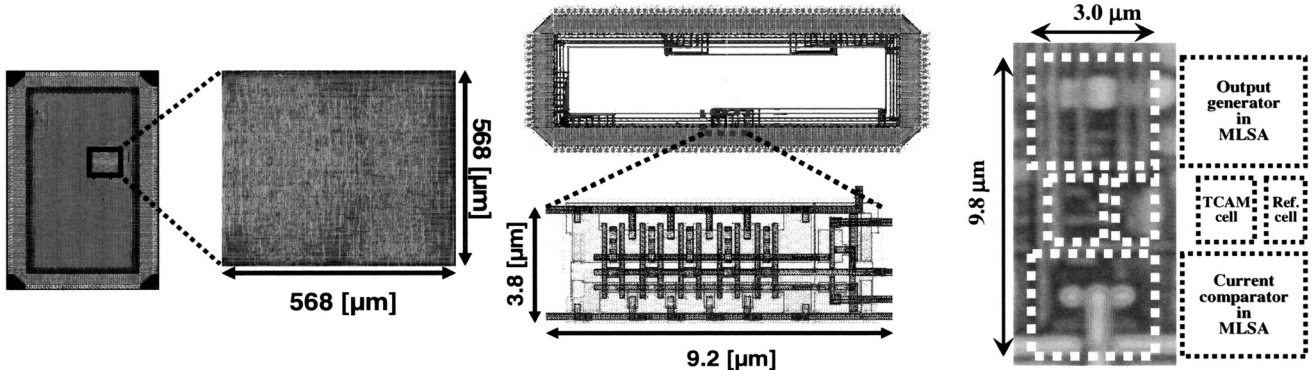


図1. 高信頼 16-b 多値乗算器チップ：温度変動（ $-25^{\circ}\text{C} \sim 125^{\circ}\text{C}$ ），電源電圧変動（ $\pm 0.1\text{V}$ ）に対し，正常動作するロバスト性を有する電流モード多値集積回路の実現に成功

図2. 高速非同期データ転送用電流モード多値回路：0，1，スプーサの3通信状態を多値電流レベルで直接表現し，1線/bitを達成．90nmCMOSによるチップ試作・基本原理検証に成功．

図3. MTJ/CMOS ハイブリッド構造不揮発 TCAM セルチップ：MTJ 素子を不揮発記憶とロジックの両面で化通用することで，従来 CMOS 実現と比べ，コンパクトな実現に成功．

＜分野の目標＞

現在の VLSI (Very Large Scale Integration) においては，素子間の配線に起因するメモリと演算器間のデータ転送ボトルネック，プロセス微細化に伴うリーク電流がもたらす消費電力の増大，および材料特性ばらつきに起因する信頼性の低下といった様々な要因がシステム性能を向上させる上で深刻な問題となっている．これらの問題を全く新しい視点から解決する新概念 VLSI コンピューティングパラダイムの実現を目的とし，本研究部では，従来の延長上にはない新しい概念に基づく VLSI アーキテクチャに関する研究，すなわち次世代 VLSI コンピューティングにおける配線問題を解決する多値電流モード非同期回路技術（図1，2），記憶機能を演算回路に分散化させることにより膨大なメモリバンド幅を実現するロジックインメモリ VLSI アーキテクチャとそれを実現する新デバイス・多機能デバイスを活用した不揮発性ロジック技術（図3）など，マルチメディア応用高性能 VLSI プロセッサの設計法および実現法に関する研究を行っている．

＜2008 年度の主な成果＞

1. 高信頼電流モード多値乗算器チップの試作：

電流モード多値回路方式を算術演算に活用すれば，線形加算演算が結線のみで実現できるなど回路実現上の優位性が見込まれる反面，信号の多レベル化による信頼性低下が懸念されていた．本年度の研究では，電流源回路にフィードバック機構を組み込むことで，温度や電源電圧変動に対して頑健な回路構造の実現に成功した．また，多レベル比較回路の参照信号レベルも，温度・電源電圧に応じて変動する回路構成とした．この結果，温度・電源電圧変動に頑健な電流モード多値回路の実現に初めて成功した．

2. 多値 single-track 方式に基づく高効率（1線/bit）非同期データ転送回路の試作：

同期式制御で「データ転送速度が最悪遅延に律速」される問題を解決する一手法として，非同期式制御が期待されている．しかし，現在提案されている非同期式制御ではデータ転

送効率が悪かった (2 線/bit 以上)。本年度は、高効率な非同期データ転送技術として知られている single-track 方式 (2 線/bit) の多状態転送モードを多値信号で直接表現することにより、1 配線当たりの情報伝達効率がよく (1 線/bit)、かつ高速性・低消費電力性を有する非同期データ転送方式「多値 single-track 方式」の基本動作原理検証」に成功した。

3. 不揮発性記憶素子を用いた TCAM セル回路チップの試作：

先進 VLSI で問題の配線問題や静的消費電力問題を解決するため、記憶機能と演算機能を一体化したロジックインメモリ技術の研究を推進している。本年度は、特に MTJ (Magnetic Tunnel Junction) デバイスとシリコンを組み合わせた不揮発性演算素子に基づく基本演算回路として、検索機能付メモリ (Ternary Content-Addressable Memory: TCAM) セル回路のチップ試作とその基本動作検証に成功した。

<職員名>

教授：羽生貴弘 (2002 年 4 月より)

助 教：松本 敦 (2007 年 4 月より)

助 教：夏井雅典 (2008 年 4 月より)

<教授のプロフィール>

1984 年 3 月東北大学工学部電子工学科卒，1989 年 3 月同大学院工学研究科電子工学専攻博士後期課程了。同年同大学工学部助手，1993 年 2 月同助教授，2002 年 4 月同大学電気通信研究所教授，現在に至る。不揮発性ロジック，多値 VLSI 技術とそのマルチメディア応用 VLSI コンピューティングに関する研究に従事。IEEE 多値論理国際シンポジウム優秀論文賞受賞(1986,1988)，丹羽記念賞受賞(1988)，坂井記念賞受賞(2000)，LSI デザイン・オブ・ザ・イヤー審査員特別賞受賞(2002)，ASP-DAC'07 大学設計コンテスト「Special Feature Award」受賞(2007)。

<2008 年度の主な発表論文等>

- (1) M. Miura and T. Hanyu, "Highly Reliable Multiple-Valued Current-Mode Comparator Based on Active-Load Dual-Rail Operation," IEICE Trans. Electron., Vol.E91-C, No.04, pp.589-594, Apr. 2008.
- (2) K. Mizusawa, N. Onizawa, and T. Hanyu, "Power-Aware Asynchronous Peer-to-Peer Duplex Communication System Based on Multiple-Valued One-Phase Signaling," IEICE Trans. Electron., Vol.E91-C, No.04, pp.581-588, Apr. 2008.
- (3) H. Shirahama and T. Hanyu, "Design of High-Performance Quaternary Adders Based on Output-Generator Sharing," Proceedings 38th IEEE International Symposium on Multiple-Valued Logic, May 2008.
- (4) A. Hirotsaki, M. Miura, A. Matsumoto, and T. Hanyu, "Vth-Variation Compensation of Multiple-Valued Current-Mode Circuit Using TMR Devices," Proceedings 38th IEEE International Symposium on Multiple-Valued Logic, May 2008.
- (5) T. Nagai, N. Onizawa, and T. Hanyu, "High-Speed Timing Verification Scheme Using Delay Tables for a Large-Scaled Multiple-Valued Current-Mode Circuit," Proceedings 38th IEEE International Symposium on Multiple-Valued Logic, May 2008.
- (6) S. Matsunaga, J. Hayakawa, S. Ikeda, K. Miura, H. Hasegawa, T. Endoh, H. Ohno, and T. Hanyu, "Fabrication of a Nonvolatile Full Adder Based on Logic-in-Memory Architecture Using Magnetic Tunnel Junctions," Applied Physics Express (APEX), vol. 1, no. 9, pp. 091301-1-091301-3, Aug. 2008.
- (7) D. Suzuki, T. Endoh and T. Hanyu, "TMR-Logic-Based LUT for Quickly Wake-Up FPGA," 51st IEEE Midwest Symposium on Circuits and Systems (MWSCAS), pp.326-329, Aug. 2008.
- (8) S. Matsunaga, K. Hiyama, A. Matsumoto, S. Ikeda, H. Hasegawa, K. Miura, J. Hayakawa, T. Endoh, H. Ohno, and T. Hanyu, "Standby-Power-Free Compact Ternary Content-Addressable Memory Cell Chip Using Magnetic Tunnel Junction Devices," Applied Physics Express (APEX), vol. 2, no. 2, pp. 023004-1-023004-3, Feb. 2009.