

氏名	今本拓也
研究科、専攻の名称	東北大学大学院工学研究科（博士課程）電子工学専攻
学位論文題目	Research on Three Dimensional Vertical MOS Field-Effect Transistor and Its Application to High Density Working Memory Technologies（三次元縦型構造 MOS Field-Effect Transistor とその高密度ワーキングメモリへの応用に関する研究）
論文審査委員	主査 東北大学教授 遠藤 哲郎 東北大学教授 佐藤 茂雄 東北大学教授 池田 正二

論文内容要約

本論文は、三次元縦型構造 MOS Field Effect Transistor (MOSFET) の優位性（高密度、低消費電力）を実験的に示し、さらにその応用として、縦型 Field Effect Diode (FED) 動作型 1T-DRAM セルの提案とその 12 nm 世代までのスケーラビリティ、自己発熱現象に対する優位性を明らかにしたもので、全 6 章より成る。

第 1 章は序論であり、半導体メモリの歴史と、その中の DRAM の位置づけ及び動作原理について説明した。また、DRAM がコンピュータシステムの高性能化へのボトルネックであることを論じた。コンピュータシステムのさらなる高性能化のためには、Stand-alone DRAM の周辺回路部への三次元立体構造トランジスタの導入や、外部ストレージ容量が不要な新規メモリが必要不可欠であることを確認した。また、低電源電圧動作の実現に向けて、基板バイス効果の抑制と電流の時間的な揺らぎの抑制が必要不可欠であることを論じた。

第 2 章は、試作された三次元縦型構造 MOSFET の電気的特性を実測にて評価した。シリコンピラー直径を 60 nm 以下にすることで、理想に近いサブスレッショルド特性 (70 mV/decade 以下)、高い駆動電流 (n 型 : 281 $\mu\text{A}/\mu\text{m}$ 、p 型 : 149 $\mu\text{A}/\mu\text{m}$) を同時に得られることを示した。また、従来の平面構造型 MOSFET で広く用いられてきた、チャネル不純物濃度調整によるしきい値電圧制御手法が、三次元縦型構造 MOSFET においても有効であることを示した。また、チャネル不純物濃度の制御によって、n 型と p 型共に 300 mm ウェハ面内でしきい値電圧を制御できることを示した。これらの結果より、近年主流になりつつあるゲート電極の仕事関数制御によるしきい値電圧調整手法と組み合わせることで、より細粒度かつ広範囲にしきい値電圧を制御できる可能性を示した。三次元縦型構造 MOSFET の低周波ノイズ特性を測定し、従来の他立体構造 MOSFET と比較してチャネル面積で規格化したドレンノイズ強度を 1 ~ 2 枝抑制できることを定量的に実証した。従来の他立体構造 MOSFET では、ゲート長を微細化するために、非常に細く狭いボディ領域が必要になる。一方で三次元縦型構造 MOSFET は、ゲート長がシリコン基板に垂直に形成されるため微細化に依存しない。従って、他立体構造 MOSFET と比較して広いボディ領域を確保できるため、ドレンノイズ強度が抑制される。また、三次元縦型構造 MOSFET の低周波ノイズ特性は、従来の平面構造型 MOSFET や他立体構造 MOSFET と同様に、Carrier Number Fluctuations with Correlated Mobility Fluctuations (CNF + CMF) モデルによって説明できることを示した。さらに、強反転領域において、三次元縦型構造 MOSFET の低周波ノイズ特性が、Source/Drain 寄生抵

抗成分によって律速されることを確認した。これらの結果より、さらなる低周波ノイズ特性改善のためには Source/Drain 寄生抵抗成分の抑制が大きな課題であることを示した。従来の平面構造型 MOSFET とそれらを基盤技術とした立体構造デバイス (Ultra-Thin Body FET, FinFET, Tri-Gate, Nanowire FET 等) において、デバイス特性を劣化させる基板バイアス効果を、三次元縦型構造 MOSFET では完全に抑制できることを実験的に示した。三次元縦型構造 MOSFET の基板端子側に順方向電圧または逆方向電圧を印加した場合でも、チャネルが形成されるボディ領域は、下部拡散層によって電気的に遮断されるため、電流・電圧特性の変化への影響がないことを示した。これらの結果により、三次元縦型構造 MOSFET の高いデバイス特性を実測にて示し、高密度・低消費電力 LSI 実現への可能性を示した。

第3章は、外部ストレージ容量が不要な、縦型FED動作型キャパシタレス1TDRAMセル構造とその保持動作方式を提案した。また、その基本メモリ動作を20 nm世代のセル構造を用いてTCADデバイスシミュレーションにて評価し、提案技術の妥当性を検証した。本提案1TDRAMセルでは、p-i-nダイオードを2つのゲート電極で制御する。これにより、電気的にp-n-p-nのサイリスタを形成することで、Floating Body効果を得る。Bit線、Control Gate線、Word線、Source線が垂直に積層された三次元縦型構造を導入することにより、理想的な $4F^2$ の最小メモリセル配置を達成できる。また、Gate-all-around(GAA)構造の優れたゲート制御性によって、平面構造型と比較して保持特性が改善される。さらに、保持動作中にBit線電圧に負電圧を印加し、接合面におけるホール生成率を抑制することで、保持特性の大幅な改善が可能な新規保持動作方法を提案した。本章では初めに、Floating Body効果によるヒステリシス特性を確認した。次に、基本メモリ動作(書き込み・消去・読み出し・保持)をTCADデバイスシミュレーションにて確認し、60 nsのアクセス時間内で読み書き動作が可能なことを確認した。20 nm世代では、従来の平面構造型FED動作型1TDRAMでは1 msに留まっていたデータ保持時間を、本提案の縦型セル構造と保持動作方式によって1,000 msまで改善できることを示した。また、1TDRAMの実用化に向けて大きな課題の1つであった、Read Disturb耐性についても、従来の平面構造型の0.9 msに対して、100 msまで改善できることを示した。この値は、工業製品化されているembedded 1T-1C DRAMのデータ保持時間(約0.1 ms)と比較しても十分に長い保持時間である。さらに、データの書き込み・読み出し時間及び、"1"データと"0"データの読み出し電流差は、従来の1TDRAMと同等の値を得た。

第4章は、提案した縦型FED動作型1TDRAMの自己発熱現象に対する優位性を明らかにした。自己発熱現象を取り入れた三次元デバイスシミュレーションを用いて、20 nm世代の異なる構造(縦型構造と平面構造)と異なる動作方式(FED動作とBipolar Junction Transistor(BJT)動作)について解析した。本章では初めに、従来のBJT動作型1TDRAMについて、基本メモリ動作(書き込み・消去・読み出し・保持)の計算結果を示し、自己発熱現象によるメモリセルの内部温度上昇の課題を示した。さらに、自己発熱現象によってメモリ動作マージンが劣化する問題を示した。次に、FED動作型1TDRAMについて同様の計算を行い、本提案の縦型FED動作型1TDRAMの自己発熱現象に対する優位性を示した。BJT動作方式では、書き込み動作時に高いビット線

電圧が必要なため、自己発熱現象によりメモリセル内部の温度が 30 ~ 60 °C 上昇する。一方で FED 動作方式では、低電圧動作により実用上無視できるほどの温度上昇 (0.4 ~ 0.6 °C) に抑制できることを定量的に示した。さらに、FED 動作型 1T-DRAM では、書き込み動作時の水平電界強度が BJT 動作型と比較して 1 衍以上抑制できるため、自己発熱現象を大幅に抑制できることを示した。

第 5 章は、提案した縦型 FED 動作型 1T-DRAM の 12 nm 世代までのスケーラビリティを明らかにした。シリコンピラー直径を 12 nm 世代まで微細化しても、100 ms 以上のデータ保持時間を維持しながらも、1 μA/セル以上の高い読み出し電流差が得られることを定量的に示した。さらに自己発熱現象についても、シリコンピラー直径を 12 nm 世代まで微細化しても、メモリ動作による自己発熱量はほとんど変化せず、実用上無視できる程の温度上昇 (~0.6 °C) に抑制できることを示した。

第 6 章は総括で、本研究で得られた成果と今後の研究展望についてまとめて記述している。本提案の縦型 FED 動作型 1T-DRAM を、従来構造の 1T-DRAM と現在主流の 1T-1C DRAM とで比較を行い、その優位性と課題を確認した。

本研究は、三次元縦型構造 MOSFET の高いデバイス特性を実測にて示し、その応用として縦型 FED 動作型 1T-DRAM セル構造と保持特性を改善する動作方式を提案して、その優位性を明確にし、実用化への可能性を示したものである。