	すずきゆきお
氏名	鈴木裕輝夫
授与学位	博士（工学）
学位授与年月日	平成２８年3月２５日
学位授与の根拠法規	学位規則第４条第１項
研究科，専攻の名称	東北大学大学院工学研究科（博士課程）バイオロボティクス専攻
学位論文題目	膜応力制御技術を用いたマイクロデバイス作製プロセスに関する研究
指導教員	東北大学教授　田中　秀治
論文主査委員	主査　東北大学教授　田中　秀治　　東北大学教授　田中　徹 東北大学教授　小野　崇人　　東北大学教授　桑野　博喜

論文内容要旨

多くの重要な MEMS 製造技術は，共通技術，共通技術課題として膜応力制御技術と共に発展をしてきた。本研究で扱うマイクロデバイス作製プロセスに関する研究においても，膜応力制御技術を共通重要技術として論ずる。構造上脆弱であるマイクロデバイスの製造研究を通じて，膜応力をプロセス中も含めて積極的に設計，制御する技術の重要性について論ずる。新規のマイクロデバイス，新規のマイクロデバイス向け構造材料，新規の LSI-MEMS 集積化プロセス，これら 3 つの異なる製造研究を通して現れた新たな膜応力の問題を解決したものをまとめたものである。膜応力技術が MEMS 製造にとって，いかに重要で不可欠であるかを明らかにし，膜応力制御技術がマイクロデバイス製造研究の可能性を広げることを明らかにする。取り扱う 3 つの異なるマイクロデバイスは，それぞれに新規性の高いマイクロデバイスやその応用分野であり，それぞれの分野の研究，技術の発展に貢献することを目的とする。

第 1 章では，序論として研究の背景，周辺技術，技術動向を紹介解説することで，本研究の意義，目的を明確にする。自立片持ち構造や薄膜自立構造を用いる MEMS の製造研究にて発生する膜応力に起因する不具合の実例を取り上げ，膜応力を製造設計の段階で取り込む必要性を紹介する。慣性センサ市場を独占する重要なプロセス技術のエピポリシリコン，LSI 後プロセスで LSI -MEMS 集積化を可能とする Poly –SiGe 技術を取り上げ，膜応力勾配制御の重要性とそれぞれの優位性を解説する。本研究で扱うマイクロデバイス作製プロセスに関する研究においても，共通技術，共通技術課題として膜応力制御技術を基礎として論ずるが，そのことは過去の MEMS 製造研究の流れの延長にある。

第 2 章では，波長 13.5 nm，極端紫外線露光技術 Extreme ultraviolet Lithography (EUV リソグラフィ)の光源のためのグリッド型波長選択フィルタの設計，膜応力制御技術を用いた作製，EUV 光源での実用試験，熱耐久性向上について論ずる。半導体微細化技術の最先端フォトリソグラフィ技術である EUV リソグラフィ，その量産実用化の最大の課題である光源出力向上には光源で発生する熱，赤外線の遮断と EUV 光の透過の両立が欠かせない。効率よく赤外線を遮断し EUV 光を透過する従来と違う方式のグリッド型波長選択フィルタを設計，製造することで，EUVL 技術の進歩に貢献する。また，微細化最先端技術の技術課題の 1 つに膜応力制御を応用した新しいマイクロデバイスを提案し，優れた機能を実証することを目的とする。

グリットの設計にて採用した蜂の巣形状は同じ開口面積で最密充填をとり，さらにグリッドの交差が 120°をなすことで機械的強度の点で優位性がある。グリッドのピッチ，Pは厳密結合波 (RCWA)の計算で十分な赤外線の遮断効果が期待できる 4.5 μm とした。EUV 光の透過率はグリットの幅と高さによる陰影効果を計算することで得られ，グリット幅 0.35 μm，高さ 5 μm と決定した。計算上の EUV 光の透過率は約 78%となり，先行の SPF，複層膜メンブレンタイプよりも高い。設計要求機能は，波長 10.6 μm 赤外線透過率 1 %以下，直径 90 mm にて自立し LPP 光源内に装着可能な機械的強度，1 億回以上の CO_2 レーザーの照射に耐える耐久性である。

グリット幅は使用した g-line ステッパーの解像限界から，幅 0.63 μm でパターニングし，酸化とエッチングによって設計幅 0.35 μm を得ることに成功した。幅 0.35 μm，ピッチ 4.5 μm，高さ 5 μm のグリット型波長選択フィルタは直径 90 mm の大きさである。このような機械的強度が脆弱で大きな自立マイクロ構造の作製は，膜応力制御技術を応用することで可能となった。具体的には，プロセス中の膜応力の釣り合いを制御すること，膜応力バランス層の導入によって可能となった。

赤外線 (波長 10.6 μm)に対して 99.7 %の遮断率を光学実験にて確かめた。グリット型波長選択フィルタは LPP EUV 光源に搭載し，搭載に十分な機械的強度があることを確認した。実用サイズのグリット型波長選択フィルタの製造，EUV LPP 光源への搭載は世界で初めての報告である。熱による Mo 薄膜の剥離が原因の初期不良は，グリットの設計や使用環境熱計算では予期されていなかった赤外線の斜入射が原因と考察，推定した。検証試験で得た Mo-Si 相互拡散限界温度を設計と製造プロセス見直に応用し熱耐性の向上を行い，破損不良を起こさずに初期型の 100 倍を超える数 10 億回以上の CO_2 レーザーの照射回数を超えて使用できることを確かめた。

機械的強度が脆弱なマイクロ構造の作製には膜応力制御，膜応力制御設計を取り入れることでその可能性が広がることを実証するとともに，該当 マイクロデバイスの世界で初めての製造，実用試験を報告した。

第 3 章では，SOI ウェハプロセスが主流になっているマイクロミラーデバイスの製造技術に対し，エピポリシリコン成膜技術を活用する新たな製造技術方法を提案し，その優位性，可能性について議論する。また，エピポリシリコンプロセスのマイクロミラーデバイスへの応用を実現するために不可欠なプロセス要素技術について開発研究することで，その実現性を証明する。

エピポリシリコン成膜プロセス開発では，成膜速度 300 nm/min 以上で常圧エピタキシャル成長炉を使用して 20 μm 以上の成膜に成功した。膜厚ばらつきは 4 インチウェハ面内で 8 %以内を達成し，膜応力は- 57.2 ± 1.4 MPa (圧縮)，膜応力勾配は 1.4 ± 0.8 MPa/μm (引張り方向)であることを 21 μm 膜厚のエピポリシリコンにて確認した。表面のラフネスは算術平均粗さ Ra が 202 ± 48 nm, 表面粗さ最大高さ R z が 1.22 ± 0.21 μm となった。柱状結晶成長により得られる厚膜でも膜応力勾配が極小のエピポリシリコン成膜の特徴を確認し，成膜プロセス開発結果を検証した。

成膜後のエピポリシリコンの表面は柱状結晶成長の影響が顕著で粗い，マイクロミラーへの応用のためには鏡面化が必要になる。エピポリシリコンの表面は 10 分間の開発した CMP プロセスによって Ra 10 nm 以下まで平坦化できることを示した。CMP 後の膜応力勾配は−0.30 ± 0.1 MPa/μm(圧縮方向)と無視できるほど小さいことを確認した。この膜応力勾配による 1000 μm 長のカンチレバーの先端の変位はわずか 0.5 μm である。エピポリシリコンの CMP プロセスを開発し，マイクロミラーデバイスとして活用可能な平坦度が得られることを示した。エピポリシリコン成膜技術とその CMP 技術の組み合わせにより，膜応力勾配が極小で，平滑なマイクロミラーデバイス用の新しい構造材料の開発に成功した。スキャニングマイクロミラーデバイスの可動部へ絶縁トレンチを作成するときには，その絶縁性と共に機械的強度についての考慮が不可欠である。エピポリシリコン内に LP ポリシリコンでリフィルした絶縁トレンチの製造方法を開発した。トレンチの階段形状のマスク設計を考案し，そのデザインがトレンチのリフィル時のボイドの最少化に有効であることを明らかにした。ボイドの無い，すなわち機械的強度に優れる，絶縁トレンチの作成方法を開発発明した。

サポート基板貼り付けが不要な新規の片面プロセスの作製方法を提案した。エピポリシリコンプロセスのマイクロミラーデバイスへの応用を実現するために不可欠なプロセス要素技術について開発することで，その実現性を証明した。

第 4 章では，ファンドリ会社提供のシャトルウェハサービス，そのシャトルウェハ上の LSI と MEMS センサとの 3 次元集積化のための TSV を初めてするプロセス要素技術の開発研究について論ずる。この技術によりセンサノードの小型化，省電力化が可能となり，パートナーロボットへの触覚センサネットワークシステム構築が可能となる。また，大手ファンドリ会社提供のシャトルウェハサービスは低価格で広く一般に入手可能な LSI ウェハの入手手段であり, そこへの TSV を初めとする 3 次元集積化のための要素技術を開発することは，多用途に発展性が期待できる。シャトルウェハには他者デザインの LSI の情報抹消を目的としたレーザー消去跡があり，そのシリコン基板にも到達するレーザーダメージのために機械的強度が脆弱で割れやすく，追加プロセス加工が困難である。膜応力制御技術を応用し脆弱な機械的強度のシャトルウェハのレーザーダメージ層を修復平坦化することに成功した。また，再配線作製技術，TSV 製造技術を通して膜応力制御技術はこの特殊なウェハに追加プロセス加工する上で欠かせない。

シャトルウェハ上のレーザーで消去された領域にある 20 μm の起伏を修復し平坦化することに成功した。厚

膜 20 μm 成膜してもウェハの反りに影響を与えない膜応力ほぼ 0 の PECVD TEOS SiO_2 のプロセス条件を開発した。CMP 後は Ra 0.6 μm となり，再配線工程，TSV 工程で許容する平坦化が達成された。シャトルウェハ上の LSI に将来多軸力センサと接合するための金属接合リングの作製，また多軸力センサの下部電極を作製しそれを TSV 用パッドに再配線する要素技術として Au, Ru, Cr の多層膜配線のウェットプロセスによるパターニング技術を開発した。LSI 完成後にボンディングパッドへ種々の電極を再配線するプロセスにおいて，プラズマプロセスの LSI 素子へのダメージの懸念が無い，ウェットエッチングプロセスを開発したことは LSI-MEMS センサの集積化技術の品質向上にとって重要である。300 μm 厚の thinning first を特徴とする TSV をシャトルウェハ上の LSI に製造する技術を開発した。ノッチングの少ない Deep Si RIE のプロセス，TSV 底の SiO_2 を選択的にエッチングする Deep SiO_2 RIE プロセスの開発を行った。平坦化したシャトルウェハ上の LSI に開発した Cr/Ru/Au の多層膜配線による再配線技術，300 μm 厚の thinning first を特徴とする TSV 製造技術を行い，リングオシュレータ発振特性にて電気的に検証し，開発したすべての要素技術が有効に機能していることを確認した。

第 5 章は，結論として全体を総括する。膜応力制御はマイクロデバイス製造に対して大きな影響を持ち，それは歩留り問題にとどまらず，製造作成の成否の問題となることを示した。さらには，膜応力の制御，設計にてマイクロデバイス製造技術の可能性が広がることを明確に示した。膜応力制御技術は数ある成膜プロセス毎に複数あり，また，目的に応じて適切な方法の選択が必要になる。それぞれの膜応力制御技術が公知であってもその手法，技術を自ら獲得し，適切に組み合わせることで新たな価値を創出し，膜応力制御技術を用いた新たなマイクロデバイスの製造技術を確立した。

以上