

氏名	ささき たけし 佐々木 健志
授与学位	博士(工学)
学位授与年月日	平成27年3月25日
学位授与の根拠法規	学位規則第4条第1項
研究科, 専攻の名称	東北大学大学院工学研究科(博士課程) 電子工学専攻
学位論文題目	Research on Low Leakage Power Design of Vertical Body Channel Transistor and Its Application to High Density File Storage Memory Technologies (縦型ボディ チャネルトランジスタの低リーク電力化設計とその高密度ファイルストレージメモリへの応用に関する研究)
指導教員	東北大学教授 遠藤 哲郎
論文審査委員	主査 東北大学教授 遠藤 哲郎 東北大学教授 佐藤 茂雄 東北大学教授 池田 正二

## 論文内容要旨

本論文は、縦型ボディ チャネルトランジスタにおいて、ゲート・チャネル方向とソース・ドレイン方向の両面から低リーク電力・高性能化への改善手法を提案し、その知見を基に 20 nm 世代以降の超高密度 NAND メモリに向けた、三次元ナノドット型 NAND メモリセルの提案とその優位性を示したもので、全 6 章より成る。

第 1 章は、序論であり、本研究の背景及び目的を述べる。マイクロプロセッサや NAND メモリなど、大規模集積回路(VLSI)は、平面型トランジスタを基本素子として、その微細化・高集積化により性能を向上させてきた。ショートチャネル効果など、平面型 MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)の微細化に伴う課題を克服するため、指導教員である遠藤教授より、三次元縦型 MOSFET が提案されている。また、二次元平面に基づく NAND セルアレイの大容量化限界を克服するため、三次元 NAND メモリが提案されている。マイクロプロセッサなどの CMOS(Complementary Metal-Oxide-Semiconductor)ロジックでは、低消費電力化が課題であり、そのためには、リーク電力を削減する技術が必要不可欠である。また、NAND メモリは、低コスト・大容量化が課題であり、微細加工に依らず記憶密度を向上させる技術が必要不可欠である。このような背景から、近年、平面構造に基づいた高性能化が困難となり、三次元縦型構造トランジスタの重要性がますます高まっている。本研究では、三次元縦型構造トランジスタの利点である、Gate-All-Around 構造と積層構造を生かし、上で述べた、CMOS ロジックと NAND メモリの課題を解決し、CMOS ロジックの低消費電力化と NAND メモリの低コスト・大容量化を実現する技術を提案することを目的とする。

第 2 章では、MOSFET のゲート・チャネル方向に着目して、デバイス特性の高性能化手法を提案する。初めに、高誘電率(High-k)ゲート酸化膜の誘電率を高くすると、フリンジ電界によってデバイス特性が劣化する問題を Double Gate MOSFET を用いて検証する。特に、Double Gate 構造では、DIBL(Drain Induced Barrier

Lowering)効果によるデバイス特性の劣化が顕在化することが示される。一方、理想的なゲート制御性が得られるため、上記縦型ボディ チャネルトランジスタにより、フリンジ電界を Double Gate 構造と比較して 1/3 以下に抑制できることが定量的に示され、微細化のみに頼らずともデバイスを高性能化できることが定量的に示される。縦型 MOSFET において、集積度と駆動力を向上しようとする、High-k 膜厚の薄膜化が不可避であり、そのため、ゲートリーク電流の増加が依然として課題である。この課題を克服するために、High-k を使わず、駆動力を維持しながら、ゲートリーク電流を抑制する技術が必要である。次章において、High-k を使わず、駆動力を維持しながら、ゲートリーク電流を抑制する技術が提案される。

第 3 章は、MOSFET のソース・ドレイン領域にメタルソース構造を導入することで、ゲートリーク電流が抑制できることを示す。修士課程の研究では、縦型 MOSFET において、ボディを完全空乏化させる手法によって、従来の表面チャネル動作からボディ チャネル動作にすることで、ゲートリーク電流を約半分に抑制できることが示されていた。このボディ チャネル動作によるゲートリーク電流抑制のポイントは、ボディ全体に電流を流すことで、ボディポテンシャルをフラット化させ、その結果、ゲート絶縁膜にかかる電界を緩和することにある。博士課程の研究では、ボディポテンシャルを設計するために、不純物偏析を用いたショットキー接合(Dopant Segregated Schottky, DSS)ソース構造に着目した。DSS ソースのオン・オフ動作について述べる。オフ動作の場合、浅い n 型拡散層と p 型ボディの pn 接合バリアを用いてオフし、この点は、従来の拡散・ドリフト動作の MOSFET と同じである。オン動作の場合、ショットキーバリアを透過するトンネル電流が駆動力を決定する。この点は、従来の拡散・ドリフト動作の MOSFET と異なる点である。本提案構造は、ソース端部のショットキー接合によりボディポテンシャルを上昇させ、表面の電子密度を抑制することで、ゲートリーク電流を大幅に低減させる。ソース端の電子がゲートリーク電流に最も寄与することがわかっているため、これによって、大幅な削減が期待できる。本提案構造は、ボディ チャネル動作によるゲートリーク電流削減手法と組み合わせることで、従来の表面チャネル動作縦型 MOSFET に対し、オン・オフ特性を劣化させることなくゲートリーク電流を約 1 桁分抑制できることが定量的に示される。また、本提案構造によるゲートリーク電流抑制は、ショットキー接合によるボディ表面の空乏化が効くため、ピラー直径に依らず、ゲートリーク電流が抑制される効果は維持される。最後に、本提案のゲートリーク電流抑制を実現するための、メタルソースのシリサイド材料の候補について検討した。ソース端オフセット長 2 nm の場合、仕事関数は  $4.6 \pm 1$  eV が適しており、候補シリサイド材料の例として、ScSi、ZrSi<sub>2</sub>、MoSi<sub>2</sub>、CrSi<sub>2</sub>、TiSi<sub>2</sub>、CoSi<sub>2</sub>、NiSi などがある。

第 4 章は、前章にて導入したメタルソース・ドレイン縦型 MOSFET の課題である非対称構造に起因する遅延時間の非対称性を抑制するレイアウト設計指針を提案する。初めに遅延時間の非対称性が、ドレイン・ゲート間寄生容量の非対称性によって引き起こされることを示す。本結果により、シリコンピラーを正方形に配置するマルチピラー構造を採用することで、遅延時間のソース・ドレイン非対称性がシングルシリコンピラーと比較して約 40%改善することが示される。縦型 MOSFET のソース・ドレイン電極は、基板にコンタクトする場合とピラ

一頂点にコンタクトする場合があります、ドレイン・ゲート間寄生容量は、基板にドレインコンタクトをとる場合、大きくなる。これは、基板にドレインコンタクトをとる場合、ゲート電極との厚みによって寄生容量が生じるのに対し、ピラー頂点にドレインコンタクトをとる場合は、ゲートビアによって寄生容量が生じるという、構造上の違いによる。シリコンピラーを正方形に配置するマルチピラー構造を採用することは、構造上引き起こされるドレイン・ゲート間容量の差を抑制する。以上第2章から第4章によって、縦型ボディ チャネル MOSFET の低リーク電力化技術を提案する。

第5章は、20 nm 世代以降の超高記憶密度 NAND メモリに向けた、三次元ナノドット型 NAND メモリセルの設計指針、特に多値化に向けた設計指針を提案する。ファイルストレージメモリとして使われる NAND メモリは、低コスト・大容量化を実現するため、現在、CMOS ロジックや DRAM(Dynamic Random Access Memory) と比較し、最も微細加工が進んでいる。研究開発のターゲットが 10 nm を下回り、微細加工の余地がなくなりつつある中、いかにして低コスト・大容量化を継続するかが課題となっている。このような背景から、20 nm 世代以降の NAND メモリの記憶密度の向上のためには、微細加工に依らず、高記憶密度化を実現する技術が求められている。本研究では、この課題を克服するために、ナノドット NAND メモリの特徴に着目した。ナノドット NAND メモリは、ストレージ層にナノスケールサイズの浮遊ゲート(ナノドット)を複数持った NAND メモリである。ナノドットへの電子トンネル注入は、クーロンブロッケード効果によって、1 電子ずつ電子が注入されるため、メモリが保持する電子数に応じて、NAND メモリの閾値電圧が離散的にシフトする特徴がある。この特徴は、NAND メモリにおいて、強固な閾値電圧分布の分離が期待でき、多値化に向いている。初めに平面浮遊ゲート型 NAND メモリセルを用いて、高記憶密度化への課題となるセル間干渉効果について検証し、平面ナノドット型構造の優位性を示す。平面ナノドット型構造は、 $10 \times 10^{12} \text{ cm}^{-2}$  の高ドット密度とすると、平面浮遊ゲート型と比較し、セル間干渉効果を約 76%抑制する優位性がある。一方で、高ドット密度セルは、ナノドットへの電界集中によって、電界分布が変わり、チャネル領域への電界が減少する。この効果によって、セル電流の減少や書込み動作の遅延が生じる。また、この電界分布の影響を無視したとしても、クーロンブロッケード効果による書込み動作のオーバーヘッドを評価すると、2 bit/cell 動作では、書込み時間が 10%増加する。平面構造を用いて大容量化を実現するためには、微細化を継続する必要がある、ドット密度の高密度化も困難になるため、平面構造では、20 nm 世代以降の高記憶密度化は困難である。次に、20 nm 世代以降の超高記憶密度 NAND メモリの実現のため、三次元ナノドット型 NAND メモリセルを提案する。三次元ナノドット型 NAND メモリセルは、平面ナノドット型構造と比較して、読出し電流を約 5 倍、書込みによる閾値電圧の変化量が約 2 倍以上に増大し、セル間干渉効果が約 80%以上改善することが定量的に示される。三次元ナノドット型 NAND メモリは、大容量化のため、縦方向にセルを積層する。そのため、セルのチャネル幅に対応するピラー円周が平面構造の約 5 倍とれることに起因し、読出し電流が増大する。また、三次元ナノドット型 NAND メモリは、Gate-All-Around 構造のため、ゲート電界集中効果が働き、そのため、書込み/消去性能が改善する。更なる高記録密度化に向けて、三次元ナノドット

NAND メモリセルの多値化の手法を提案する。三次元ナノドット NAND メモリセルの多値化のためには、閾値電圧分布幅を狭める必要がある。閾値電圧分布幅を広げる要因として、1. セル間干渉効果、2. 電界集中効果が引き起こす非一様トンネル注入現象、3. 製造ばらつきが引き起こす制御ゲート容量ばらつき、4. 浮遊ゲートへの確率的電子注入、5. 階段状ワードラインの寄生素子、の5つの要因に着目し、それぞれの要因を取り除く、または、抑制するためのセル設計指針を提案する。本提案により、 $0.5 \times 10^{12} \text{ cm}^{-2}$ 以上の一様なドット密度を持つセル構造を用いることで、閾値電圧分布幅 150 mV 以下の達成が期待でき、微細加工のみに頼ることなく、30 nm 世代のリソグラフィ技術で、20 nm 世代以降の超高記憶密度 NAND メモリが実現できることが定量的に示される。閾値電圧分布幅 150 mV 以下は、読出し余裕 150 mV、最大読出し電圧 5 V としたときの 4 bit/cell 動作の性能に匹敵し、研究開発段階の多値動作の性能に匹敵する。以上より、三次元ナノドット型 NAND メモリには十分なポテンシャルがあることが示された。

第6章は総括で、本研究で得られた成果をまとめて記述している。

# 論文審査結果の要旨

本論文は、縦型ボディ チャネルトランジスタにおいて、ゲート・チャネル方向とソース・ドレイン方向の両面から低リーク電力・高性能化への改善手法を提案し、その知見を基に 20 nm 世代以降の超高密度 NAND メモリに向けた、三次元ナノドット型 NAND メモリセルの提案とその優位性を示したもので、全 6 章より成る。

第 1 章は、序論であり、本研究の背景及び目的を述べている。

第 2 章では MOSFET のゲート・チャネル方向に着目して、デバイス特性の高性能化手法を提案している。初めに、高誘電率 (High- $\kappa$ ) ゲート酸化膜の誘電率を高くすると、フリンジ電界によってデバイス特性が劣化する問題を Double Gate MOSFET を用いて検証している。特に、Double Gate 構造では、DIBL (Drain Induced Barrier Lowering) 効果によるデバイス特性の劣化が顕在化することが示されている。一方、理想的なゲート制御性が得られるため、上記縦型ボディ チャネルトランジスタにより、フリンジ電界を Double Gate 構造と比較して約 1/3 に抑制できることが定量的に示され、微細化のみに頼らずともデバイスを高性能化できることを定量的に示している。

第 3 章は、MOSFET のソース・ドレイン領域にメタルソース構造を導入することで、ゲートリーク電流が抑制できることを示している。本提案構造は、ソース端部のショットキー接合によりボディポテンシャルを上昇させ、表面の電子密度を抑制することで、ゲートリーク電流を大幅に低減させる。ボディ チャネル動作によるゲートリーク電流削減手法と組み合わせることで、本提案構造は従来の表面チャネル動作縦型 MOSFET に対し、オン・オフ特性を劣化させることなくゲートリーク電流を約 1 桁分抑制できることが定量的に示されている。

第 4 章は、前章にて導入したメタルソース・ドレイン縦型 MOSFET の課題である非対称構造に起因する遅延時間の非対称性を抑制するレイアウト設計指針を提案している。初めに遅延時間の非対称性が、ドレイン・ゲート間寄生容量の非対称性によって引き起こされることを示している。本結果により、シリコンピラーを正方形に配置するマルチピラー構造を採用することで、遅延時間のソース・ドレイン非対称性がシングルシリコンピラーと比較して約 40%改善することが示されている。以上第 2 章から第 4 章によって、縦型ボディ チャネル MOSFET の低リーク電力化技術が提案されている。

第 5 章は、20 nm 世代以降の超高記憶密度 NAND メモリに向けた、三次元ナノドット型 NAND メモリセルの設計指針を提案している。初めに平面浮遊ゲート型 NAND メモリセルを用いて、高記録密度化への課題となるセル間干渉効果について検証し、平面ナノドット型構造の優位性を示している。次に、20 nm 世代以降の超高記憶密度 NAND メモリの実現のため、三次元ナノドット型 NAND メモリセルを提案している。三次元ナノドット型 NAND メモリセルは、平面ナノドット型構造と比較して、読出し電流を約 5 倍、書込みによる閾値電圧の変化量が約 2 倍以上に増大し、セル間干渉効果が約 80%以上改善することが定量的に示されている。更なる高記録密度化に向けて、三次元ナノドット NAND メモリセルの多値化の手法を提案している。本提案により、 $0.5 \times 10^{12} \text{ cm}^{-2}$  以上の一様なドット密度を持つセル構造を用いることで、閾値電圧分布幅 150 mV 以下を達成でき、微細加工のみに頼ることなく、30 nm 世代のリソグラフィ技術で、20 nm 世代以降の超高記憶密度 NAND メモリが実現できることを定量的に示している。

第 6 章は総括で、本研究で得られた成果をまとめて記述している。

以上要するに本論文は、三次元縦型トランジスタの Gate-All-Around 構造と積層構造などの利点を生かし、CMOS ロジックと 3D-NAND メモリにおいて、微細加工だけに依ることなく、低リーク電力化と大容量化の限界を打破する指針を提示したものであり、電子工学、半導体工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。