

修士学位論文要約（令和4年3月）

高速・低消費電力システムに向けた MTJ/CMOS ハイブリッド技術を用いた クラスタリングプロセッサ設計に関する研究

河瀬 有之

指導教員：遠藤 哲郎

Study on Clustering Processor Design with MTJ/CMOS Hybrid Technology for High-Speed and Low-Power Systems

Michiyuki KAWASE

Supervisor: Tetsuo ENDOH

This research proposes a new method to achieve higher speed while maintaining classification accuracy and computational cost for its high-speed, low-power systems using conventional adaptive clustering processors. We also proposed a new method to achieve low power consumption with power gating adaptation using STT-MRAM with MTJ/CMOS hybrid technology and studied a clustering processor design with higher performance and lower power consumption by combining these two methods. First, we analyzed the operation of a conventional adaptive clustering processor to identify information processing bottlenecks. Then, based on the results, we proved that the speed-up can be achieved by introducing a circuit scheme that enables high-speed operation. Then, we implemented the improved circuit and attempted to quantitatively evaluate the area and speed performance. Finally, we verified the performance of the entire clustering chip equipped with STT-MRAM using the improved method and performed a comparison with the conventional method.

1. はじめに

現在、経済発展と社会的課題の解決を両立する Society 5.0 の実現が目指されている。このような高度な情報社会においては、IoT(Internet of Things)ですべての人と物がつながり、今までにない新たな価値が創造される。その中で、人工知能(AI: Artificial Intelligence)技術の発展は近年目覚ましい成果を上げており、特にエッジデバイスに搭載可能なアダプティブクラスタリングプロセッサによるリアルタイムな画像認識処理は重要な役割を担っている。しかし、エッジデバイスの多くは、計算機資源や電力供給が限られた環境で運用しなければならないため、演算性能と消費電力のトレードオフが喫緊の課題となっている。ここで、エッジデバイスに適したアダプティブクラスタリングアルゴリズムとして、k-means アルゴリズムと GSLD(Global Separation and Local Dispersion)¹⁾アルゴリズムを組み合わせる手法が存在する。この手法は単純な演算でクラスタリング性能が得られる利点がある一方、その計算原理に起因する処理時間の増大が課題となっている。その為、高速化を実現する新しい手法の提案が必須である。一方、図1に示すようにインテリジェントデバイスの消費電力量とバッテリー容量の高性能化のギャップは年々増大している

ため、この不揮発性メモリの特性を考慮したうえで、更なる低消費電力化手法の提案が必須である。この観点からは、演算性能を落とすことなく低消費電力化を実現する手段として、MTJ/CMOS ハイブリッド技術を用いた不揮発性メモリ STT-MRAM を実装することが有用である。

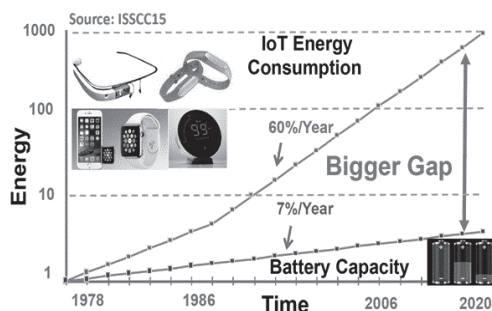


図1 インテリジェントデバイスの消費電力とバッテリー容量とのギャップ²⁾

したがって本研究では、従来のアダプティブクラスタリングプロセッサを用いて、高速・低消費電力システムに向けた分類精度・演算コストを維持した上で高速化を実現する新しい手法の提案、および、

MTJ/CMOS ハイブリッド技術を用いた STT-MRAM によるパワーゲーティング適応での低消費電力化を実現し、これら二つを組み合わせた更なる高性能かつ低消費電力なクラスタリングプロセッサ設計の検討を行った。

2. 従来のアダプティブクラスタリングプロセッサの課題抽出

従来のアダプティブクラスタリングプロセッサの情報処理上の課題の抽出のため、図2に示す従来のクラスタリングプロセッサを用い、Verilog HDL により分類動作を記述し動作解析を実行した。その結果、クラスタリングプロセッサのシステム全体の処理時間に大きく寄与するユニットを特定し、改善手法の方向性を提案した。

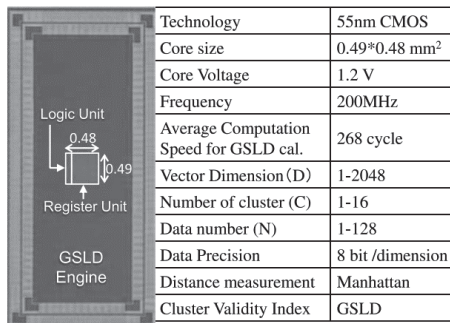


図2 従来のクラスタリングプロセッサ¹⁾

3. 提案手法のベンチマーク

従来のクラスタリングプロセッサの情報処理上のボトルネック改善に向けて回路設計手法をベンチマークし、最適な改善手法を提案、試算を実行し、改善効果を定量的に示した。

4. 提案手法の回路設計と性能評価

クラスタリングプロセッサ搭載に向けて、提案手法の回路設計とその性能評価を行った。まず、クラスタリングプロセッサの設計要求から改善手法の RTL 実装を実行し、改善効果の検証を行った。その後、Synopsys 社の自動論理合成ツール Design Compiler を用いて、論理合成を実行し、ネットリストを生成、ゲート数での面積比較、およびクリティカスパスの性能評価を実行した。その後、Cadence 社の自動配置配線ツール Innovus を用いて、配置配線を実行し、チップレイアウトの生成、より定量的な面積比較を実行した。

5. 提案手法を搭載した MTJ/CMOS ハイブリッド技術を用いたアダプティブクラスタリングプロセッサの性能検証

提案手法を搭載した MTJ/CMOS ハイブリッド技術を用いたアダプティブクラスタリングプロセッサの性能検証を実行した。まず、分類動作条件下において、本提案手法搭載によるサイクルタイム・消費電力性能の試算を実行した。これより、更なる高性能なクラスタリングプロセッサの設計指針を示し、従来のクラスタリングプロセッサとの比較から提案手法の有用性を検討した。最後に、多入力・多次元入力データ処理への応用検討を実行し、更なる性能向上に向けた研究課題の提言を行った。

6. まとめ

本論文では、提案手法と MTJ/CMOS ハイブリッド技術を用いることにより、更なる高速化・低消費電力なクラスタリングプロセッサが開発可能であることを示した。

7. 謝辞

本研究は、東京大学大規模集積システム設計教育研究開発センターを通し、Synopsys 社、Cadence 社の協力のもと行われたものである。

文献

- 1) Shen, Hui, et al., "Highly accurate and efficient cluster validation index engine using global separation and local dispersion architecture for adaptive image clustering systems." Japanese Journal of Applied Physics 60.SB (2021): SBBL02.
- 2) <https://www.prnewswire.com/news-releases/dominos-and-nuro-partner-to-bring-autonomous-pizza-delivery-to-houston-300869187.html>(Online Available, Nov.2020)
- 3) T. Endoh, H. Koike, S. Ikeda, T. Hanyu and H. Ohno, "An Overview of Nonvolatile Emerging Memories— Spintronics for Working Memories," in IEEE Journal on Emerging and Selected Topics in Circuits and Systems, vol. 6, no. 2, pp. 109-119, June 2016, doi: 10.1109/JETCAS.2016.2547704.