

修士学位論文要約（令和 4 年 3 月）

可変パワースイッチ構造を用いた 不揮発 LSI 向けパワーゲーティングの動的制御

ショウ ホウシン

指導教員：羽生 貴弘， 研究指導教員：夏井 雅典

Dynamic Control of Power Gating for Non-Volatile LSIs Using Variable Power-Switch Structure

Fangcen ZHONG

Supervisor: Takahiro HANYU, Research Advisor: Masanori NATSUI

For the future application of Internet-of Things (IoT) edge devices, reduction of static power consumption of large-scale integrated circuits has been important recently. Nonvolatile LSIs (NV-LSIs) with a power-gating (PG) technique can drastically reduce the static power consumption. However, PG causes inrush current and voltage fluctuation issues which lead to performance problems. This paper describes a PG circuit structure for stabilizing the operation of NV LSIs during power gating by minimizing the effect of inrush current and voltage fluctuations. As a specific example, this technique is applied to STT-MRAM arrays. As a result, inrush current level and the recovery time of the power supply from a sleep state are reduced by up to 87.8% and 80.0%, respectively, while satisfying given performance requirements.

1. まえがき

IoT 技術の発展に伴い、LSI の省電力化が重要な課題になっている。LSI においてはリーク電流に伴う静的電力の増加が顕著であり、その低減を目的とした技術としてパワーゲーティング (PG) が多く用いられる²⁾。図 1(a), (b) に示すように、LSI 内部のメモリを不揮発化し、非稼働時に即時 PG を適用することで、従来の LSI より静的電力を削減する³⁾。

LSI 全体に対する PG のみならず、演算の状態に応じて LSI サブアレイ単位で稼働・非稼働状態を判断した上で個別に PG を適用すると、LSI のさらなる省電力化を進める⁴⁾。しかし、非稼働状態のサブアレイに PG を適用することで生じる突入電流および電源電圧変動 (図 1(c)) は、稼働状態のサブアレイの動作の不安定化や、回路性能の低下といった問題を引き起こす可能性がある。

以上を踏まえ、本稿では、これらの影響の抑制を目的とした、可変 PG スイッチ構造について述べる。4 つのサブアレイからなる不揮発メモリ (STT-MRAM) を応用例として、アリゾナ州立大学が提供する 45nm Predictive Technology Model を用いた性能評価により、提案技術が突入電流と電源電圧変動からの回復時間の両方の低減に有効であることを明らかにする。

2. パワーゲーティングに関する基礎的な考察

PG とは、論理ブロック電源ラインに低リーク PMOS ト

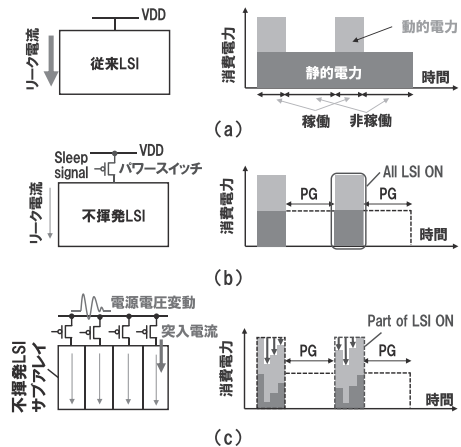


図 1 消費電力トレンド:(a)従来 LSI, (b)PG を用いた不揮発 LSI, (c)サブアレイレベル PG を用いた不揮発 LSI.

ランジスタを挟み、非稼働時に電源からグラウンドに流れるリーク電流を遮断する手法である。図 2 に、PG 適用時に生じる突入電流や電源電圧変動の様子を示す。信号 SLP の変化によって PG スイッチが ON となり、サブアレイに対する突入電流、およびこれに伴う電源電圧変動が生じる。突入電流の最大値を $I_{inrush-max} \cdot VDDV$ が回路の安定動作に必要な最小電圧

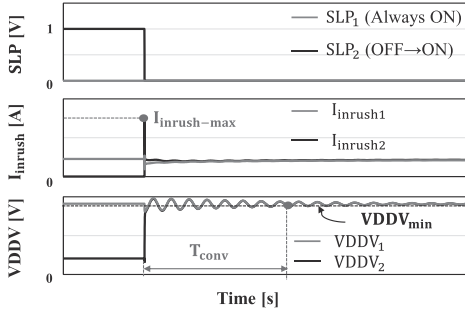


図2 突入電流と電源電圧変動の様子とその評価基準.

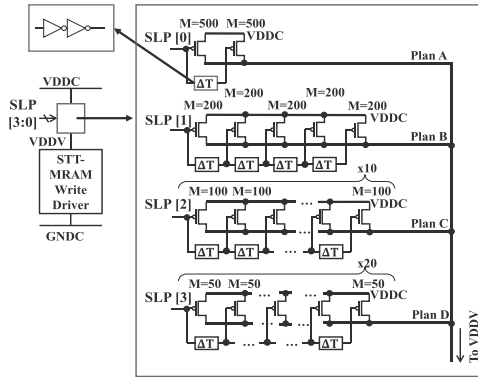


図3 可変 PG スwitch の回路構造.

($VDDV_{min}$)に収まるまでに要する時間を T_{conv} と定義すると、両者はともに小さな値となることが望ましい。

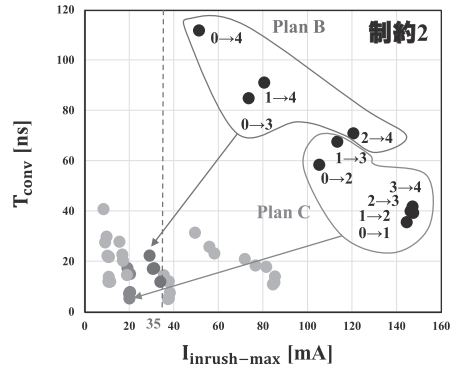
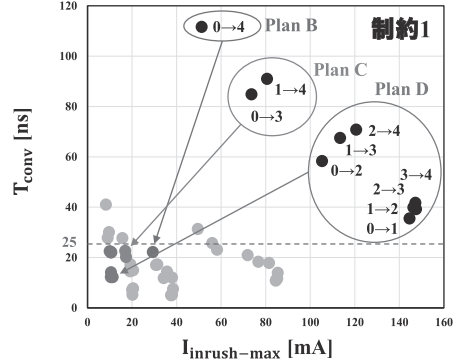
これらを抑制する手法が過去に提案されているが⁹⁾、プロセスや温度ばらつきといった緩やかな動作環境の変動のみを対象としていた。不揮発 LSI のサブアレイレベル PG においては、PG 前後の稼働状態、すなわちアクティブなサブアレイ数は大きく変動することが想定され、それに伴って生じる突入電流や電源電圧変動の大きさも大きく変化するため、既存の手法で所望の仕様を満たすのは困難である。

3. STT-MRAM のサブアレイレベルパワーゲーティングへの応用

提案する PG スwitch の回路構造を図3に示す。回路の動作状況に応じて、4ビットの SLP 信号により、適切な数とサイズのトランジスタと遅延素子からなる PG スwitch 構造(プラン A~D)を動的に選択することができる。

一例として、以下の異なる2つの制約が与えられた場合を考える:制約1は $T_{conv} < 25[\text{ns}]$ を満たしつつ、 $I_{inrush-max}$ をできるだけ小さくする。制約2は $I_{inrush-max} < 35[\text{mA}]$ を満たしつつ、 T_{conv} をできるだけ小さくする。

各制約を満たす場合、適切に PG スwitch を制御



● Baseline ● Selected ● Unselected

図4 制約1, 2において選択されるプランとその選択によって得られる $I_{inrush-max}$ - T_{conv} 分布.

したときの $I_{inrush-max}$ および T_{conv} の分布を図4に示す。図中の「X→Y」は PG 前後のアクティブなサブアレイの数が X から Y に遷移するときの性能であることを示している。ベースラインと比べても、 $I_{inrush-max}$ および T_{conv} を最大 87.8%, 80.0% 削減できることを確認し、本手法の有効性が確認できる。

4. あとがき

本稿では、不揮発 LSI の動作環境に応じて適切な PG 適用できる可変 PG スwitch 構造について述べた。今後は、LSI の動作環境に応じて適切な PG スwitch 制御プランを自動的に選択できるアルゴリズムの研究を進めていく。

謝辞 本研究の一部は、JST CREST(JPMJCR19K3), JST OPERA, および JSPS 科 研 費 (17KK0001, 21H03405 および 21H04868)の助成を受けたものである。

文献

- 1) A. Mavroggiorgou, et al., WorldS4, p. 12, 2019.
- 2) A. Prasad, et al., ISQED, p. 364, 2018.
- 3) D. Suzuki, et al., VLSI Technology, p. C172, 2015.
- 4) Z. Hu, et al., IEEE Cat. No.04TH8758, p. 32, 2004.
- 5) C. Yeh, et al., VLSI, vol. 20, no. 11, p. 1929, 2012.