

修士学位論文要約（令和4年3月）

超 100 GHz CMOS 増幅器の高利得化に関する研究

町井 大輝

指導教員：末松 憲治

Study on Gain Improvement of Beyond 100 GHz CMOS Amplifiers

Taiki MACHII

Supervisor: Noriharu SUEMATSU

In recent years, beyond 5G have been researched as the next generation of mobile communication systems. Beyond 100 GHz is being considered to realize ultra-high-speed communications exceeding 100 Gbps. To realize this, amplifiers beyond 100 GHz are desired. CMOS processes have some advantages such as low cost in mass production and ease to combine other circuits. However, it is difficult to make CMOS amplifiers that operate at beyond 100 GHz and has enough gain. Therefore, the gain improvement method is important, and two gain reduction factors were focused on. One is that the loss of the matching circuit is large, and it was solved by using radial stub for AC GND. The other is that the FET gain is low, and it was solved by applying a positive feedback technique known as the Colpitts oscillator. These methods were demonstrated by prototyping and evaluating CMOS amplifiers.

1. はじめに

現在, Beyond 5G の研究が進められ, 100 Gbps を超える超高速通信を実現するために, 超 100 GHz を利用した無線通信が検討されている¹⁾. これを実現するために, 無線機の送受信部で 100 GHz を超えた周波数で動作する増幅器が必要とされている. この増幅器はコストや集積性といった観点で CMOS (Complementary metal oxide semiconductor) プロセスを用いて実現することが望まれている.

超 100 GHz CMOS 増幅器には利得が低いという問題がある. その原因として, 整合回路の損失が大きい事と FET (Field effect transistor) の利得が低い事の 2 つの問題が考えられる. そこで, これらの問題に対して解決策を提案し, 高利得化を実現した.

2. 整合回路の低損失化

従来, 整合回路の低損失化のため, 整合素子は L や C といった集中定数素子の代わりに, マイクロストリップ線路などの分布定数素子が使用された. この整合回路では, FET に直列な伝送線路と並列なショートスタブを使用した構成が広く用いられる. また, 整合回路は FET を動作させるバイアス回路も兼ねているため, ショートスタブの終端は AC (Alternating current) GND (Ground) に接続する必要がある.

損失を考えると, AC GND も伝送線路で実現することが望ましく, その方法として $1/4 \lambda_g$ オープンスタブや $1/4 \lambda_g$ ラジアルスタブがある. このうち, ラジアルスタブの方が, 寸法が大きく広帯域な特性を持つ. CMOS IC (Integrated circuit) のスタブは配線層で作成されるため, 線路幅が数 μm と狭く, 導体損が

大きくなる可能性がある. 導体損は線路幅と長さの比に比例するため, 線路幅が広く, 長さが短いラジアルスタブの方が小さい可能性がある.

本論文では AC GND 用スタブの損失を定量的に議論するため, 損失による直列寄生抵抗 R_S を定義した. ラジアルスタブとオープンスタブの R_S を, 導体損に着目した簡易モデルと電磁界解析, 実測により比較すると, ラジアルスタブの方が, R_S が小さく低損失であることを示した. 次に, ラジアルスタブを増幅器の AC GND に適用することで, 整合回路が低損失化して利得が改善することを, 図 1 の 130 GHz 帯 CMOS 増幅器を設計・試作して検証した. その結果, 図 2 に示すように, ラジアルスタブを増幅器の AC GND に使用することで, 利得が 1.6 dB 向上した.

ラジアルスタブを使用した増幅器では, 多段化時に段間線路が長く, 線路損が増加する問題がある. これは, 図 3 に示すラジアルスタブを上下に重ねた構成の積層ラジアルスタブを提案し, 多段増幅器の段間線路と回路面積を小型化することで解決した.

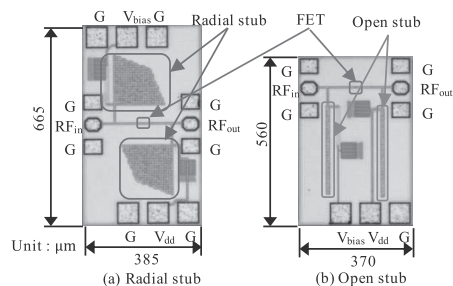


図1 低損失化の効果を比較するために試作した IC

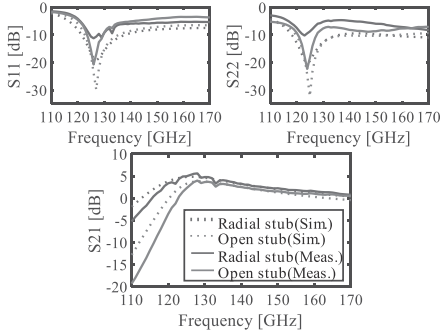


図2 試作した増幅器の設計・評価結果

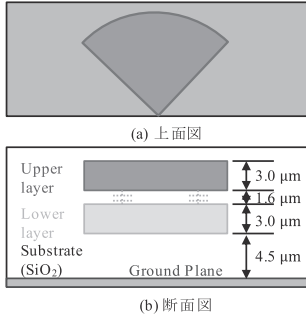


図3 提案した積層ラジアルスタブの構成

3. 正帰還による高利得化

ソース接地増幅器は、入出力が逆相であるため、そのまま出力を入力に戻すと負帰還になる。広く使用される正帰還手法にクロスカップルがあり、これはディファレンシャル回路により正帰還を実現している。この回路構成はコモンノイズを抑えられるといった利点がある。しかし、消費電力や回路面積が倍になる、レイアウトに制約があるといった問題がある。さらに、シングルエンド回路とディファレンシャル回路を変換するバランで損失が生じ、増幅器の利得が低下する。これらの問題を回避するため、シングルエンド回路の正帰還手法について検討する。

従来手法では、入出力を $1/2 \lambda_g$ の伝送線路で接続して正帰還を実現しており、必要な伝送線路長が長く、回路が大型化する問題がある。本論文では、SSF (Series series feedback)²⁾ という正帰還手法を用いる。これは、FET のソースに帰還容量 C_s を挿入することで、ゲートソース間の電位差 V_{gs} を拡大し、正帰還を実現している。この手法は、主にコルピッツ発振器に使用されており、増幅器に適用するための検討が不十分である。そのため、SSF 増幅器の理論検討を行い、定式的に利得向上の原理と設計条件を明らかにした。超 100 GHz CMOS 増幅器に SSF を適用するため、図 3 のラジアルスタブとショートスタブをソースに挿入する構成を提案した。図 5 の 130 GHz 帯 SSF 増幅器を試作し、評価結果を図 6 に示す。これより、実測で利得が 1.6 dB 向上した。

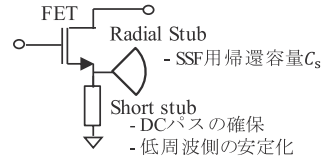


図4 提案したSSF構成

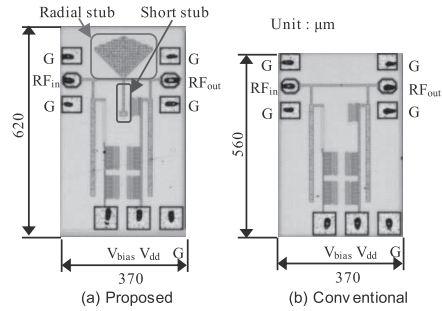


図5 試作したSSF増幅器

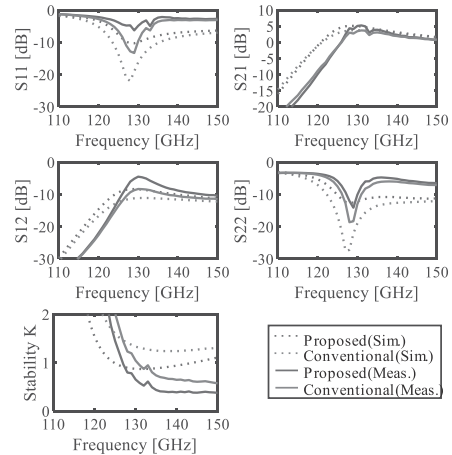


図6 SSF増幅器の設計・評価結果

4. 結論

本研究は、超高速通信を実現するために必要な超 100 GHz CMOS 増幅器の高利得化を目指した。2 章は、整合回路の AC GND にラジアルスタブを使用することで低損失化し、増幅器の利得が向上することを示した。3 章では、FET の利得を向上させるために、SSF を用いた正帰還を適用した。SSF の理論検討と適用手法を提案し、試作により高利得化を実証した。このように、2つの利得低下の原因を解決し、増幅器の高利得化を実現した。

文献

- 1) H. Elayan et al., IEEE CommNet, pp. 1-5, 2018, doi: 10.1109/COMMNET.2018.8360286.
- 2) A. Dyskin et al., IEEE COMCAS, 2015, doi: 10.1109/COMCAS.2015.7360356.