

修士学位論文要約（令和4年3月）

# MOS トランジスタの構造・動作条件による ランダムテレグラフノイズの挙動解析と低減に関する研究

秋元 瞭

指導教員：黒田 理人

## A Study on Behavior Analysis and Reduction of Random Telegraph Noise of MOS Transistors with Various Structures and Operation Conditions

Ryo AKIMOTO

Supervisor: Rihito KURODA

Random telegraph noise (RTN) is one of the low frequency noises in Metal-Oxide-Semiconductor Field-Effect-Transistors (MOSFETs), and which is a crucial phenomenon in integrated circuits. It is difficult to remove RTN by the conventional techniques. It is necessary to evaluate a large number of transistors by a highly accurate measurement system. This thesis aims to analyze the behavior of RTN in various operation conditions and structures of MOSFETs, and to propose operation conditions and structures for reduction of RTN. Transistors with various structures were measured and the  $V_{DS}$  dependencies of each parameter were summarized and discussed. It was clarified that the trap position of each cell can be estimated by the  $V_{DS}$  dependencies of RTN. Furthermore, the impact of STI edges was experimentally observed. FinFET and Gate-all-around transistors without STI are expected to reduce RTN.

### 1. はじめに

半導体集積回路は MOS トランジスタの微細化によって高集積化・高性能化を達成してきたが、電気的特性ばらつきやノイズの増大が課題となっている。特に、チャンネル中のキャリアがランダムに捕獲/放出されることによって発生するランダムテレグラフノイズ (RTN)<sup>1)</sup>は CMOS イメージセンサや NAND 型フラッシュメモリなどの集積回路デバイスで信頼性や高性能化の障害となっているが、回路読み出し技術で完全に除去することは困難である。そのため、トランジスタの構造・プロセス条件や動作条件<sup>2,3)</sup>によって RTN を低減する方策が模索されてきた。本研究では MOS トランジスタの様々な動作条件や構造において RTN の挙動解析を行い、RTN 低減に向けた動作条件や構造を提案することを目的とする。

### 2. RTN の高速・高精度統計的測定解析手法

ドレイン電流( $I_{DS}$ )一定条件においてキャリアが捕獲/放出されると、トランジスタのゲート-ソース間電圧( $V_{GS}$ )が2値に揺らぐ。RTN を特徴づけるパラメータとして信号電圧の変動幅である振幅や、キャリアが捕獲/放出されるまでの時間である時定数などが挙げられる。これらは同一構造・動作条件のトランジスタにおいても大きくばらつくことが知られている。また、検出される RTN の下限はバックグラウンドノイズに律則される。そのため、バックグラウンドノイズが低く、高速に大量のサンプルを測定可能な測定系が必要となる。

本研究では短時間で大量のトランジスタの出力電圧

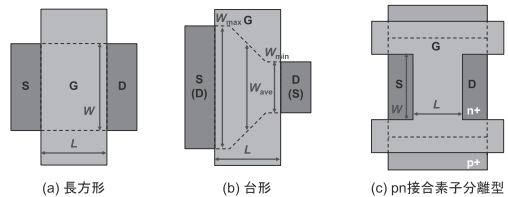


図 1 被測定トランジスタの形状概略図

波形を取得することができるアレイテスト回路<sup>4)</sup>を用いて測定を行った。測定対象として設計したトランジスタの例を図 1 に示す。ゲート形状や素子分離構造、チャンネル構造やゲート絶縁膜厚が異なる様々なトランジスタを設計した。ノイズの強度の指標としては振幅と捕獲・放出時定数の調和平均との積と相関することが明らかになっている取得波形の信号値の標準偏差をとった  $V_{RMS}$  を用いた。

### 3. RTN の動作条件依存性の解析と考察

ドレイン-ソース間電圧( $V_{DS}$ )は MOS トランジスタの基本的なパラメータであり、信頼性に関する依存性を解明することは重要である。本研究では  $V_{DS}$  を変化

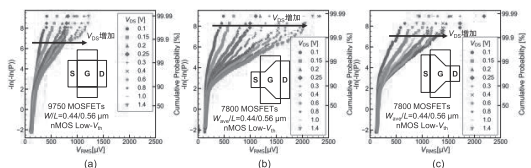


図 2 (a)Tr.1(長方形), (b)Tr.2-a(台形  $W_S < W_D$ ), (c)Tr.2-b(台形  $W_S > W_D$ )の  $V_{RMS}$  累積確率分布

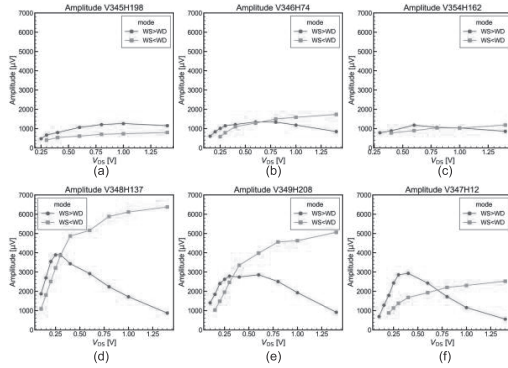


図3 ソース/ドレインを入れ替えたときの個別セルの振幅  $V_{DS}$  依存性

させ、チャネルとキャリアの変化による RTN への影響を解析した。図2に長方形と台形トランジスタの  $V_{RMS}$  の累積確率分布を示す。飽和領域 ( $V_{DS} \geq V_{OV} = V_{GS} - V_{th}$ )において、 $V_{DS}$  増加に伴って Tr.1 と Tr.2-a ( $W_S$  (ソース側の  $W$ )  $< W_D$  (ドレイン側の  $W$ )) で  $V_{RMS}$  が増加、Tr.2-b では減少した。線形領域 ( $V_{DS} < V_{OV}$ ) ではゲート形状に関わらず  $V_{DS}$  増加に伴う  $V_{RMS}$  の増加が確認された。このことから、飽和領域では形成されたチャネル領域の最小の  $W (W_{min})$  が小さいほど  $V_{RMS}$  の裾分布が大きくなるように変化した。この結果より、ゲート幅が小さくなる部分のトラップの影響が大きいと考えられる。図3にソース/ドレインを入れ替えた個別の台形トランジスタの特徴的な振幅の  $V_{DS}$  依存性を示す。  $V_{DS}$  増加に伴って振幅が大きく変化するものについては、統計的な分布と同様の変化が見られた。振幅の  $V_{DS}$  依存性が小さいものは、ソース-ドレイン方向中央部など、チャネルの変化の影響を受けづらい場所にトラップが存在すると考えられる。

図4にSTI型のTr.5とpn接合素子分離型のTr.6の  $V_{RMS}$  累積確率分布を示す。STIは一般的な素子分離構造であるが、電界集中や高欠陥密度によるRTNへの影響が報告されている<sup>5)</sup>。図4よりTr.5に比べてTr.6の方が  $V_{RMS}$  が小さく、RTNの発生確率も小さいことがわかる。このことから、pn接合素子分離型はSTI型に比べてRTNを低減できる構造であるといえる。

図5にSTI型の長方形と台形のトランジスタの

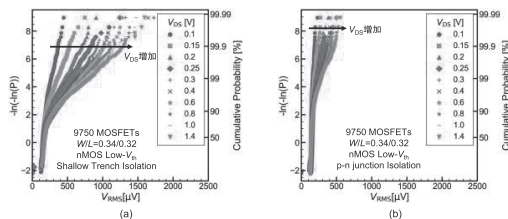


図4 長方形(a)STI型、(b)pn接合分離型の  $V_{RMS}$  累積確率分布

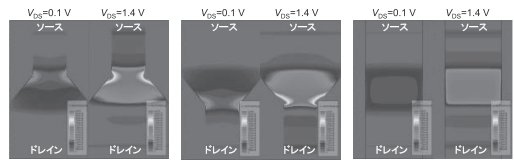


図5 (a)台形  $W_S < W_D$ , (b)台形  $W_S > W_D$ ,

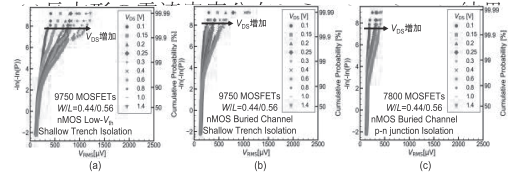


図6 (a)STI型表面ch、(b)STI型埋込ch、(c)pn接合分離型埋込chトランジスタの  $V_{RMS}$  累積確率分布

線形領域と飽和領域における電流密度分布のシミュレーション結果を示す。  $V_{DS}$  の増加に伴ってチャネル形成領域が変化し、特に飽和領域では台形の  $W_{min}$  側のエッジ部分に電流が集中していることがわかる。よって台形トランジスタはSTIエッジの影響を強く受けると思われる。

ゲート形状と素子分離構造の異なるトランジスタに関するRTNの  $V_{DS}$  依存性を考察する。まず形状に関わらず、  $V_{DS}$  増加に伴うチャネルパーコレーションの促進によりトラップがパスに与える影響が大きくなり、振幅が増加すると考えられる。台形は  $V_{DS}$  に伴ってチャネル形成領域が変化するため、トラップの位置によって  $V_{DS}$  依存性が変化する。特にSTI型ではエッジ付近のトラップの影響が強まるため、  $V_{DS}$  依存性の変化が顕著になったと考えられる。

図7に埋込チャネル構造トランジスタの  $V_{RMS}$  の  $V_{DS}$  依存性を示す。埋込チャネルはRTNを低減することが報告されていたが、pn接合素子分離との併用でさらに抑制できることが示された。

4. まとめ

本論文では、RTNの  $V_{DS}$  依存性を解析し、ゲート形状により変化するキャリアとトラップの関係、STIエッジ、チャネル構造、ゲート絶縁膜厚による影響を明らかにした。これらの知見は、集積回路デバイスのさらなる発展に貢献できると考えられる。

文献

- 1) M. J. Kirton, et al., Adv. Phys., 38, p.367 (1989)
- 2) A. Yonezawa, et al., Proc. IRPS, p.3B.5.1 (2012)
- 3) K. Abe, et al., Proc. IISW, p.62 (2007)
- 4) Y. Kumagai, et al., JJAP, 50, p.106701 (2011)
- 5) S. Ichino, et al., ITE Trans. MTA, 39, p.163 (2018)
- 6) H.-S. Wong and Y. Taur, IEDM Tech. Dig., pp. 705-708 (1993)
- 7) R. Kuroda, et al., IEEE Trans. Electron Devices, 60, pp. 3555-3561 (2013)
- 8) R. Akimoto, et al, IEEE IRPS, pp 1-6, (2020)