修士学位論文要約（令和 4 年 3 月）

高容量密度粗面トレンチ型 SiN 膜キャパシタ技術と三次元集積デバイス応用に関する研究

齊藤　宏河

指導教員：黒田　理人

A Study on High Capacitance Density Textured Trench SiN Capacitors Technology and Its Application to 3D Integrated Devices

Koga SAITO

Supervisor: Rihito KURODA

Textured trench SiN capacitors, which archive both high capacitance density and high reliability have been developed. In addition, a current measurement platform to measure current across dielectrics with a high precision of 10^{-17} A from many small capacitors at high speed has been developed. The developed capacitors realize over 230 fF/μm^2 capacitance density and below 10^{-9} A/cm^2 at 1 V low leakage current with enhanced effective area and dielectric constant by introducing deep trench with rugged poly-Si and SiN film. Using the developed platform, the trap property of SiN films in Metal-Insulator-Metal (MIM) capacitors was statistically measured by Discharge Current Transient Spectroscopy (DCTS). Furthermore, by applying 3D integration technology, the developed capacitor and platform can be applied and developed in various ways are proposed.

1. はじめに

キャパシタは電荷を蓄積・放出することで動作し，LSI を構成する半導体素子の 1 つである．キャパシタの静電容量の拡大には表面積の拡大，絶縁膜厚の薄膜化，絶縁膜の誘電率の増加が有効である．用途によって必要な性能は大きく異なるが，中でもアナログ用途やバイパスコンデンサに応用するキャパシタの性能向上には，高容量密度に加えて低リーク電流特性，高耐圧といった高信頼性を両立する必要がある．また，微細化技術が発展し集積度の増加が進む近年では，半導体素子の開発において，限られた数の素子を評価するだけでは信頼性を保証するのに不十分であり，膨大な数の素子を高速・高精度かつ統計的に評価する技術が求められている．以上より，本研究では，高容量密度と高信頼性を両立する粗面トレンチ型 SiN 膜キャパシタ技術の開発，任意材料のトラップ特性を統計的に計測するプラットフォームの開発および実証，開発した技術の三次元集積デバイスへの応用案の提案を行うことを目的とする．

2. SiN 膜粗面ディープトレンチキャパシタの開発

高容量密度と高信頼性を両立するキャパシタの開発に向けて，Si 基板に深い溝を掘ることで平面の約 22 倍に表面積を拡大するディープトレンチ構造，基板表面を凸凹にすることで表面積を約 1.7 倍に拡大する粗面技術，一般的に使用される SiO_2 膜の約 1.8 倍の誘電率をもち高信頼性な絶縁膜である SiN 膜を採用し，目的を達成するようなキャパシタの開発を行った．

様々なキャパシタサンプルの電気的特性を測定し，目標の達成に適切な製造プロセスフローを決定した．測定結果を踏まえ作製したキャパシタの断面図を図 1 に示す．また，本研究のキャパシタの位置づけを図 2 に示す．深さ 14.3μm の SiN 膜粗面ディープトレンチキャパシタによって，容量密度 230fF/μm^2 以上，1V 印加時に 10^{-9}A/cm^2 以下のリーク電流を達成した [6]．以上より，高容量密度と高信頼性を両立する，様々な用途に応用可能なキャパシタを開発した．

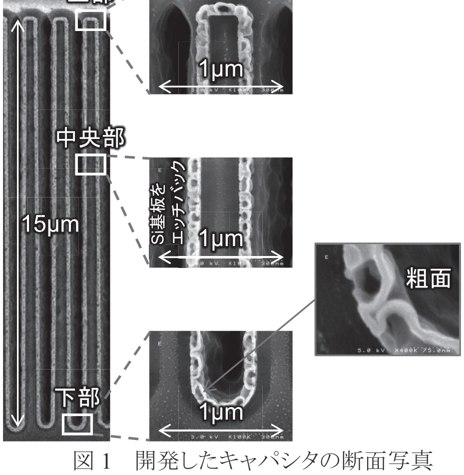

図 1　開発したキャパシタの断面写真

© 2022 東北大学電気通信研究所

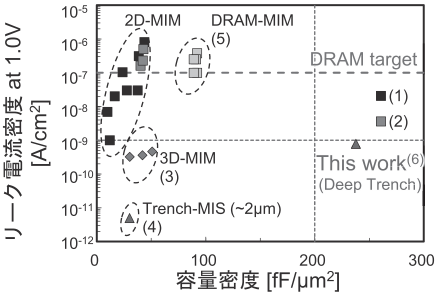

図２　本研究のキャパシタの位置づけ [1-6)]

3. 電流計測プラットフォームによる SiN 膜のトラップ特性計測

任意材料のトラップ特性を統計的に計測するプラットフォームの開発および実証に向けて，簡単なプロセスによりDUT (Device Under Test)をセルごとに形成し，生じる電流を高速・高精度に計測することができる電流計測プラットフォームを開発した．トラップ特性の統計的計測を実証するために，本研究では，各DUT に SiN 膜 MIM キャパシタを形成した．

図３に電流計測プラットフォームの製造プロセスフローを示す．共通回路工程では，0.18μm CMOS プロセスで共通回路を形成し，単位セルのサイズは 10μm×10μm であり，$384^{H}\times360^{V}$ セルで構成される二次元アレイとなっている．追加工程では，任意材料を各単位セルにDUTとして形成する．本研究ではSiN 膜を成膜することで，SiN 膜 MIM キャパシタを形成した．また，DUT に生じる電流の計測によってトラップ特性の評価を行うために，キャパシタの放電電流からトラップ特性を簡単に評価する手法である，DCTS (Discharge Current Transient Spectroscopy)[7)]を適用することでトラップ特性の統計的計測を行った．

図４に計測した電流に DCTS を適用することで算出した，トラップ準位の深さのヒストグラムを示す．各DUT の計測結果から得られたトラップ準位の深さをプロットしたものであり，半導体パラメータアナライザを用いて同条件下で計測した単体 TEG の結果とよく一致した[8)]．以上より，多数の DUT に生じる電流を高速に計測できる電流計測プラットフォームを開発し，キャパシタのトラップ特性の統計的計測を実証した．

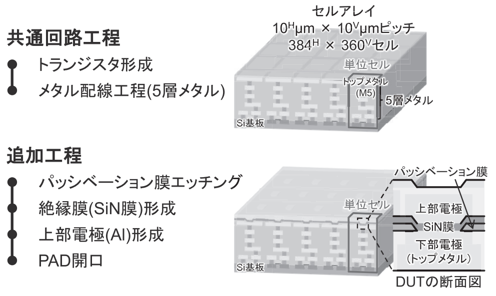

図３　プラットフォームの製造プロセスフロー

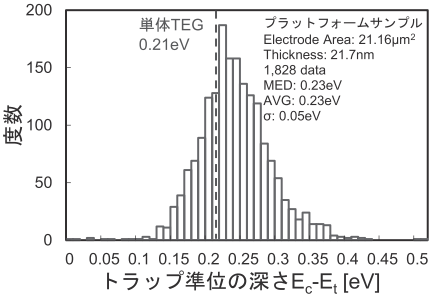

図４　トラップ準位の深さのヒストグラム

4. 三次元集積デバイスへの応用

開発した技術の三次元集積デバイスへの応用に向けて，三次元集積化技術の １ つであるマイクロバンプを用いた応用について検討した．

図 ５ に開発した技術の三次元集積デバイス応用の概略図を示す．開発したキャパシタの応用については，各画素にキャパシタを接続する領域を設けたCMOS イメージセンサに，キャパシタを三次元集積することで，容量素子として利用することが可能となる見込みである．また，電流計測プラットフォームの応用については，マイクロバンプによって半導体素子をDUTとしてセルごとに接続することで，実際に組み込まれる半導体素子の統計的計測を実現するプラットフォームに発展することが可能である．以上より，三次元集積化技術を用いることで，これまでにない三次元集積デバイス応用を実現する見込みを得た．

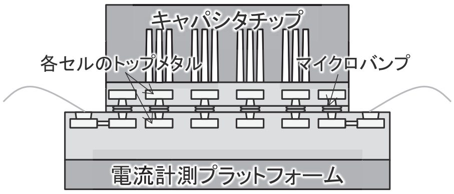

図５　三次元集積デバイス応用の概略図

5. まとめ

本研究では，高容量密度と高信頼性を両立する粗面トレンチ型 SiN 膜キャパシタ技術を開発し，電流計測プラットフォームを用いることによるトラップ特性の統計的計測を実証した．また，開発した技術を用いることによる三次元集積デバイス応用の展望を示した．

文献

1) Y. Koda, et al., ECS Trans., **72** (2016) p. 91.
2) T. Ando, et al., IEDM, (2016) p. 236.
3) M. Takase et al., VLSI Technol., (2018) p. 71.
4) M. Suzuki et al., IISW, (2017) p. 308.
5) M. Popovici et al., IEDM, (2018) p. 51.
6) K. Saito, et al., JJAP, **60** (2021) SBBC06.
7) H. Matsuura, et al., JJAP, **34** (1995) L185.
8) K. Saito, et al., JJAP, **60** (2021) 086501.