

修士学位論文要約（令和 4 年 3 月）

高精度近接容量 CMOS イメージセンサの 検出領域拡大と解像度向上に関する研究

須釜 侑希

指導教員：黒田 理人

A Study on High-Precision Proximity Capacitance CMOS Image Sensors with Enlarged Detection Area and Improved Spatial Resolution

Yuki SUGAMA

Supervisor: Rihito KURODA

Proximity capacitance image sensors can visualize the two-dimensional distribution of capacitance between the detection electrode and the counter electrode. This enables detection of electrical connections in wiring, minute irregularities on the surface of objects, and the distribution of substances inside organic, solid, and liquid materials.

This paper describes newly developed two high-precision CMOS proximity capacitance image sensors: Chip A with 12 μm pitch pixels with a large detection area of 1.68 cm²; Chip B with 2.8 μm pitch 1.8 M pixels for a higher resolution. Both fabricated chips achieved a capacitance detection precision of less than 100 zF (10⁻¹⁹ F) at an input voltage of 20 V and less than 10 zF (10⁻²⁰ F) at 300 V due to the noise cancelling technique. The operation principle, performances, and captured images are presented.

1. はじめに

近接容量イメージセンサは、測定対象物との間の静電容量の二次元分布を可視化でき、物体表面の微小な凹凸や、配線の電氣的接続などの検出が可能である。こうした特徴から、指紋認証や配線検査、材料表面や細胞の観察など、様々な用途で利用されている。配線検査の高効率化や、より微細な対象物の観察、広い容量範囲の可視化のため、高精度、広ダイナミックレンジかつ、大面積、高解像度なセンサが求められている。

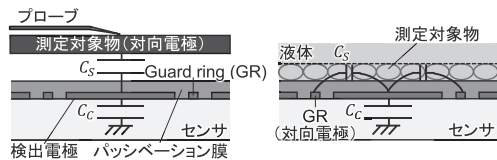
これまでには、検出精度 0.1a (10⁻¹⁸)F 以下のセンサ¹⁾や、解像度 10μm 程度で検出領域約 9cm²のセンサ²⁾などが報告されている。しかし、aF オーダーの高い検出精度と、1cm²以上の検出領域や 10μm 以下の解像度との両立は未だ達成されていない。

そこで本研究では、高精度近接容量イメージセンサの検出領域拡大と解像度向上を目的とする。本論文では、設計・試作して特性を計測した 12μm ピッチ画素の大面積版チップ(チップ A)と、2.8μm ピッチ画素の高解像度版チップ(チップ B)について論じる。

2. 動作原理

図 1 に容量検出方法を示す。センサの各画素は、最上層メタルに検出電極とガードリング (GR) を有しており、検出電極には、検出電極容量 (C_C) が寄生している。ここに対向電極を近づけると、測定対象容量 (C_S) が形成される。C_S は電極間の誘電率や距離によって変化する。さらに対向電極に電圧パルスを印

加すると、C_C と C_S で決まる容量分割比に応じて検出電極の電位が変化する。この電位変化を読み出すことで容量を検出する。対象物が導体の場合は(a)のようにプローブでパルスを印加する。溶液中の粒子の場合は(b)のようにセンサ内の GR から印加することで、外部のプローブを用いずに容量検出が可能である。



(a) 導体+プローブ (b) 溶液+GR

図 1 本センサを用いた容量検出方法

図 2 に容量検出回路図と動作パルス図を示す。始めに対向電極を第 1 電位に固定し、検出電極をリセットする。ここからリセットスイッチをオフすると、検出電極に熱ノイズが取り込まれる。この時の電位を V_{OUTN} として読み出す。続いて検出電極を第 2 電位に変化させると、C_C と C_S に応じて検出電極の電位も変化する。これを V_{OUTS} として読み出す。V_{OUTN} は熱ノイズや SF の閾値ばらつき成分を含み、V_{OUTS} はこれに加えて信号成分を含んでおり、これらの差分を取ることでノイズ成分を除去することができる。最終的な出力は以下の式(1)で表される。

$$V_{OUT} = V_{OUTN} - V_{OUTS} = \frac{C_S}{C_C + C_S} \cdot V_{IN} \cdot G_{SF} \quad (1)$$

このノイズキャンセル (NC) 動作により高精度な容量検出を実現する。

さらに、各行で複数の V_{IN} を印加するハイダイナミックレンジ (HDR) 動作によって、単一振幅の動作よりも広ダイナミックレンジな撮影を行うことができる。

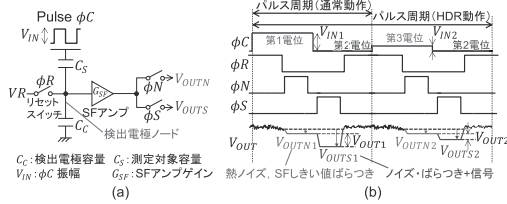


図2 (a)容量検出回路 (b)動作パルス図

3. チップ設計・試作

図3にチップBの回路図と画素レイアウト図を示す。画素ごとに検出電極と容量・電圧変換方式の検出回路を有し、これをアレイ状に並べている。チップAは $1080^H \times 1080^V$ 画素、チップBは $1408^H \times 1280^V$ 画素を有する。読み出しには CMOS イメージセンサ方式の回路を用いている。高空間解像度化のため、ピッチを $2.8\mu\text{m}$ とした画素を新たに設計した。 C_C が小さくなるようなレイアウトとし、精度の向上を図った。

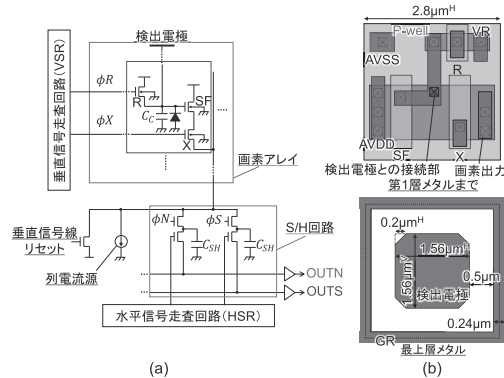


図3 チップBの(a)回路図 (b)レイアウト図

図4に作製したチップBの写真と画素断面 TEM 画像を示す。製造には 1-Poly 5-Metal $0.18\mu\text{m}$ CMOS プロセスを用いた。チップサイズはチップAで 14.4mm 角、チップBで 4.8mm 角である。

4. 測定結果

図5にチップAのノイズ特性と、入出力特性の測定結果を示す。(a)より、NC動作によってノイズの大幅な低減を達成した。(b)は、様々な C_S において、 V_{IN} を 300V 以下の範囲で変化させ、出力をプロットしたものである。実線は、式(1)から求めた各 C_S における出力の理論値である。この時の C_C は、回路シミュレーションと測定結果から算出した、チップAで 5.4f (10^{-18}) F、チップBで 2.8f を用いた。結果より、チップAで $5z$ (10^{-21})

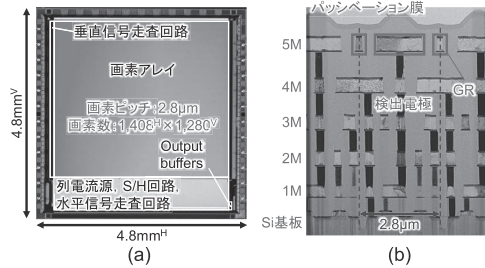


図4 チップBの(a)写真 (b)画素断面 TEM 画像

Fから 6.9fF 、同様にチップBで $8z\text{F}$ から 0.4fF までの広い範囲における容量検出を達成した。これは両センサとも、対象物表面の nm オーダーの凹凸を検出できる精度を有することを示している。

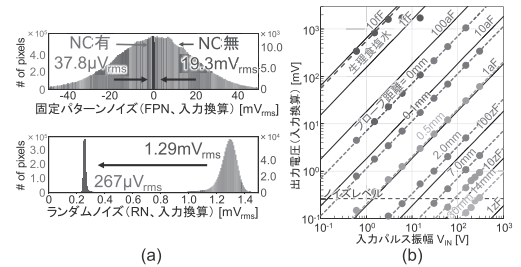
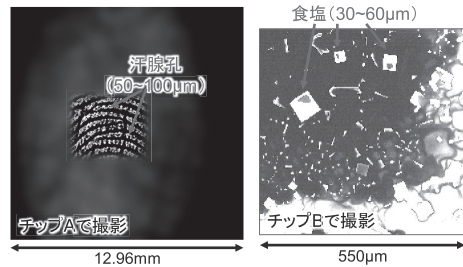


図5 チップAの(a)ノイズ特性 (b)入出力特性

図6に両チップで撮影した画像を示す。(a)広い領域での指紋全体の撮影(中央部以外は加工有)と、(b)微細粒子の高解像度な撮影に成功した。



(a) 指紋 (b) 析出した食塩

図6 撮像例

5. まとめ

大面積版ならびに高解像度版高精度近接容量 CMOS イメージセンサの設計・試作・測定を行い、最高で $10z\text{F}$ 以下の検出精度と、検出領域の拡大や解像度の向上を達成した。本技術は、様々な分野で高効率な測定機器への応用が期待される。

文献

- 1) M. Yamamoto, et al., IEEE IEDM, pp.660-663, 2018
- 2) D. Scheffer, et al., IEEE Workshop on CCDs & AISs, pp.145-148, 2001