



転送ボトルネットワークフリー多値ロジック
インメモリVLSIの開発と応用

研究課題番号 13558026

平成13年～平成16年度科学研究費補助金（基盤研究(B)(2)）

研究成果報告書

平成17年3月

研究代表者 羽 生 貴 弘

東北大学電気通信研究所教授

転送ボトルネックフリー多値ロジック
インメモリ VLSI の開発と応用

研究課題番号 13558026

平成 13 年度～平成16 年度科学研究費補助金(基盤研究(B)(2))

研究成果報告書

平成17 年3月

研究代表者 羽生 貴弘

東北大学電気通信研究所教授

はしがき

最小線幅が数十ナノメートルに細に到達する現在の極限微細加工技術の進展に伴い、1チップ内に数十億個以上のトランジスタを集積化可能となっている。このため、大容量半導体メモリや高性能算術・論理演算回路などの機能モジュールを全て搭載させた「1チップで超高性能コンピュータを構築」というシステムオンチップ(System-on-a-chip; 略してSoC)が実現可能となってきている。しかしながら、集積度の向上に伴い、モジュール単体は高性能化される反面、モジュール間の大局的配線長や配線容量が相対的に増大することとなり、配線問題に起因するモジュール間データ転送ボトルネックがVLSI全体の性能を決定する要因となってきている。特に、メモリモジュールと演算器モジュール間では、情報交換を密に行う必要があるため、チップ内データ転送ボトルネックが直接演算速度に低下を引き起こすこととなる。このような大局的配線に起因する問題を本質的に解決する、全く新しい視点からの回路技術/システムアーキテクチャを考案することが、次世代VLSIの実現において必要不可欠であると考えられる。記憶機能と演算機能をビット単位の細粒度で一体化する「ロジックインメモリ(Logic-in-Memory)構造」アーキテクチャとこれを効率的に実現する新概念回路技術が考案されれば、上述したような大局的配線問題を本質的に解決できると考えられる。

一方、コンピュータを起動する基本プログラムを内蔵するROMや、マルチメディア機器間で画像データ等をやり取りするメモ리카ードとして、電源電圧を切ってもデータを保持できる機能を有する不揮発性メモリが用いられている。不揮発性メモリとしては、フラッシュメモリや強誘電体メモリ、MRAMなどが知られている。特に、強誘電体メモリやMRAMは揮発性のダイナミックRAMと同程度の回路コストで実現可能でありながら、スタティックRAM程度の高速読出しが可能であり、かつ不揮発性を有するためダイナミックRAMのようなリフレッシュサイクルを必要としないので電力消費を大幅に低減できる、という高密度性・高速性・低消費電力性の全ての面で優れたメモリデバイスとして知られている。また、シリコン半導体デバイスと製造プロセス上の整合性も良く、VLSIチップに混載可能なメモリモジュールとしても着目されている。しかしながら、これらの不揮発性デバイスはメモリとしての利用しか実現されておらず、現状のVLSIプロセッサアーキテクチャ上ではこれらの最新メモリ技術を駆使しても上述した「メモリ・演算器間データ転送ボトルネック」問題を本質的に解決することは不可能である。

上述したように、極限VLSIの性能を律速する「メモリ・演算器間データ転送ボトルネック」問題を本質的に解決し、超並列処理を実現するためには、記憶機能と演算機能を回路レベルでコンパクトに一体化できればよい。そこで本研究では、不揮発性デバイス本来の記憶機能を活用しつつ、演算機能も同時に実現する回路技術について研究開発することを目的とする。本研究グループでは、強誘電体キャパシタを活用し、記憶・演算機能を回路レベルで一体化する基本回路技術のチップ試作を通じて既に原理動作を実証済みであり、この回路技術に基づき、より大規模な応用例での性能評価や、強誘電体キャパシタ以外の不揮発性デバイス、

例えばMRAMのTMR素子などを活用した不揮発性演算回路技術についても総合的に検討し、不揮発性デバイス活用による全く新しいコンピューティングパラダイムの構築を目指す。特に本研究では、主に以下の要素技術およびその応用に関する研究を行った。

(1) 強誘電体キャパシタ活用に基づく演算・記憶機能の一体化

演算処理の高並列化やデバイスの極限微細化に伴い、演算器の高速化やメモリの大容量化が進んでいる。その反面、配線問題に起因する性能劣化、すなわちメモリと演算器間の膨大な配線量に伴う集積度の低下、通信ボトルネックによる処理速度の劣化が深刻になりつつある。このような配線問題は、演算機能と記憶機能を分離して回路構成を行う従来のアーキテクチャに起因するという観点から、演算機能と記憶機能を一体化するロジックインメモリアーキテクチャと共に、強誘電体デバイスの一つである強誘電体キャパシタを活用して演算機能を実現し、記憶機能と演算機能をデバイスレベルで一体化できる強誘電体ロジックインメモリ回路技術を提案する。強誘電体デバイスは、残留分極状態によってデータを記憶でき、かつ分極状態の変化が非常に高速であることから、ROMの不揮発性とRAMの高速アクセス性を同時に兼ね備えたメモリデバイスことが知られている。また、演算回路用のCMOSプロセスとの親和性にも優れているため、システムLSI向けのメモリデバイスとして研究開発が盛んに行われてきた。本研究では、強誘電体キャパシタで演算機能を実現する原理として、強誘電体キャパシタ内の残留分極が、強誘電体キャパシタの両端電極に印加された電圧の電位差によって変化することに着目した。今、残留分極が正の状態を‘0’の記憶状態、残留分極が負の状態を‘1’の記憶状態と定め、両端電極に2つの2値入力電圧を印加する。このとき、入力論理値が異なる場合には電位差が生じ、正の電位差では‘0’、負の電圧差で‘1’に状態記憶が遷移する。一方、入力論理値が一致している場合は電位差は生じない。このように、入力論理値が異なっているときのみ状態遷移をするため、入力論理値の差を用いて論理演算を実現できる。また、演算結果は残留分極状態として強誘電体キャパシタ内に記憶されているため、記憶機能も同時に実現されている。この回路技術は、強誘電体デバイスが有する優れた記憶機能と論理演算機能を同時に実現できるため、演算回路内に多数のレジスタが分散されるゲートレベルパイプライン、大規模順序回路、VLSIプロセッサ制御回路などのシステムをコンパクトに構成可能である。本提案回路の応用例として、0.6 μm 強誘電体/CMOSプロセスにて54ビットゲートレベルパイプライン乗算器を構成した場合、同等機能のCMOS実現と比較して面積を70%に、消費電力を50%に、それぞれ削減できることを明らかにした。

(2) 相補形強誘電体ロジックインメモリ回路技術

これまでデータを格納するメモリセルとして応用されてきた強誘電体デバイスを活用し、記憶データのリフレッシュを必要としない「非破壊読出し」機能と「高速論理演算機能」を同時に

実現できる、強誘電体ロジックインメモリ集積回路の開発に成功した。特に、強誘電体メモリが非破壊読出し動作するにもかかわらず、高速に動作する強誘電体ロジックインメモリ集積回路の開発に成功した。高速なスイッチング動作を行うためには、強誘電体からの出力電圧振幅が大きくなければならない。2個の強誘電体キャパシタを直列に接続し、これらを相補的に動作させれば、強誘電体キャパシタ1個だけを用いた場合と比較し、2倍程度の出力電圧振幅が得られる。非破壊読出し動作が可能となるため、メモリフレッシュサイクルなどの余分な演算サイクルも不要となる。また、周辺回路のコストも大幅に軽減できるため、高速性と低消費電力性、コンパクト性を同時に達成できる新しい回路技術である。この効果は、演算回路内に多数の記憶要素が分散されるアーキテクチャ、例えばきめ細かいパイプライン、すなわちゲートレベルパイプラインと呼ばれる並列演算方式、大規模順序回路、VLSIプロセッサ制御順序回路などにおいて、回路規模の1桁以上の減少という意味で、極めて有用となる。今回開発した成果は種々の応用が展開されるが、その一例として、情報通信分野で重要となる高速検索エンジンなどに有用な連想メモリ(CAM)VLSIを構成した。その結果、同等機能のCMOS実現と比較し、チップ面積を1/3に、動的消費電力を2/3に、静的消費電力は1/9000に、それぞれ低減できることを明らかにした。強誘電体デバイスは、電源電圧を切っても記憶が消えない「不揮発性」という読出し専用メモリ(ROM)の性質のみならず、高速なデータの書込みと読出しが実現可能というランダムアクセスメモリ(RAM)の性質を兼ね備えた、優れたメモリデバイスであることが知られている。強誘電体メモリ(FeRAM)を実現する場合、メモリセルからできるだけ大きな出力電圧振幅を得るために、強誘電体デバイスの両端電極に大きな電圧が印加される。このため、メモリ読出し時に記憶データが破壊されるという「破壊読出し」形で強誘電体デバイスを動作させており、メモリ読出し直後に記憶データの書き戻し、すなわちリフレッシュサイクルが必要となる。また、メモリ読出し時に記憶データを破壊しない「非破壊読出し」形で強誘電体デバイスを動作させるFeRAMの構成方法も知られている。その反面、非破壊読出し形の場合には出力電圧を十分大きくすることができず、読出し速度が低下してしまう。このように、強誘電体デバイスにおいて、非破壊読出し動作と高速動作を両立させることは極めて難しかった。今回考案した不揮発性ロジックインメモリ回路では、上記の「非破壊読出し」機能と「高速アクセス」機能を両立させて従来の問題点を克服できただけでなく、論理演算機能も付加できるという全く新しい回路技術である。

(3) TMRロジックインメモリ回路技術

強誘電体と同様に不揮発性を有するメモリデバイスの1つで、強磁性体メモリ(MRAM: Magnetic RAM)の記憶素子として用いられているトンネル磁気抵抗効果(TMR: Tunneling Magnetoresistive)素子が知られている。本研究では、このTMRデバイスを活用して演算機能を実現し、TMR素子の持つ優れた不揮発性記憶機能と演算機能をコンパクトに一体化した相補形TMRトランジスタネットワークを活用したロジックインメモリ回路を提案した。TMR素子

は、強磁性体の磁化方向により抵抗値が変化するトンネル磁気抵抗効果を活用することにより、磁気記憶素子へのデータアクセスを電氣的に行うことが可能なため、磁気記憶が有する不揮発性・非破壊読み出し・高速アクセス・無限書換え可能などの優れた記憶機能を集積回路上で実現できる。また、CMOSプロセスとの親和性も高く、電圧やプロセスへのスケールビリティにも優れるため、システムLSI向けのメモリデバイスとして注目されている。本研究では、TMR素子が記憶データによって抵抗値が変化する可変抵抗素子として見なせることに着目し、外部入力データによって制御されるトランジスタと組み合わせることにより、ある特定の外部データ・記憶データの組合せの場合にのみ抵抗値が最小となるTMR/トランジスタネットワークが構成できることを示す。この場合、TMR素子は記憶素子のみならず、TMR/トランジスタネットワーク内の演算素子としても動作するため、演算回路内にTMR素子が有する優れた記憶機能をコンパクトに一体化できる。また、TMRネットワーク内の微小な抵抗値の変化を高速に検出するための手法として、ソースカップルドロジック(SCL)に用いられている差動動作の高速性を有したダイナミック形電流モード回路(DyCML:Dynamic Current Mode Logic)を活用することにより、定常電流をカットでき、低消費電力化および高速化を実現できることを示す。提案したTMRロジックインメモリ回路の応用例として、画像の動きベクトル検出等に用いられる差分絶対値和(SAD)演算器を細粒度パイプライン方式で構成した場合、同等機能のCMOS実現と比較して消費電力および各ステージの最大遅延時間をそれぞれ59%および73%まで削減できることを明らかにした。

研究組織

研究代表者

羽生貴弘（東北大学電気通信研究所・教授）

研究分担者

亀山充隆（東北大学大学院情報科学研究科・教授）

望月 明（東北大学電気通信研究所・助手）

木村啓明（東北大学大学院情報科学研究科・助手）

研究経費

平成 13 年度	8,200	千円
平成 14 年度	2,000	千円
平成 15 年度	2,400	千円
平成 16 年度	1,000	千円
計	13,600	千円

研究発表

(1) 学会誌等

- T. Hanyu, M. Kameyama, K. Shimabukuro and C. Zukeran,
"Multiple-Valued Mask-Programmable Logic Array Using One-Transistor Universal-Literal Circuits," IEEE 31st International Symposium on Multiple-Valued Logic, pp.167-172, Warsaw(Poland), May 2001.
- T. Hanyu,
"Challenge of a Multiple-Valued Technology in Recent Deep-Submicron VLSI," IEEE 31st International Symposium on Multiple-Valued Logic, pp.241-244, Warsaw(Poland), May 2001.
- S. Kaeriyama, T. Hanyu and M. Kameyama,
"Arithmetic-Oriented Logic-in-Memory VLSI Using Floating-Gate MOS Transistors," International Journal of Mutiple-Valued Logic, Vol.8, No.1, pp.33-51, Jan. 2002.
- T. Hanyu, H. Kimura, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu,
"Ferroelectric-Based Functional Pass-Gate for Fine-Grain Pipelined VLSI Computation," Digest of Technical Papers, IEEE International Solid-State Circuits Conference (ISSCC), 12.7, pp.208-209. San Francisco (USA), Feb. 2002.
- H. Kimura, T. Hanyu and M. Kameyama,
"Dynamic-Storage-Based Logic-in-Memory Circuit and Its Application to a Fine-Grain Pipelined System," IEICE Trans. on Electron., Vol.E85-C, No.2, pp.288-296, Feb. 2002.
- H. Kimura, T. Hanyu and M. Kameyama,
"Multiple-Valued Logic-in-Memory VLSI Based on Ferroelectric Capacitor Storage and Charge Addition", IEEE 32nd International Symposium on Multiple-Valued Logic, pp.161-166, Boston(USA), May 2002.
- H. Kimura, T. Hanyu, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu,
"Ferroelectric-Based Functional Pass-Gate for Low-Power VLSI," 2002 Symposium on VLSI Circuits, pp.196-199, Honolulu (USA), June 2002.
- H. Kimura, T. Hanyu and M. Kameyama,
"Implementation of a DRAM-Cell-Based Multiple-Valued Logic-in-Memory Circuit," IEICE Trans. on Electronics, Vol.E85-C, No.10, pp.1814-1823, Oct.

2002.

- H. Kimura, T. Hanyu and M. Kameyama,
"Multiple-Valued Logic-in-Memory VLSI Using MFSFETs and Its Application,"
International Journal of Mutiple-Valued Logic, Vol.9, No.1, pp.23-42, Jan. 2003.
- H. Kimura, T. Hanyu, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu,
"Complementary Ferroelectric-Capacitor Logic and Its Application," Digest of
Technical Papers, IEEE International Solid-State Circuits Conference (ISSCC),
9.2, pp.160-161, San Francisco(USA), Feb. 2003.
- 木村啓明, 羽生貴弘, 亀山充隆, 藤森敬和, 中村孝, 高須秀視,
"強誘電体デバイスを用いたロジックインメモリ VLSI の構成," 信学論, Vol.J86-C,
No.8, pp.886-893, August 2003.
- Hiromitsu Kimura, Mitsuru Ibuki and Takahiro Hanyu,
"TMR-Based Logic-in-Memory Circuit for Low-Power VLSI," ITC-CSCC2004,
8C3L-3, July 2004.
- H. Kimura, T. Hanyu, M. Kameyama, Y. Fujimori, T. Nakamura and H. Takasu,
"Complementary Ferroelectric-Capacitor Logic for Low-Power Logic-in-Memory
VLSI," IEEE Journal of Solid-State Circuits, Vol.SC-39, pp.919-926, No.6, June
2004.
- Akira Mochizuki, Hiromitsu Kimura, Mitsuru Ibuki and Takahiro Hanyu,
"TMR-Based Logic-in-Memory Circuit for Low-Power VLSI," IEICE
Transactions on Fundamentals., (to be published), 2005.

(2) 口頭発表

- 南正樹、羽生貴弘、亀山充隆、
"ロジックインメモリ構造モルフォロジー画像処理VLSIプロセッサの構成," 第
40回計測自動制御学会(SICE) 学術講演会予稿集、A-1, pp.310-311, 2001年7月.
- H. Kimura, T. Hanyu and M. Kameyama,
"Dynamic-Storage-Based Multiple-Valued Logic-in-Memory Circuit and Its
Application," The 2nd Korea-Japan Joint Symposium on Multiple-Valued Logic,
pp.147-151, August 2001.
- 木村 啓明, 羽生 貴弘, 亀山 充隆,
"ゲートレベルパイプライン用ロジックインメモリ VLSI の構成", 2001年電子情報

通信学会ソサイエティ大会(エレクトロニクス), 分冊 2, no.C-12-8, p.69, 2001 年 9 月.

- 古川 剛志, 羽生 貴弘, 亀山 充隆,
"ソース結合形回路を用いた多値ロジックインメモリ VLSI の構成," 2001 年電子情報通信学会ソサイエティ大会(エレクトロニクス), 分冊 2, no.C-12-9, p.70, 2001 年 9 月.
- 金尚賢, 羽生貴弘, 亀山充隆,
"電圧・電流ハイブリッドモード多値集積回路とステレオビジョン VLSI プロセッサへの応用", 多値技報, MVL02-8, No. 1, pp.56-64, Jan. 2002.
- 木村 啓明, 羽生 貴弘, 亀山 充隆, 藤森田敬和, 中村孝, 高須秀視,
"強誘電体デバイスに基づくロジックインメモリ VLSI の構成," 信学技報, ICD2002-9, pp.7-12, 2002 年 4 月.
- 木村 啓明, 羽生 貴弘, 亀山 充隆, 藤森田敬和, 中村孝, 高須秀視,
"強誘電体デバイスを用いた機能パスゲートと低電力 VLSI への応用," 電気学会電子材料研究会資料, EFM-02-18, pp.57-62, 2002 年 6 月.
- 亀山 充隆, 羽生 貴弘, 木村 啓明,
"強誘電体ロジックインメモリアーキテクチャに基づくシステム LSI の展望," 信学技報, ICD2002-172, pp.47-52, 2002 年 12 月.
- H. Kimura, T. Hanyu and M. Kameyama,
"VLSI System Based on Ferroelectric Logic-in-Memory Architecture," Proc. 2002 International Symposium on New Paradigm VLSI Computing, Sendai (Japan), pp.60-65, Dec. 2002.
- 木村 啓明, 羽生 貴弘, 亀山 充隆,
"不揮発性デバイスを用いたロジックインメモリ VLSI の構成," 信学技報, ICD2003-5, pp.23-27, 2003 年 4 月.
- 伊吹満, 木村啓明, 羽生貴弘,
"TMR 素子を用いたダイナミック形ロジックインメモリ回路の構成," 平成 15 年度電気関係学会東北支部連合大会講演論文集, 2G2, P.244, 2003 年 8 月.
- 松永翔雲, 木村啓明, 羽生貴弘,
"相補形強誘電体論理ゲートを用いたパイプラインシステムの構成," 平成 15 年度電

気関係学会東北支部連合大会講演論文集, 2G4, P.246, 2003年8月.

- 木村啓明, 伊吹満, 羽生貴弘,
"多値 TMR ソースカップルドロジックに基づくロジックインメモリ回路の構成,"
多値技報, MVL-04, No.1, pp.92-98, 2004年1月.
- H. Kimura and T. Hanyu,
"Non-Volatile Logic-in-Memory Circuit for a Fully Parallel VLSI Processor," Proc.
1st International Symposium on System Construction of Global-Network-
Oriented Information Electronics (IGNOIE-COE03), pp.129-134, Sendai (Japan),
Jan. 2004.
- 木村啓明, 伊吹満, 羽生貴弘,
"TMR 素子を用いた低電力ロジックインメモリ回路技術," 電子情報通信学会 2004
年総合大会講演論文集, SC-11-13, pp.S-75~S76, 2004年3月.
- 望月明, 木村啓明, 羽生貴弘,
"相補形 TMR/トランジスタネットワークを活用した低消費電力ロジックインメモ
リ VLSI," 信学技報, ICD2004-12, pp.37-42, 2004年4月.
- 松永翔雲, 羽生貴弘,
"相補形強誘電体ロジックに基づくパイプライン算術演算回路の構成," 平成16年電
気関係学会東北支部連合大会講演論文集, 2E8, p.183, 2004年8月.
- 庄子耕平, 望月明, 羽生貴弘,
"TMR ロジックに基づくビット並列大小比較 CAM の構成," 平成16年電気関係学
会東北支部連合大会講演論文集, 2E9, p.184, 2004年8月.
- 鈴木大輔, 羽生貴弘,
"不揮発性ロジックに基づく格子ガスオートマトン演算 VLSI の構成," 平成16年電
気関係学会東北支部連合大会講演論文集, 2E10, p.185, 2004年8月.
- Shoun Matsunaga and Takahiro Hanyu,
"Design of a Pipelined Multiplier Based on Complementary Ferroelectric
Capacitor Logic," 1st International Workshop of Tohoku Univ. and Yeungnam
Univ., pp. 22-23, Nov. 2004.
- Takahiro Hanyu,
"Non-Volatile Logic-in-Memory Circuit and Its Application," Proc. 2nd
International Symposium on System Construction of Global-Network-Oriented

Information Electronics (IGNOIE-COE04), pp.99-102, Jan. 2005.

- 庄子耕平, 伊吹満, 羽生貴弘
"TMR ロジックに基づくビット並列大小比較 CAM の構成", 多値論理とその応用研究会技術研究報告, Vol.MVL-05, No.1, pp.67-72, 2005 年 1 月.
- 鈴木大輔, 羽生貴弘,
"強誘電体ロジックに基づくセルオートマトン VLSI とその応用", 多値論理とその応用研究会技術研究報告, Vol.MVL-05, No.1, pp.73-89, 2005 年 1 月.

研 究 成 果

本報告書収録の学術雑誌等発表論文は本ファイルに登録していません。なお、このうち東北大学在籍の研究者の論文で、かつ、出版社等から著作権の許諾が得られた論文は、個別に **TOUR** に登録しております。