

博士学位論文

論文題目

InGaAs 系高電子移動度トランジスタの
高周波化およびミリ波帯増幅回路への応用
に関する研究

Title

Study on High-Frequency InGaAs-Based
High Electron Mobility Transistors
for Millimeter-Wave Amplifiers

東北大学大学院 工学研究科 通信工学専攻

尾辻・末光(哲)・Bouanga Tombet 研究室

博士後期課程 3 年

B2TD2306

吉田 智洋

平成 27 年 2 月

Study on High-Frequency InGaAs-Based High Electron Mobility Transistors
for Millimeter-Wave Amplifiers

ABSTRACT : The high-frequency characteristics of InGaAs-based High Electron Mobility Transistors (HEMTs) for high-efficiency millimeter-wave amplifiers are comprehensively studied in this thesis. The study covers the new T-gate fabrication technique using SiCN mold (SiCN mold technique), the optimization of the shapes in T-gates by the SiCN mold technique, the characterization of the T-gate geometry dependency on the gate parasitic capacitance and delay time, the fabrication of slant field plate (FP) with SiCN mold technique, and the application of InGaAs-HEMTs for class-F millimeter-wave amplifiers.

InGaAs-based high electron mobility transistors (HEMTs) are one of the most promising devices for millimeter- and sub-millimeter-wave applications because of the high carrier mobility and the large carrier concentration due to the large conduction band offset at the InAlAs/InGaAs heterojunction. Recently, the technological progress in processing HEMTs has enabled gate length (L_g) shorter than 0.1 μm to be achieved. However, the current gain cutoff frequency (f_T) does not scale up as much as was expected. The delay time analysis of the HEMTs revealed the key role of the parasitic delay time (τ_p). In general, T-gate electrodes are employed for short-gate HEMTs to reduce the gate resistance and thereby increase the maximum frequency of oscillation (f_{max}). However, it has been pointed out that the capacitive effect at the top part of the T-gate increases the parasitic delay, and degrades the f_T performance. Therefore, the design of the T-gates should be carefully made in a systematic manner to explore ultimate high-frequency performance towards terahertz operation.

The SiCN mold technique was proposed to control the cross sectional shapes in T-gates. The proposed approach has more advantages than the conventional tri-layer resist process from the viewpoint of the controllable design of the T-gate electrodes. Two types of T-gates with different stem shapes were fabricated and the effect of the T-gates was characterized by the delay time analysis. The result indicated that the parasitic capacitance and delay time depend on the T-gate stem shapes. In addition, how the best T-gate shape affected device RF characteristics was studied with electromagnetic field analysis. Using these results, the design plan for the T-gates has been discussed.

The InGaAs HEMTs with the T-gates with different stem heights were fabricated by the SiCN mold technique. As expected, the results indicated that the gate parasitic capacitance decreases with increasing stem height. The gate parasitic delay time also decreases with increases in the T-gate stem height when the devices are operated at the knee voltage. On the other hand, the gate parasitic delay time becomes less sensitive to the stem height as the drain voltage increases from the knee voltage. These results suggest that when the device is operated in the deep saturation region, the gate-to-drain capacitance is less sensitive to the geometry of the T-gate because of the extended carrier depletion region. Therefore, it was pointed out that the best T-gate design depends on the operation bias conditions of the HEMTs selected in each application.

The Power Added Efficiency (PAE) of amplifiers operated in millimeter-wave bands such as 60 GHz is still under 30%. A switching type amplifier consisting of InGaAs-HEMTs is a promising way to improve PAE in millimeter wave bands. At such high frequencies, the parasitic delay time is the main cause of the degradation of the RF characteristics in HEMTs. The InGaAs-HEMTs with the different T-gate stem heights were characterized to clarify the gate parasitic capacitance and delay time dependencies on a load line of the 60-GHz class-F amplifier for studying the design strategy of the T-gates adopted in this particular application. This result suggests that the parasitic capacitance

does not have much effect on the load line in the designed class-F amplifier. In addition, the bias points in the linear region on the load line should cause problems because of the large parasitic delay time. Thus, we need to avoid using the linear region while designing class-F amplifiers. However, this degrades the efficiency of the amplifier. In addition, the reduction of the source and drain resistance in HEMTs is important to decreasing the knee voltage and improving the RF characteristics in HEMTs. The improvement of the breakdown voltage in HEMTs is simultaneously important. These steps will increase the voltage swing on the load line and will therefore improve the amplifier efficiency.

The efficiency and output power in the application of InGaAs-HEMTs are limited by the breakdown voltage in InGaAs-HEMTs. Thus the improvement of breakdown voltage is necessary. The InGaAs-HEMTs with slant field plate (FP) structures were studied to improve the breakdown voltage by the efficient mitigation of the electric field at the drain side of the gate edge. The 200-nm gate length InGaAs-HEMTs with multi-step and slant FP structures were fabricated using the SiCN mold technique. The off-state breakdown voltages of the HEMTs were then measured. The result indicated that larger number of SiCN layers in SiCN molds enhanced the off-state breakdown voltage. The hard breakdown voltage of the HEMT with the slant FP structures fabricated with the 10-step SiCN mold was 20.9 V, which was greater than the breakdown voltage of the HEMT fabricated for the comparison with conventional recessed gate structure (5.6 V). In addition, the 65-nm gate length InGaAs-HEMTs with the slant FP structure was fabricated to confirm the scalability of this process. The optimization of FP structures in the short-gate InGaAs-HEMTs will be needed for the millimeter frequency operation and more. The optimized short-gate InGaAs-HEMTs with the slant FP structures will be one of the promising candidates of the millimeter-wave transistors with high breakdown voltage.

In summary, the SiCN mold technique was proposed in order to control the cross sectional shapes in T-gates. The T-gate geometry dependencies on the parasitic gate capacitance and delay time were characterized using the SiCN mold technique and electromagnetic analysis. Consequently, the study led to the T-gate and device design plan. The 60-GHz-band class-F amplifier was designed and fabricated. The T-gate geometry dependencies on parasitic gate capacitance and delay time on the load line in the amplifier were also characterized using the SiCN mold technique. Consequently, the study revealed the design plan and problems in the class-F amplifier. The InGaAs-HEMTs with the slant FP structures were fabricated and demonstrated improved breakdown-voltage characteristics. In conclusion, the InGaAs-HEMT with the optimized slant FP structure devised in this work is a promising device operating in the millimeter-wave frequency bands and high voltage region.

目次

第 1 章	序論	1
1.1	研究の背景	1
1.1.1	通信システムにおけるトランジスタ高速化の必要性	1
1.1.2	ミリ波帯無線通信における増幅器高効率化の必要性	3
1.1.3	InGaAs 系高電子移動度トランジスタの歴史と現状および課題	6
1.2	研究の目的	12
1.2.1	InGaA 系高電子移動度トランジスタ高性能化のためのプロセス技術の開発	12
1.2.2	InGaAs 系高電子移動度トランジスタを用いたミリ波帯 F 級増幅器の作製	13
1.3	本論文の構成	14
第 2 章	高電子移動度トランジスタ	15
2.1	高電子移動度トランジスタの基本動作	15
2.1.1	高電子移動度トランジスタの基本構造	15
2.1.2	動作原理	18
2.1.3	DC 特性	20
2.1.4	RF 特性	24
2.2	高電子移動度トランジスタの作製	26
2.2.1	試作用チップのレイアウト設計	26
2.2.2	高電子移動度トランジスタの作製方法	30
2.2.3	T 型ゲート電極のゲート形成法とその課題	35
2.3	高電子移動度トランジスタの電気特性評価	37
2.3.1	DC 特性	37
2.3.2	RF 特性	39
2.3.3	S パラメータの解析	44
第 3 章	電子線露光と多層 SiCN 鋳型を用いた T 型ゲート電極の作製	52
3.1	本章の目的	52
3.2	SiCN 膜の特性	53
3.2.1	SiCN 膜の堆積	53
3.2.2	SiCN 膜のエッチング特性	55
3.3	多層 SiCN 鋳型を用いた T 型ゲート電極作製法	57
3.3.1	多層 SiCN 鋳型を用いた T 型ゲート電極の作製(1)	57
3.3.2	多層 SiCN 鋳型の作製	59
3.3.3	多層 SiCN 鋳型の形状の違いによる T 型ゲート電極断面形状の変化	61

3.4	多層 SiCN 鋳型を用いた T 型ゲート電極を持つ InGaAs 系高電子移動度トランジスタの特性	63
3.4.1	エピタキシャル層構造とデバイス構造	63
3.4.2	DC 特性	64
3.4.3	RF 特性	65
3.4.4	遅延時間解析と回路パラメータの抽出	66
3.5	T 型ゲート電極の最適設計法に対する考察	68
3.5.1	静電場解析における解析諸元と T 型ゲートの最適設計条件の導出	68
3.5.2	T 型ゲートの最適設計条件	70
3.6	本章のまとめ	72
第 4 章	T 型ゲート電極脚部の高さが寄生遅延時間に与える影響の評価	73
4.1	本章の目的	73
4.2	多層 SiCN 鋳型を用いた T 型ゲート電極の作製(2)	74
4.3	多層 SiCN 鋳型を用いた T 型ゲート電極を持つ InGaAs 系高電子移動度トランジスタの特性	77
4.3.1	エピタキシャル層構造とデバイス構造	77
4.3.2	DC 特性	78
4.3.3	RF 特性	80
4.3.4	静電場解析	82
4.3.5	遅延時間解析と回路パラメータの抽出	83
4.4	本章のまとめ	86
第 5 章	SiCN 鋳型を用いて作製した傾斜フィールドプレート構造を持つ InGaAs 系高電子移動度トランジスタの作製	87
5.1	本章の目的	87
5.2	材料系の選択	87
5.3	エピタキシャル層構造とデバイス構造	90
5.4	SiCN 鋳型を用いた傾斜フィールドプレート構造の作製	91
5.5	SiCN 鋳型を用いて作製した傾斜フィールドプレート構造を持つ InGaAs 系高電子移動度トランジスタの耐圧特性	95
5.6	SiCN 鋳型を用いて作製した短ゲート傾斜フィールドプレート構造を持つ InGaAs 系高電子移動度トランジスタの作製	97
5.6.1	SiCN 鋳型を用いて作製した短ゲート傾斜フィールドプレート構造を持つ InGaAs 系高電子移動度トランジスタの作製	97
5.6.2	DC 特性	99
5.6.3	RF 特性	103
5.6.4	遅延時間解析と回路パラメータの抽出	104

5.6.5	2層 SiCN 鋳型を用いて作製したフィールドプレート構造を持つ HEMT の耐圧と電流利得遮断周波数の関係.....	106
5.7	本章のまとめ.....	110
第 6 章	InGaAs 系高電子移動度トランジスタのミリ波帯高効率増幅器への応用.....	112
6.1	本章の目的	112
6.2	エピタキシャル層構造とデバイス構造.....	112
6.3	F 級増幅器の動作原理と回路設計	113
6.4	受動素子の作製.....	116
6.5	F 級増幅器の応用用途とトランジスタに対する要求.....	119
6.6	F 級増幅器の作製	120
6.7	F 級増幅器のロードライン上における遅延時間解析.....	122
6.8	本章のまとめ.....	126
第 7 章	結論と今後の展望.....	127
	謝辞	131
	参考文献	133
	研究業績	142
	査読付き学術論文 7 編 (主著 : 3 編, 共著 : 4 編)	142
	査読付国際会議論文 11 件 (主著 : 5 件, 共著 : 6 件)	143
	国内学会発表 21 件 (主著 : 7 件, 共著 : 14 件)	144
	付録 A 記号一覧表.....	147
	付録 B 外挿方法.....	151
	付録 B-1 外挿値導出の数学的背景.....	151
	付録 B-2 電流利得遮断周波数の外挿方法.....	153
	付録 B-3 最大発振周波数の外挿方法.....	154
	付録 C 各種行列の相互変換.....	155

第1章 序論

1.1 研究の背景

1.1.1 通信システムにおけるトランジスタ高速化の必要性

現在、ブロードバンド回線やスマートフォンの普及に伴い、映像、音楽配信サービスといった大容量データ配信の利用者が増加している。図 1.1 に示したのは、総務省の発表した国内のダウンロードトラフィックであるが、2013 年 11 月には 2.5 Tbps を超え、増加の一端をたどっている[1.1]。この傾向は今後も続くと考えられるが、さらなる通信量の増加に対応するためには、基幹ネットワークにおける伝送容量の拡大が必要である。現在基幹ネットワークにおいては、主に 10 および 40 Gbps の光伝送系が使用されているが、今後更に高速な 100 Gbps の光伝送系への置換も計画されている[1.2][1.3]。基幹ネットワークにおける集積回路(IC)では高周波領域での動作が求められるため、電子デバイスの高速化が必要不可欠である。そのため、ミリ波帯(30 - 300 GHz)やサブミリ波帯(300 GHz - 3 THz)のような高周波領域でも動作する高速スイッチング素子や多重化器などの研究開発が積極的にな

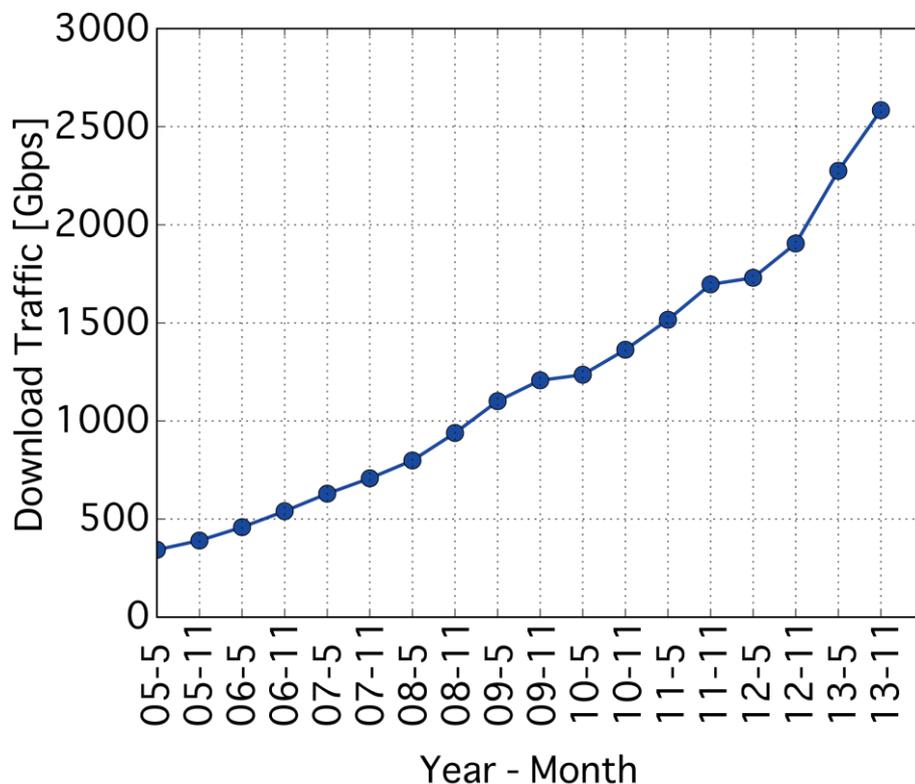


図 1.1: 我が国のブロードバンド契約者のトラフィック総量の試算 (総務省[1.1]).

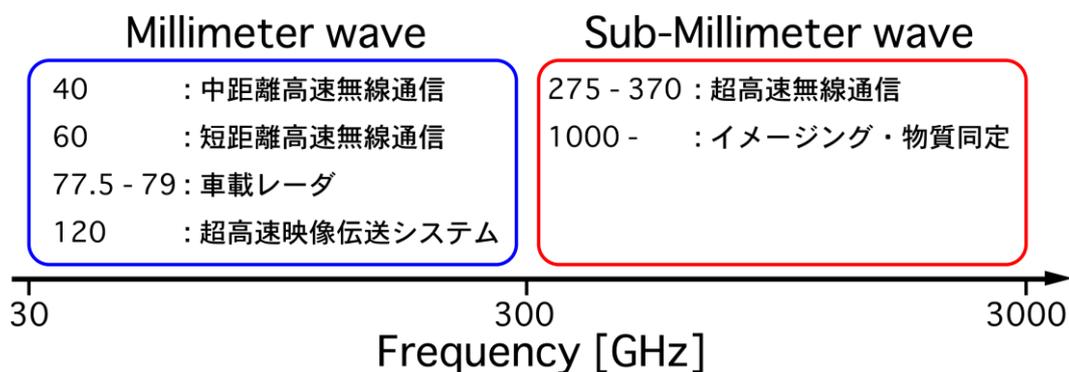


図 1.2: ミリ波・サブミリ波帯の使用用途 (一例) .

されている[1.4][1.5]。

ミリ波およびサブミリ波帯の利用用途は、光通信の分野だけにとどまらず、図 1.2 に示すように、中・近距離大容量無線通信やレーダ、センサなど多岐にわたっており[1.6]、本周波数帯で動作するトランジスタの研究開発に期待が集まっている。これらの周波数帯域の中でも、特にミリ波帯を用いた超高速無線通信は敷設が容易であり、災害時に容易に復旧できるため、今後のさらなる需要の増大が予測される。具体例としては、40 GHz 帯を利用した中距離無線通信システムや 60 GHz 帯を利用した近距離無線通信システム、120 GHz 帯を利用した超高精細映像伝送システムといった例があげられる。このうち 120 GHz 帯を用いた映像伝送については、日本電信電話株式会社 (NTT)や日本放送協会 (NHK)のグループが 800 m の距離で 10 Gbps での伝送実験に成功している[1.7]。このような高周波領域で動作するトランジスタは限られており、ヘテロ接合バイポーラトランジスタ (Heterojunction Bipolar Transistor; HBT)や高電子移動度トランジスタ (High Electron Mobility Transistor; HEMT)といった化合物半導体デバイスが用いられている。その中でも我々は、格子定数が GaAs と比較して大きい InP を基板とし、チャネル材料として電子移動度(μ_e)の大きな InGaAs を用いた InGaAs 系 HEMT に注目して研究を行っている。

1.1.2 ミリ波帯無線通信における増幅器高効率化の必要性

現在、日本国内における移動体通信方式として、第3世代(3G)および第3.9世代(Long Term Evolution; LTE)方式が主流となっている。これらの利用者を合算した契約者数は、図 1.3 に示したように増加し続けており、2013年には国民一人あたりの携帯端末の所持数は1台を超えるまでに増加している[1.8]。さらに、スマートフォンの普及により移動体端末における動画や音楽といった大容量データの利用増加や、移動体通信キャリアによる定額制の導入により、通信量は増加し続けており、通信容量の大容量化が強く求められている。その解決策として期待されるのが、ミリ波帯を利用した近距離大容量無線通信システムである。ミリ波帯は従来の変調技術の延長で大容量通信を実現可能であるミリ波帯でありながら、サブミリ波帯と比較して大気中での減衰が小さく、広い周波数帯域の利用が認許されているため、近距離無線通信に適している。本周波数帯においては、電磁波の直進性や大気中での減衰の問題があるため、比較的近距离に複数のアンテナを設置する分散アンテナネットワーク技術(Distributed Antenna Network; DAN)と相性が良い。DANは現在従来の数百MHzから数GHzの周波数範囲においてチャンネル容量改善のために研究がなされているが[1.9][1.10][1.11][1.12][1.13][1.14]、将来的にはミリ波帯への応用は実現可能であると考えられる。その概略図を図 1.4 に示す。通信容量の大容量化には消費電力の増大といった問題があり、無線通信システムにおける低消費電力化も重要な課題である。無線通信システム中でも増幅器とその効率に注目すると、増幅器に入力された直流電力に対して出力される高周波電力に対してどれだけの効率を持つかを示す指標である電力付加効率(Power Added Efficiency; PAE)を、ミリ波帯およびその周辺の周波数についてプロットした図を図 1.5 に示

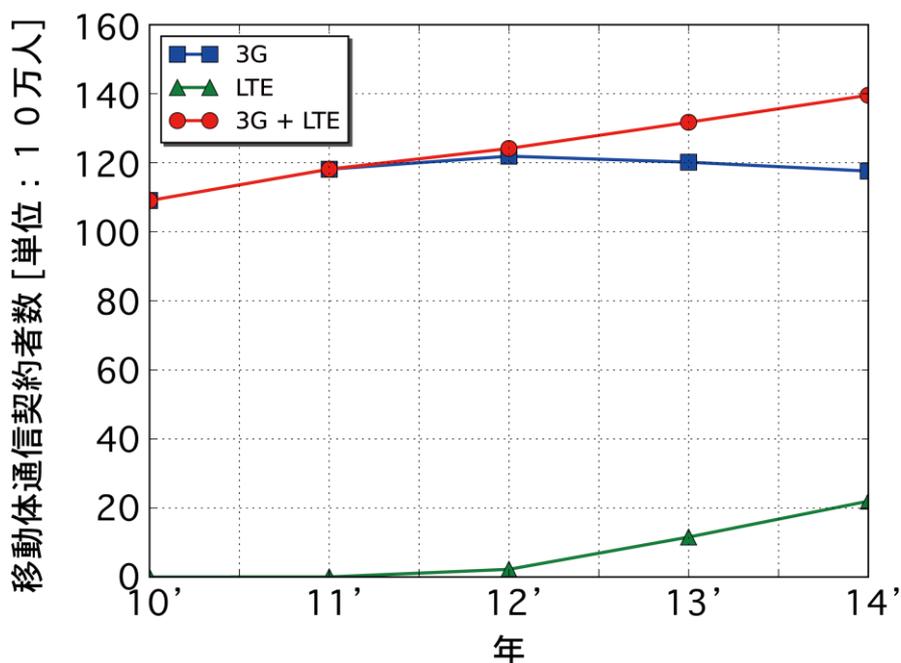


図 1.3: 移動体通信契約者数の推移 (総務省[1.8]) .

す。ここからわかるように、60GHzでのPAEは30%以下であり、さらに、220GHzではわずか3.7%となっている。以上のように、ミリ波帯のような高周波領域では増幅器の高効率化は困難であることがわかる[1.43][1.15][1.16][1.17][1.18]。今後これらの周波数帯を開拓し、実用可能なデバイスを開発するためには増幅器の高効率化は必要不可欠であり、重要な課題である。特に、60GHz帯はミリ波帯の中でも比較的早い実用化が求められており、本周波数帯における増幅器の高効率化は喫緊の課題である。

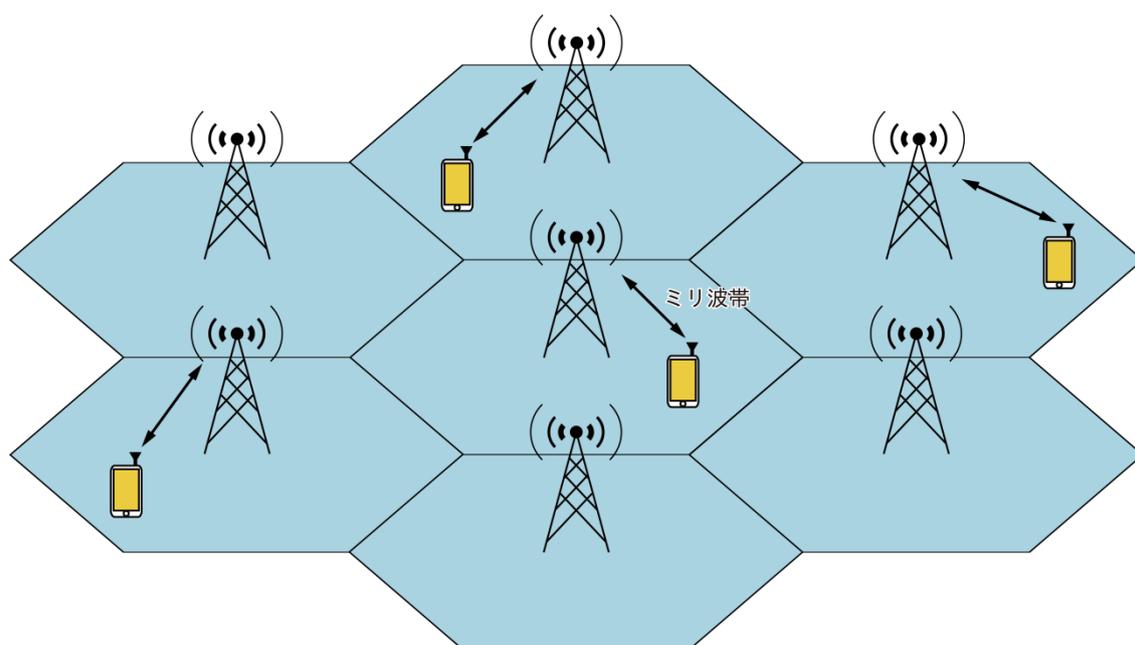


図 1.4: ミリ波帯を利用した近距離無線通信の概略図.

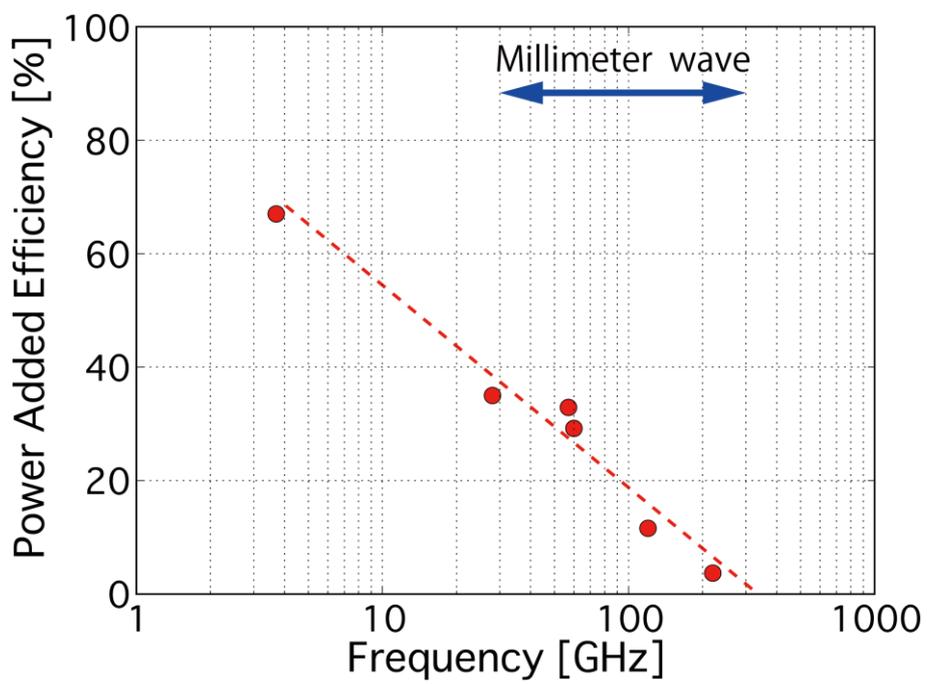


図 1.5: ミリ波帯及びその周辺周波数における電力付加効率[1.43][1.47][1.48][1.49][1.50].

1.1.3 InGaAs 系高電子移動度トランジスタの歴史と現状および課題

HEMT は 1980 年に三村らによって開発された電界効果トランジスタの一種である[1.19]。これは、半絶縁 GaAs 基板の上に GaAs/n-AlGaAs を成長し、界面に電子を閉じ込めることで形成された 2 次元電子ガス(2-dimensional electron gas; 2DEG)を利用するものであった。HEMT は上述の様な、アンドープな電子走行層と Si ドーピングされた n 型の電子供給層をヘテロ接合することにより接合界面に形成された 2DEG をチャンネルとして用いるものである。そのため、電子が真性半導体中を走行することとなり、ドナーによる不純物散乱の影響をほとんど受けないため、高いキャリア移動度、及び低ノイズ特性が実現できる。HEMT の高周波性能は、電子移動度や電子速度(v_s)だけでなく、変調ドーピングされたドナーがどれだけチャンネル層に電子を供給できるかにも依存する[1.20] [1.21]。これは、伝導帯の不連続量と密接に結びついており、初期の HEMT で用いられた GaAs/n-AlGaAs のヘテロ接合では伝導帯オフセットが小さく (GaAs/Al_{0.33}Ga_{0.67}As では 0.26eV[1.22])、チャンネルへの電子供給が不十分であった。そのため、図 1.6 に示すように、GaAs と比較して格子定数が大きい InP を基板として用いた HEMT の研究についても同様に進められた[1.24][1.25]。InP 基板と格子整合する In_{0.53}Ga_{0.47}As/In_{0.52}Al_{0.58}As のヘテロ接合では、伝導帯のオフセットは 0.5eV であり、GaAs/AlGaAs と比較すると約 2 倍である[1.26]。また InGaAs においては、高 In 組成にする

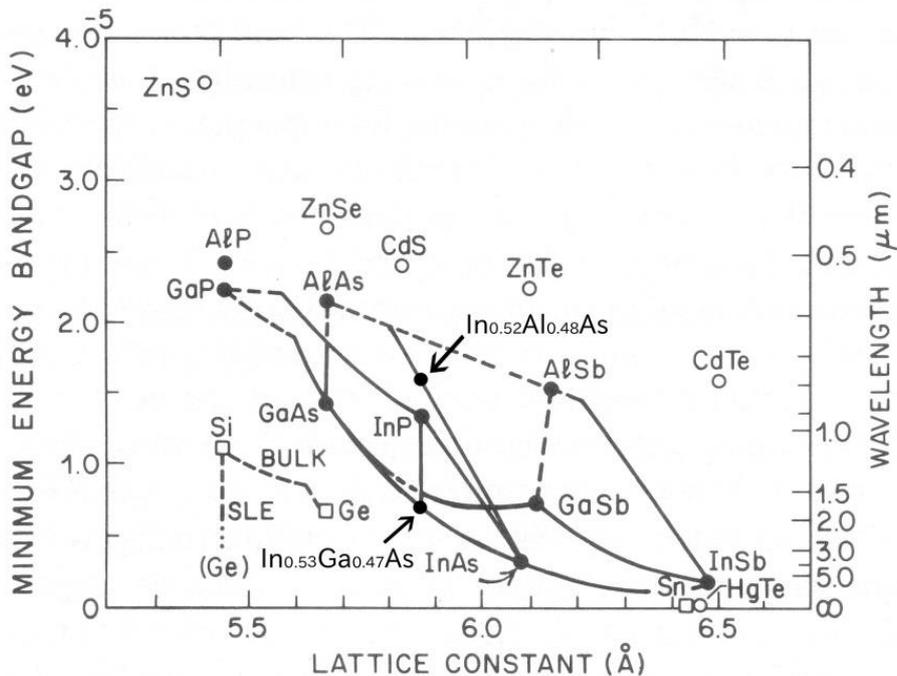


図 1.6: 各種半導体材料の格子定数とバンドギャップ

(S, M. Sze, "High-Speed Semiconductor Devices"より [1.23]).

ことで電子移動度が向上し、また、挟バンドギャップ化するため、高電子移動度と InAlAs との間のより大きな伝導帯バンドオフセットを実現できる。そのため、高 In 組成 InGaAs チャンネルや InAs チャンネルの研究が行われている[1.27][1.28][1.29]。

一般的にトランジスタの高周波性能を表す指標としては、デジタル応用における速度の指標となる電流利得遮断周波数(f_T)や、増幅器のようなアナログ応用における速度の指標となる最大発振周波数(f_{max})といった指標が用いられている。これまでの HEMT の高周波性能の変遷について f_T に注目して見ると、1987 年には 110 GHz[1.30]、1988 年には 205 GHz[1.31]、1989 年には 250 GHz[1.32] と毎年記録が更新され、1992 年には In 組成 0.80 の Pseudomorphic-HEMT(PM-HEMT)において 340 GHz[1.33]に達した。その後しばらく f_T の向上は停滞することになるが、1998 年にはゲート直下をエッチングすることでゲート-チャンネル間距離を縮める 2 段リセスプロセスの開発によって、350 GHz[1.34]が達成された。その後も 2000 年には 362 GHz[1.35]、2001 年には 400 GHz[1.36]、2002 年には 562 GHz[1.37]、2007 年に 610 GHz[1.38]、2008 年に 628 GHz[1.39]、2010 年に 644 GHz[1.40]、とゲート長(L_g)の短縮や高 In 組成チャンネルの導入、ゲート・チャンネル間距離の短縮などの手法により f_T の向上は続いた。現在、InP 基板上に成長されたエピタキシャル層構造を持つ HEMT の特性では、 f_T に関しては 60 nm のゲート長の薄層 InAs チャンネルを用いた Pseudomorphic-HEMT において 710 GHz という値が得られており [1.27]、また、 f_{max} については 1THz を超える値が報告されている [1.41]。さらに、 f_T と f_{max} を両立するものとしては、40 nm のゲート長で、チャンネル材料として $In_{0.7}Ga_{0.3}As$ を用いた Pseudomorphic-HEMT において f_T が 688 GHz、 f_{max} が 800 GHz という結果が得られている [1.42]。また、HEMT を用いた IC としては、850 GHz 帯の増幅器[1.43]が発表されている。また、高周波性能だけでなく、優れた低ノイズ特性[1.44]を持つ HEMT も開発されており、その高いポテンシャルが示されている。

図 1.7 はゲート長と f_T の関係をプロットしたものであるが、ゲート長 100 nm 以下の領域では、 f_T の向上が飽和傾向であることが見てとれる。 f_T はゲート直下での電子の走行時間で決まる真性遅延時間 (τ_i)と、ゲート寄生容量($C_{g,par}$)やソース・ドレイン寄生抵抗によって決定される寄生遅延時間(τ_p)の和によって決定され、デバイスの総遅延時間(τ)は真性遅延時間と寄生遅延時間を用いて、

$$\tau = \tau_i + \tau_p \quad (1.1)$$

$$f_T = \frac{1}{2\pi\tau} \quad (1.2)$$

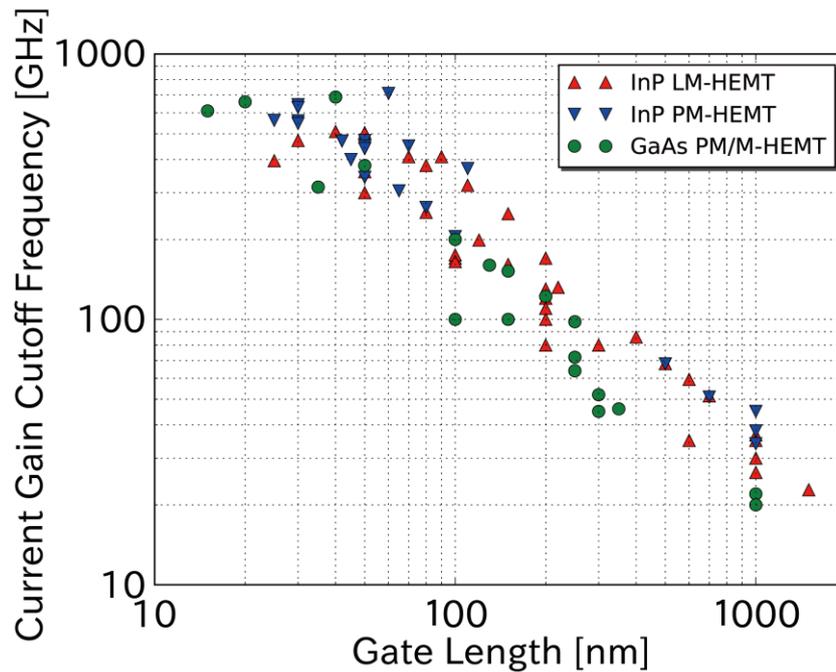


図 1.7: InP 基板を用いた Lattice Match HEMT(LM-HEMT)、Pseudomorphic HEMT(PM-HEMT)、および GaAs 基板を用いた Pseudomorphic/Metamorphic HEMT における電流利得遮断周波数とゲート長の依存関係.

と表すことができる。遅延時間と f_T は、(1.2)で示される関係にあり、真性遅延時間および寄生遅延時間が総遅延時間のうちどの程度の割合を占めているのかを理解することで、今後の HEMT 高速化の方向性や手法を検討する助けとなる。図 1.8 は横軸にゲート長と遅延時間の依存関係を、チャンネル材料に InP 基板と格子整合する $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ を用いた場合、および、 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ の擬似格子整合材料を用いた場合についてプロットしたものである[1.45]。ゲート長 200 nm 以下の領域では、ゲート長が短縮するに従って、真性遅延時間は減少しているが、寄生遅延時間ではほぼゲート長依存性は見られない。また、真性遅延時間はチャンネル材料に対する依存性を持つが、寄生遅延時間は持たない。すなわち遅延時間の原因としては、真性遅延時間は半導体の材料やゲート長によるが、寄生遅延時間はそれ以外の部分に原因が存在する。ゲート長 100 nm 以下の領域においては寄生遅延時間が支配的であり、今後のさらなる f_T 向上のためには、寄生遅延時間をいかに削減するかが重要となる。

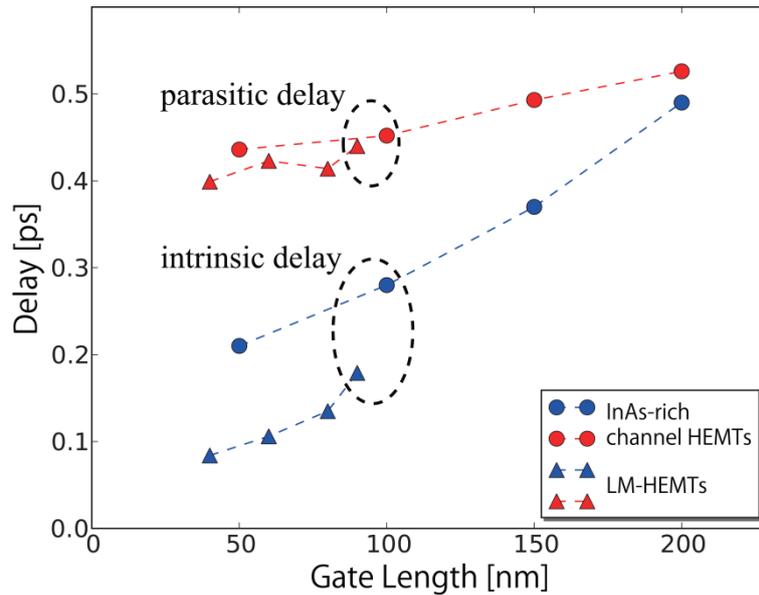


図 1.8: 格子整合(LM)、および、擬似格子整合(PM)HEMT における真性遅延時間と寄生遅延時間の比較 (福田等による報告[1.45]) .

一般にゲート長を微細化するにつれてゲート断面積が小さくなり、ゲート抵抗(R_g)が増加する。そのため HEMT では、通常の I 型ゲートと比較してより大きな断面積を取ることができる T 型ゲート電極構造が採用されている。I 型・T 型および後述する Y 型ゲート電極の断面模式図を図 1.9 に示す。また、実際の T 型ゲート電極構造の断面 TEM 画像を図 1.10 に示す[1.46]。以上で示したように、T 型ゲート電極構造では、数十 nm のゲート長に対して、その頭部電極の長さは数百 nm から数 μm であり、極短ゲートにおいても、効果的にゲート抵抗を低減することが可能となる。しかしながら、T 型ゲート電極構造自体がゲート・チャンネル間の寄生容量を増大させ、高周波性能、特に f_T 改善の妨げとなっていることが報告されている[1.51]。さらに、短ゲート長の T 型ゲート電極ではその頭部電極と脚部の接合部が細くなるため、上部電極が剥離するといった信頼性上の問題も生じており、Y 型ゲート電極といった構造も提案されている[1.52]。今後、信頼性を維持しながらゲート抵抗と寄生



図 1.9: I 型・T 型・Y 型ゲート電極構造の断面模式図.

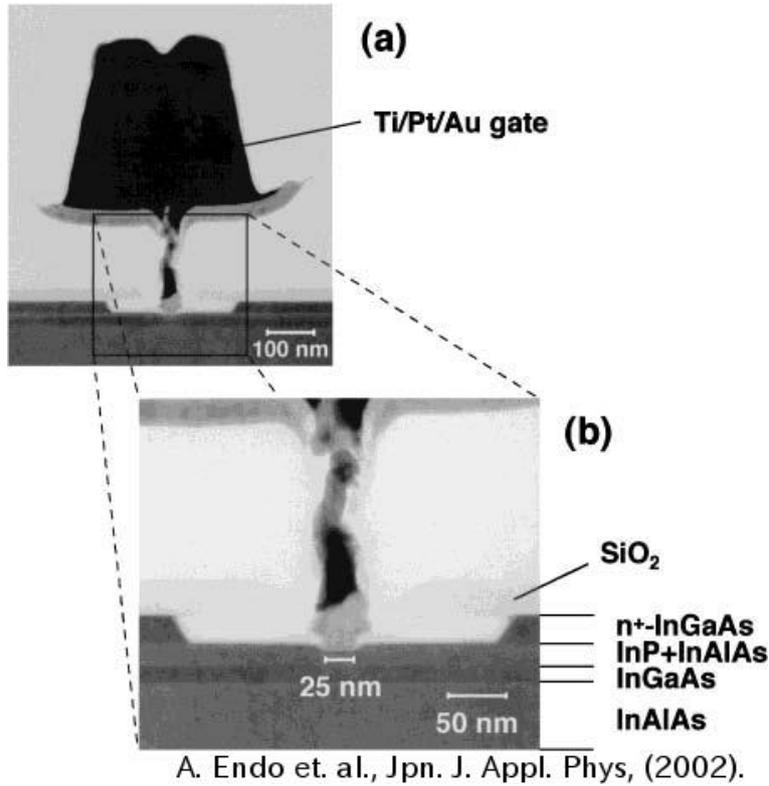


図 1.10: 3 層電子線レジストを用いて形成した T 型ゲート電極の断面 TEM 画像の例(遠藤等による報告[1.46]).

容量の低減を同時に実現するためには、T 型・Y 型ゲートの断面形状制御がますます重要となる。

また、実際に HEMT を回路に応用するためには、高周波性能だけでなく耐圧も重要なパラメータとなる。一般に耐圧は、チャンネル材料として絶縁破壊強度の高い材料を使用することで改善することができるが、高耐圧チャンネル材料では一般に、電子の輸送特性が挟バンドギャップ材料と比較して低いことや高耐圧チャンネル材料と基板間の格子定数の差が大きく、高品質な結晶を成長することができないことが問題となる。耐圧が低下する原因は、ゲート電極のドレイン端での電界集中による絶縁破壊である[1.53]ため、現在のエピタキシャル層構造を維持したまま耐圧を改善するためには、この電界集中を緩和することが必要である。そのための手法として、フィールドプレート (FP) 構造 [1.54][1.55][1.56][1.57][1.58][1.59]や V 型ゲート構造[1.60]が使用されている。FP 構造はもともと、Si や GaAs 系のパワーデバイスにおいて界面トラップの影響を抑えとともに耐圧を改善するために導入された[1.61]構造であるが、現在では耐圧向上のための構造として一般的に用いられている。図 1.11 に FP 構造とチャンネルにおける電界集中の関係を示した模式図を示す。図 1.11 からわかるように、一般的な 1 段の FP 構造では電界集中を効果的に緩和

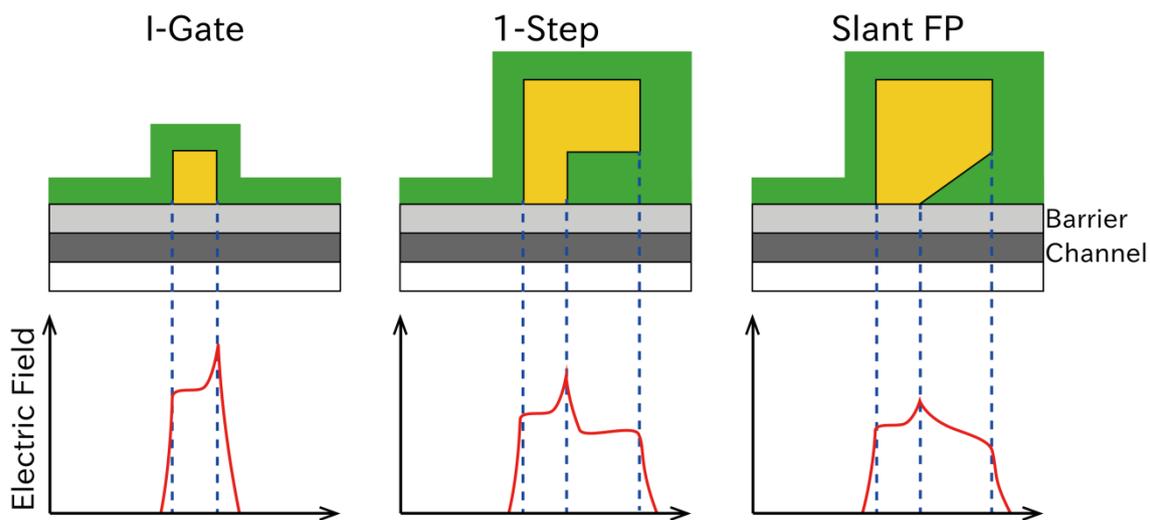


図 1.11: FP 構造と電界の関係.

することができないため、耐圧の向上が不十分であった。それに対して、より効果的に電界集中を緩和するための構造として、多段 FP や傾斜 FP 構造が提案されている [1.62][1.63][1.64]。しかしながら、FP 構造はゲート長が長く、さらに寄生容量が大きいため、高周波動作に向かなかった。そこで、100 nm 以下の極短ゲート領域において傾斜 FP 構造を作製することで、高周波性能を維持しながら、耐圧を向上可能な技術の開発が求められている。

1.2 研究の目的

1.2.1 InGaA 系高電子移動度トランジスタ高性能化のためのプロセス技術の開発

前述のとおり、トランジスタの高速化のためには、ゲート電極の断面形状を詳細に制御する手法が今後重要となると考えられる。しかしながら、現在 T 型ゲート電極の代表的な形成法として一般的に用いられている 3 層レジストを用いた T 型ゲート電極形成法は、T 型ゲートの形状のうち、ゲート長やゲート頭部長の制御は可能であるが、レジスト膜厚によって決まる脚部高さや側壁形状を制御することは困難である。そこで我々は、プラズマ化学気相成長法(Plasma-Enhanced Chemical Vapor Deposition; PE-CVD)において、堆積条件を変化させることでエッチングレートを制御することができる炭窒化珪素(SiCN)膜を利用することで、断面形状を制御する手法(SiCN 鋳型プロセス)を提案した。本論文では、SiCN 膜の堆積条件の違いによる T 型ゲート電極形状への影響と T 型ゲート電極断面形状制御手法の確立を目的とする。また、本手法を用いて作製した複数の InGaAs 系 HEMT について、T 型ゲート電極形状の違いによるデバイス特性への影響について詳細な解析を行う。

また、SiCN 鋳型プロセスを応用することで、傾斜フィールドプレート構造を 100 nm 以下の極短ゲート領域で作製し、高周波・高耐圧 HEMT を実現するための手法として、本 SiCN 鋳型プロセスが有用であることを示す。そのため、複数段の FP 構造を作製し、その特性を比較することで、FP の段数の違いによる特性の違いについて考察を行う。

1.2.2 InGaAs 系高電子移動度トランジスタを用いたミリ波帯 F 級増幅器の作製

増幅器において、高効率化のための手段としては以下のような手段が考えられる。(1)より高効率な種類の増幅器を用いるアプローチ、(2)波形の歪みの低減によるアプローチ、(3)低 ON 抵抗・十分な高周波性能を持つトランジスタを使用するアプローチが考えられる。(1)は金属酸化膜半導体電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistors; MOSFET)を用いた相補型 MOS(Complementary MOS; CMOS)を用いた増幅器が考えられるが、一般に Si を用いた CMOS は前述のミリ波のような高周波領域での動作は困難であり、また、化合物半導体においては p 型 FET の性能が n 型と比較して十分とはいえず、化合物半導体デバイスを用いた CMOS 構造は現状では困難である。そこで、優れた高周波性能が必要である代わりに、n 型のトランジスタのみで高効率を実現可能であるスイッチング動作型電力増幅器の一種である F 級増幅器に我々は着目した。(2)に関しては、既存の増幅器での課題であり、劇的な効率の改善は見込まれず、F 級増幅器動作確認後の課題となる。(3)に関しては、GaN や GaAs 系 HEMT と比較して、電極の合金化をしなくてもソース抵抗、ドレイン抵抗が小さく、現状比較的容易に優れた高周波性能を引き出すことができる InGaAs 系 HEMT を使用することとした。そこで我々は、InGaAs 系 HEMT を用いて F 級増幅器を作製することで、60GHz 帯において高効率増幅器を作製し、これを解析することを目的とする。

1.3 本論文の構成

本論文は InGaAs 系高電子移動度トランジスタ高性能化のためのプロセス技術、および、これを用いた F 級増幅器の作製についてまとめた論文である。本論文は全 7 章から構成されており、各章の概要は以下のとおりである。

第 1 章：本研究の背景および目的

第 2 章：HEMT の電気的特性・プロセス技術とその測定手法

第 3 章：SiCN 鋳型プロセスを用いた T 型ゲート電極の作製

第 4 章：T 型ゲート電極脚部の高さが寄生遅延時間に与える影響の評価

第 5 章：SiCN 鋳型プロセスを用いた傾斜フィールドプレート構造の作製

第 6 章：InGaAs-HEMT を用いたミリ波帯 F 級増幅器の作製

第 7 章：結論と今後の展望

第2章 高電子移動度トランジスタ

本章では HEMT の動作原理について DC・RF 両面から述べる。その後、デバイスの作製手法について述べた後に、その測定手法について述べる。

2.1 高電子移動度トランジスタの基本動作

2.1.1 高電子移動度トランジスタの基本構造

本項では、InGaAs-HEMT の一般的な構造とその役割を述べる。InGaAs-HEMT では半絶縁 InP 基板上に成長されたエピタキシャル層構造を利用して、デバイスを作製する。一般的にエピタキシャル層構造は、有機金属気相成長法(Metal Organic Chemical Vapor Deposition; MOCVD)や分子線エピタキシー法(Molecular Beam Epitaxy; MBE)によって成長される。MOCVD と MBE によって成長された膜について比較すると、MOCVD では、成長温度が MBE と比較して高いため、再結合中心を減らすことができる。また、条件決定が MBE と比較して難しいが成長速度が早くや必要真空度が低いため量産に向いている。一方で MBE では、成長温度が低いため、チャンネル材料として高 In 組成チャンネルや InAs コンポジットチャンネルといった、格子不整合が大きい材料を成長することができる[1.33][2.1][2.2][2.3]。また、成長速度が遅く、原子層オーダーの制御や成長中に反射高速電子線回折(Reflection High Energy Electron Diffraction; RHEED)によって結晶状態のモニタリングを行いながら成長が可能であるため、MOCVD と比較して研究用途や最先端製品の少量生産に向いている。

InGaAs-HEMT の基本構造を図 2.1 に示す。InGaAs-HEMT は Fe をドーピングすることで半絶

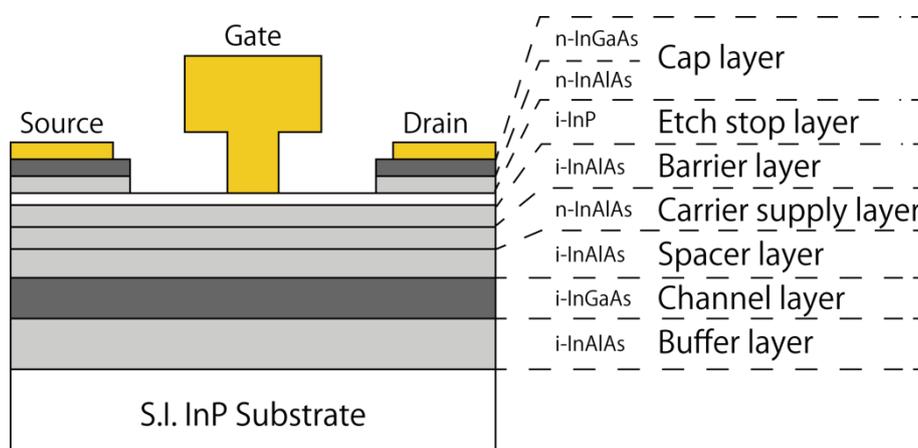
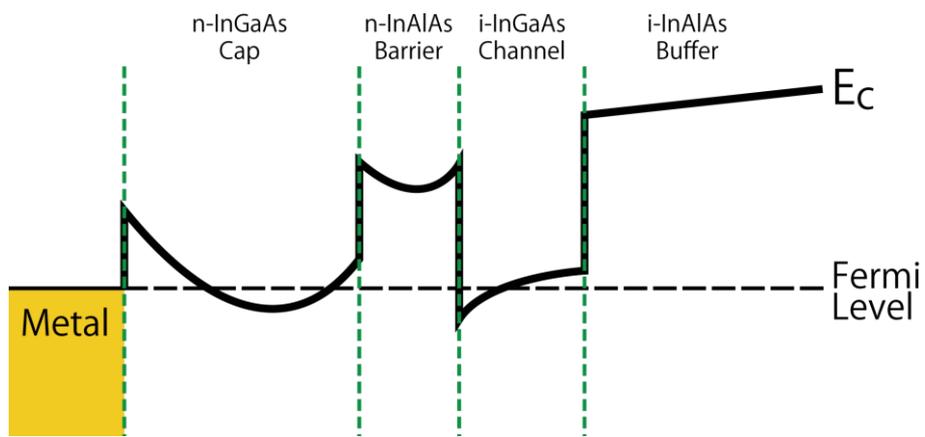
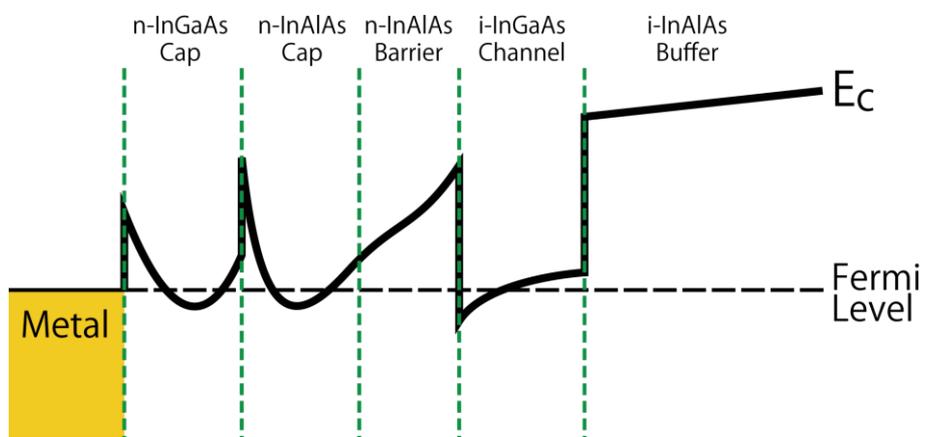


図 2.1: InGaAs-HEMT の基本構造。

縁とした InP 基板上に成長されたエピタキシャル層構造を利用しており、各層の役割を下層から示す。バッファ層は、緩衝層としてチャンネル層成長前に基板上に成長することで、結晶品質を確保するために用いられる。チャンネル層は電子が走行するため、チャンネル層に用いる材料の電子移動度や結晶品質はトランジスタの真性領域の特性に大きな影響を与える。InP 基板に格子整合させる場合、 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ が用いられるが、結晶を歪ませることで擬似格子整合させた高 In 組成チャンネルも用いられている。スペーサ層は n 型にドーピングされている電子供給層とチャンネルを物理的に分離することで、チャンネルから染みだした電子がイオン化不純物散乱を受けることを防ぐ役割がある。電子供給層は Si をドーピングすることで n 型となっており、チャンネルに電子を供給する役割がある。本層のドーピング濃度は閾値に対して大きな影響を与える。バリア層はショットキー障壁を確保し、ゲートリーク電流を抑える役割がある。エッチストップ層は、 $\text{InGaAs} \cdot \text{InAlAs}$ と InP の間のクエン酸系と酸塩系のエッチャントに対する選択性を利用することで、上層のキャップ層のエッチングの際にバリア層がエッチングされることを防ぐ役割がある[2.4]。これにより、ゲート・チャンネル間距離の均一性を確保できるため、閾値の均一性が大きく向上する。さらに、InP 表面は InAlAs と比較して安定であるため、プロセス中や長期バイアス印加による金属と半導体の合金化による閾値の変化や、プロセス中の表面酸化による界面トラップの発生・キंक効果の抑制が期待できる[2.5][2.6]。また、InP 表面におけるフェルミ準位のピンニング位置は伝導帯に比較的近い位置にあるため[2.7]、表面空乏層の広がりによるキャリア濃度への影響が少なく、寄生抵抗を抑制することが可能となる[2.5]。しかしながら、エッチストップ層を挿入することで、ゲート・チャンネル間距離が大きくなり、閾値が負にシフトするとともに、短ゲート領域では短チャンネル効果によるデバイス特性の劣化が顕著に現れるといった欠点も存在する。キャップ層はソース抵抗、ドレイン抵抗を低減するために用いられる。HEMT の特性向上のためには、ソース抵抗(R_s)やドレイン抵抗(R_d)の低減が重要となるが、キャップ層がない場合にはソース・ドレイン電極とバリア層が直接接触することとなり、オーミック接合とならず高接触抵抗であった。そのため、GaAs 系 HEMT においては In と反応しやすい Au の性質を利用し、AuGe を堆積させた後にアニールすることで合金化する手法が用いられていた。しかしながら、合金化により表面の荒れや長期信頼性の低下といった問題があり[2.8][2.9]、合金化することなく接触抵抗を低減する手法として、 $n^+\text{-InGaAs}$ を用いたキャップ層構造が提案された[2.10]。その後、ソース抵抗、ドレイン抵抗を低減するために $n^+\text{-InGaAs}/n^+\text{-InAlAs}$ を用いた 2 層キャップ層構造が提案された[2.11]。キャップ層構造を単層とした場合と 2 層とした場合のエネルギーバンドの模式図を図 2.2 に示す。図 2.2(a)の場合では金属/ $n^+\text{-InGaAs}$ 間の接触抵抗は低減できても、 $n^+\text{-InGaAs}/i\text{-InAlAs}$ 間の抵抗についてはエネルギー障壁が高いため高抵抗であった。それに対して、図 2.2(b)に示す 2 層キャップ層構造では、各層間の障壁の幅が狭く電子が用意にトンネルできるため、効果的にソース抵抗、ドレイン抵抗を低減することが可能となる。現在では、さらにソース抵抗、ドレイン抵抗を低減するため、高 In 組成の InGaAs を金属との界面に配置する、n-InP 層を挿入す



(a) InGaAs 単層キャップ層.



(b) 2層トンネリングキャップ層.

図 2.2: キャップ層におけるエネルギーバンド図.

るなどした複数層キャップ層も用いられている[2.12]。

2.1.2 動作原理

ゲート電極下のエネルギーバンド図を図 2.3 に示す。図 2.3(a)に熱平衡状態におけるエネルギーバンド図を示す。一般的に、InGaAs-HEMT においては、閾値電圧(V_{th})は負であり、熱平衡状態では 2DEG を形成し、ON 状態となる。図 2.3(b)にフラットバンド状態におけるエネルギーバンド図を示す。OFF 状態はゲート・ソース間電圧(V_{gs})を V_{th} 以上にし、エネルギーバンドの曲がり制御することで実現している。

以下で HEMT の動作原理について定性的に評価する[1.20][2.13]。ゲート電極とチャネル層を並行平板キャパシタとして見ると、その単位面積当たりの容量 C_s は、

$$C_s = \frac{\varepsilon}{d_B + d_D + d_S + \Delta d} \quad (2.1)$$

と表される。単位体積あたりのゲート直下における電荷量はこれを利用して、

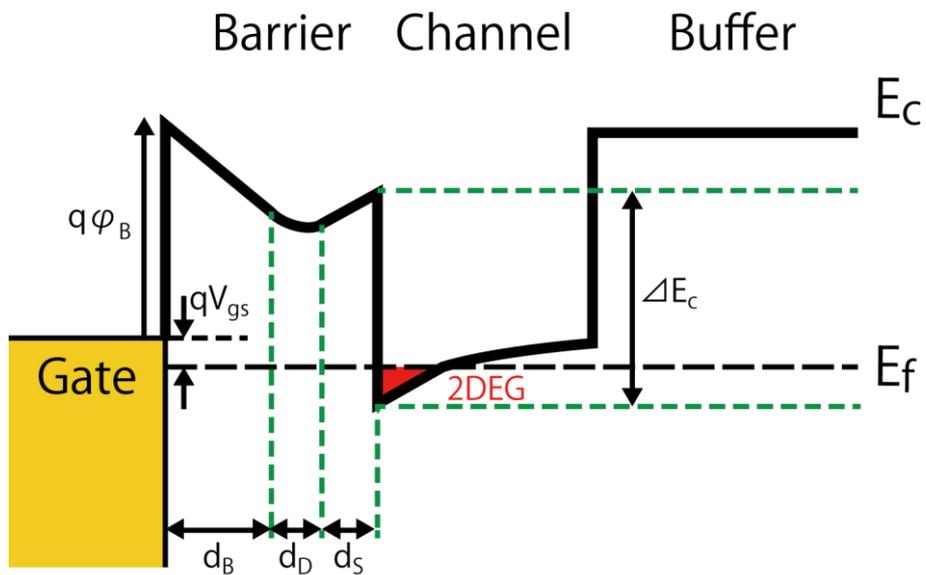
$$qn_s = C_s(V_{gs} - V_{th}) \quad (2.2)$$

と表すことができる。 V_{th} は n_s が 0 になる際の電圧であると定義すると V_{th} は、

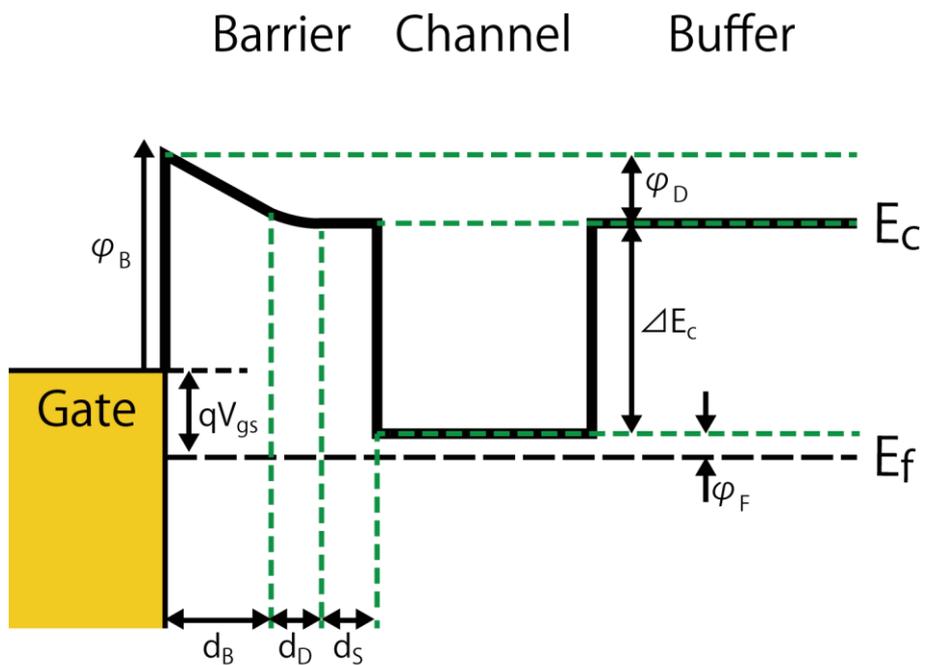
$$V_{th} = \varphi_B - \varphi_D - \Delta E_c - \varphi_F \quad (2.3)$$

$$\varphi_D = \frac{q}{2\varepsilon} N_D d_D^2 + \frac{q}{\varepsilon} N_D d_D d_B \quad (2.4)$$

と表すことができる。



(a) 熱平衡状態でのエネルギーバンド図.



(b) フラットバンド状態でのエネルギーバンド図.

図 2.3: HEMT のゲート直下におけるエネルギーバンド図.

2.1.3 DC 特性

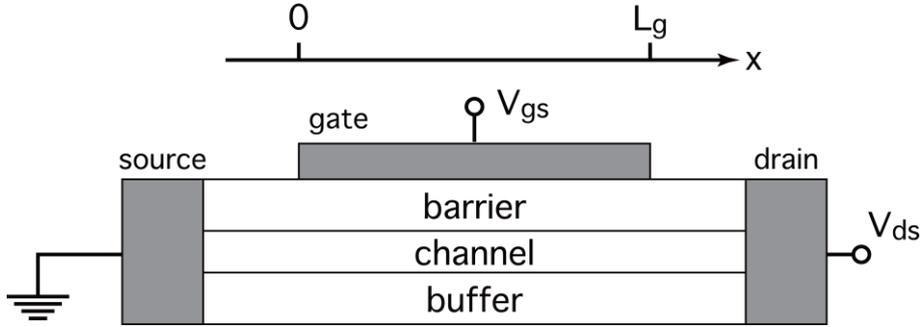


図 2.4: 簡略化された HEMT の断面図.

HEMT における種々の静特性を導出する[1.20] [2.14]。まず、チャンネル中の電子について低電界領域においては、電子速度 v はチャンネル電界 $E_x(x)$ に対して比例関係にある。この領域を線形領域という。一方で、 V_{ds} が一定以上となると、電子速度は飽和し飽和電子速度 v_s となる。電子が飽和電子速度に達した際の電界を E_s とする。この領域を飽和領域という。以上の関係を式にまとめると、

$$v(x) = \begin{cases} \mu_e E_x(x) & (E_x < E_s) \\ v_s & (E_x > E_s) \end{cases} \quad (2.5)$$

と表すことができる。飽和領域においてゲート・ドレイン間では、ドレイン端が空乏化し電子がドリフトするため、飽和電子速度がデバイス特性にとって重要となる。一方で、ソース・ゲート間では、ゲート・ドレイン間と比較して電界が小さいため、2DEG 濃度や移動度が重要となる。

ここで、簡単のために図 2.4 に示すような簡略化された構造を考える。ゲートのソース端からの距離 x での電位を $V(x)$ とすると、(2.2)は、

$$qn_s = C_s(V_{gs} - V_{th} - V(x)) \quad (2.6)$$

と変形できる。単位ゲート長あたりのドレイン(I_{ds})は、

$$I_{ds} = qn_s(x)v(x) \quad (2.7)$$

と与えられる。ここでまず、 $E_x < E_s$ の領域における動作を考えると(2.7)は、

$$I_{ds} = \mu_e C_s (V_{gs} - V_{th} - V(x)) \frac{dV}{dx} \quad (2.8)$$

と変形できる。(2.8)をVについての微分方程式として解くと、

$$V(x) = V_{gs} - V_{th} - \sqrt{(V_{gs} - V_{th} - V(0))^2 - \frac{2I_{ds}x}{\mu_e C_s}} \quad (2.9)$$

と導出される。ここで、V(0)はx=0(ゲートのソース端)での電位である。電界 $E_x(x)$ は(2.9)の微分で得られ、

$$E_x(x) = \frac{I_{ds}}{\mu_e C_s \sqrt{(V_{gs} - V_{th} - V(0))^2 - \frac{2I_{ds}x}{\mu_e C_s}}} \quad (2.10)$$

となる。

x = L_g (ゲートのドレイン端)において電子速度が飽和すると考えると(2.5)より、

$$\mu_e E_x(L_g) = \mu_e E_s \quad (2.11)$$

と表せる。(2.10)、(2.11)を用いて飽和ドレイン電流 $I_{ds,sat}$ は、

$$\begin{aligned} I_{ds,sat} \\ = \mu_e E_s C_s \left(\sqrt{(V_{gs} - V_{th} - V(0))^2 + E_s^2 L_g^2} - E_s L_g \right) \end{aligned} \quad (2.12)$$

と表すことができる。よって、 V_{gs} を制御することで $I_{ds,sat}$ を制御できることがわかる。

真性相互コンダクタンス(g_{mi})は(2.12)式において I_{ds}/V_{gs} の偏微分で、

$$g_{mi} = \frac{\partial I_{ds}}{\partial V_{gs}} = \mu_e E_s C_s \frac{(V_{gs} - V_{th} - V(0))}{\sqrt{(V_{gs} - V_{th} - V(0))^2 + E_s^2 L_g^2}} \quad (2.13)$$

と表すことができる。(2.12)および(2.13)は、(2.6)において、 $qn_s = C_s(V_{gs} - V_{th} - V(0))$ とすることで、

$$I_{ds,sat} = q\mu_e E_s n_s \left(\sqrt{1 + \left(\frac{n_c}{n_s}\right)^2} - \frac{n_c}{n_s} \right) \quad (2.14)$$

$$g_{mi} = \mu_e E_s C_s \left(\frac{1}{\eta} \right) \quad (2.15)$$

$$\eta = \sqrt{1 + \left(\frac{n_c}{n_s}\right)^2} \quad (2.16)$$

$$n_c = \frac{E_s C_s L_g}{q} \sim n_s(0) - n_s(L_g) \quad (0 < L_g) \quad (2.17)$$

と変形できる。ここで、 η は変調効率、 n_c はゲートのソース・ドレイン端間の2DEGの濃度差とほぼ等しい[1.20]。

また(2.13)において、 $(E_s L_g)^2$ が十分に小さいとすると(2.13)は、

$$g_{mi} = \mu_e E_s C_s = v_s C_s \quad (2.18)$$

と変形できるため、短ゲートHEMTにおいては電子速度とゲート容量が g_{mi} にとって重要なパラメータとなる。

実際には素子内部のソース抵抗による電圧降下があるため、素子の外部に取り出せる相互コンダクタンス g_m は、

$$g_m = \frac{g_{mi}}{1 + g_{mi}R_s + g_d(R_s + R_d)} \quad (2.19)$$

となる[2.14]。 g_m の向上のためには、まず直接的な手法として g_{mi} を増大させる手法があげられる。これは、(2.15)より、電子移動度の向上や変調効率の増大といったチャネル材料からのアプローチや、ゲート・チャネル間距離の短縮によるゲート容量増大といったジオメトリーからのアプローチがあげられる。次に、外部に取り出すことができる g_{mi} に対してより大きい g_m を外部に取り出す間接的な手法があげられる。これは、(2.19)より、ソース抵

抗、ドレイン抵抗やドレインコンダクタンスの低減によるアプローチがあげられる。ここで、ドレインコンダクタンス(g_d)は I_{ds} について V_{ds} での微分として定義される。ドレインコンダクタンスは理想的には 0 であるが、実デバイスでは 0 にならず実験的に、

$$g_d = \frac{\partial I_{ds}}{\partial V_{ds}} \propto \frac{1}{L_g + k_{gd} \Delta L} \quad (2.20)$$

と表される。 k_{gd} は経験的因子であり、 ΔL はドレイン側に空乏層が伸びた長さである。

電子速度に関しては、InGaAs-HEMT においては遅延時間解析の結果より、 $v_s = 2.7 \times 10^7$ cm/s という報告がなされている[2.15][2.16]。しかしながら、この値はモンテカルロ法から得られた定常状態での電子速度と比較して 1.5 倍程度の値であり、これは電子のオーバーシュートに起因している[2.16]。

2.1.4 RF 特性

トランジスタの高周波性能を表す指標として、電流利得遮断周波数と最大発振周波数がある。まず、電流利得遮断周波数については、

$$f_T = \frac{1}{2\pi\tau} \quad (2.21)$$

と表される。総遅延時間 τ はゲート直下を電子が走行する時間である真性遅延時間 τ_i と、寄生容量の充放電時間に起因する寄生遅延時間 τ_p からなり、

$$\begin{aligned} \tau &= \tau_i + \tau_p \\ &= \frac{C_{gs} + C_{gd}}{g_m} \\ &\quad + \frac{g_d}{g_m} (C_{gs} + C_{gd})(R_s + R_d) + C_{gd}(R_s + R_d) \end{aligned} \quad (2.22)$$

と表せる[2.17]。(2.22)において、第一項が真性遅延時間を表し、以下の項が寄生遅延時間を表している。よって、 f_T の増大のためには、 g_m (g_{mi})の増大やソース抵抗、ドレイン抵抗やゲート・ソース容量、ゲート・ドレイン容量の低減が重要である。特に C_{gs} に関しては、(2.15)における g_{mi} の増大効果と、(2.22)における遅延時間の増大の効果があるため、これらのバランスを考慮する必要がある。

次に、最大発振周波数については、

$$\begin{aligned} f_{\max} &= \frac{f_T}{2\sqrt{g_d(R_g + R_d + R_i) + 2\pi f_T C_{gd} R_g}} \\ &\approx \sqrt{\frac{f_T}{8\pi R_g C_{gd}}} \end{aligned} \quad (2.23)$$

と表される。ここでゲート抵抗(R_g)は、

$$R_g = \rho \frac{W_g}{S_g} \quad (2.24)$$

と表される。 f_{\max} を改善するには、ゲート抵抗や C_{gd} の低減、また f_T の改善が重要である。

2.2 高電子移動度トランジスタの作製

本項では、本研究において実際に作製した HEMT の設計・作製プロセスについて述べる。

2.2.1 試作用チップのレイアウト設計

2.2.1.1 高電子移動度トランジスタのレイアウト設計

図 2.5 は DC 測定に用いる HEMT のレイアウトパターンである。DC 測定用 HEMT はオーミック電極を大きく引き出した設計になっており、パッド電極形成前でも測定が可能である。また、左右対称構造であるため、どちらをソース電極として用いても良い。本レイアウトは DC 測定に用いられ、主にリセスエッチング後の電流値の確認に用いられる。

図 2.6 は RF(兼 DC)測定に用いるパッド電極を含む HEMT のレイアウトパターンの全容及びデバイス部分の拡大図である。図 2.7 には実際に作製した同レイアウトパターンについての光学顕微鏡写真を示す。図中の青で描かれているパッド電極は、測定用プローブ (GSG-100 μm ピッチ) に対応した形となっており、1つのパッド電極において、同ゲート幅の HEMT2つがゲートパッド電極に対して T 型に接続された構造となっている。図 2.6・図 2.7 には、ゲート幅が 2 finger \times 50 μm のデバイスを代表として示したが、実際には、2 finger \times 40 μm 、2 finger \times 30 μm 、2 finger \times 20 μm 、(使用するマスクによっては 2 finger \times 10 μm)、が存在する。ゲート長に関しては、電子ビーム露光を用いてパターンニングを行うため、試作ごとに変更が可能である。また、一般的には、ゲート電極をソース側に寄せて露光する事で、ソース抵抗の低減を図ることがある。しかしながら本論文のすべてのデバイスは、ソース・ドレイン電極の中央にゲート電極の中央部が位置する様にパターンデータを作成している。

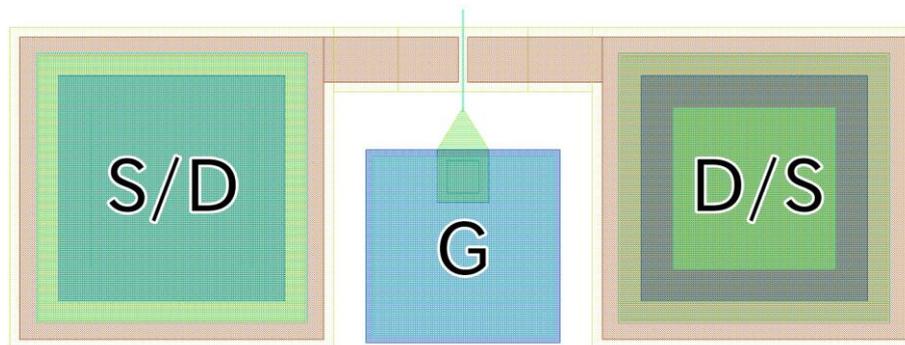


図 2.5: DC 測定用 HEMT のレイアウトパターン。

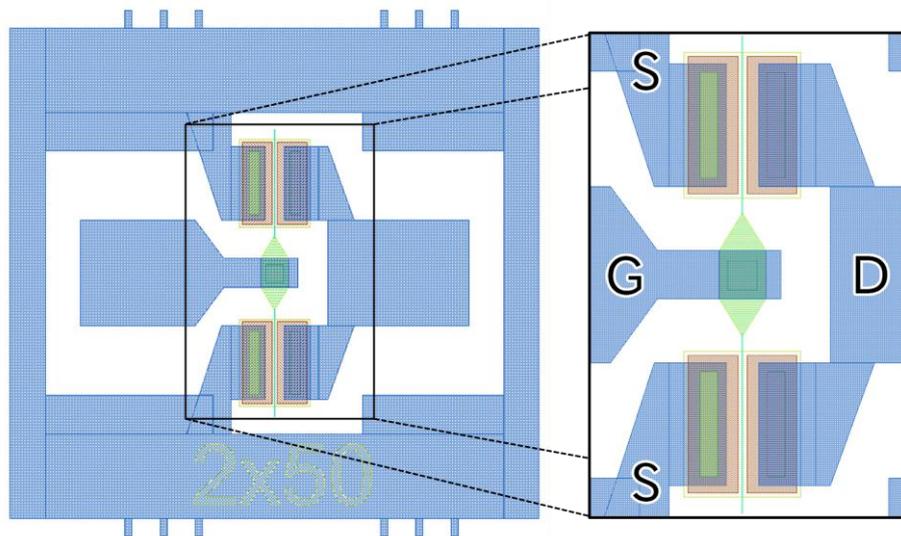


図 2.6: RF(兼 DC)測定用 HEMT のレイアウトパターン全容及びゲート部分の拡大図.

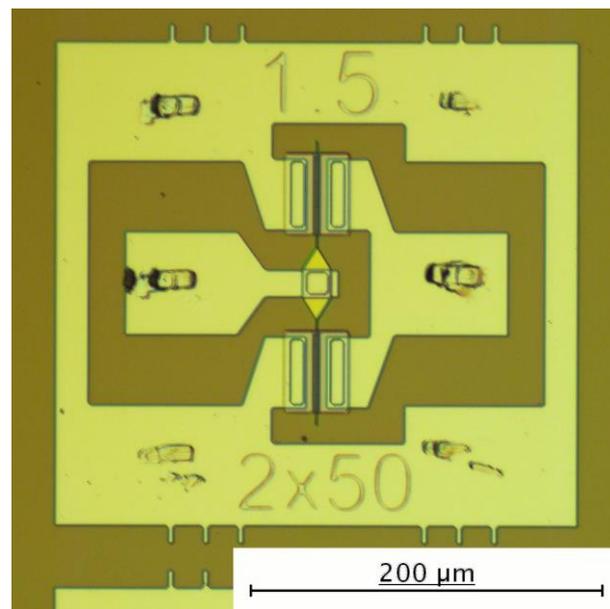


図 2.7: パッドまで含めた RF 測定用 HEMT の光学顕微鏡写真.

2.2.1.2 テスト用デバイスのレイアウト設計

図 2.8 は Transmission Line Measurement (TLM)パターンである。TLM パターンを使うことで、エピタキシャル基板のシート抵抗(R_{sh})及びコンタクト抵抗(R_c)を測定することができる。各パターン間の抵抗を R 、TLM パターンのチャンネル幅を(W_{TLM})、電極間隔を(L)とすると、これらの間には、

$$R = \frac{2R_c}{W_{TLM}} + \frac{R_{sh}}{W_{TLM}} L \quad (2.25)$$

の関係が成り立つ。実際には、図 2.8 に示した TLM パターンにおいて、電極間隔の異なるパターン間の抵抗を測り、図 2.9 のようにプロットすることで、その傾きと切片よりシート抵抗およびコンタクト抵抗が得られる。今回用いたレイアウトでは、 $4\mu\text{m}$ から $12\mu\text{m}$ まで $2\mu\text{m}$ 間隔でパターンを用意した。

図 2.10 は Isolation パターンである。Isolation パターンは素子間分離が正しく行われているかの確認に用いられる。

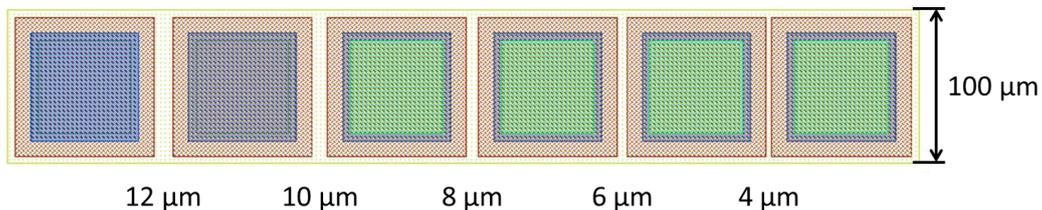


図 2.8: TLM のレイアウトパターン.

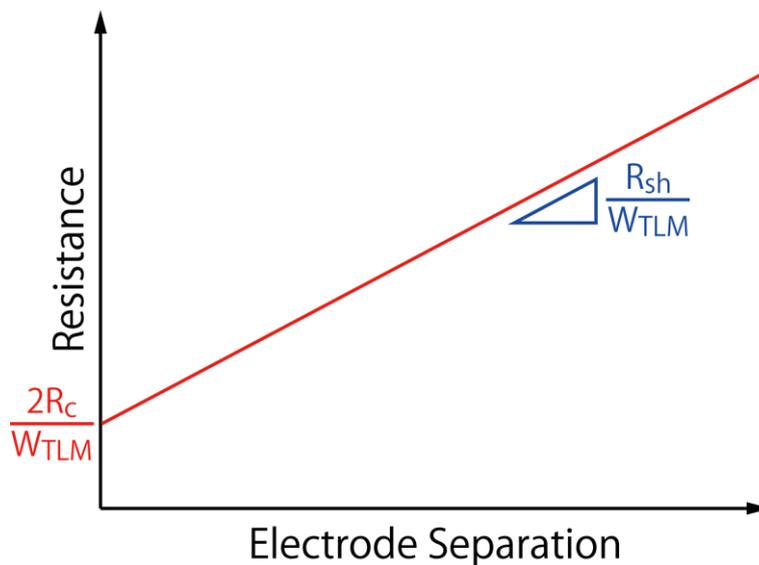


図 2.9: TLM 測定の概略図.

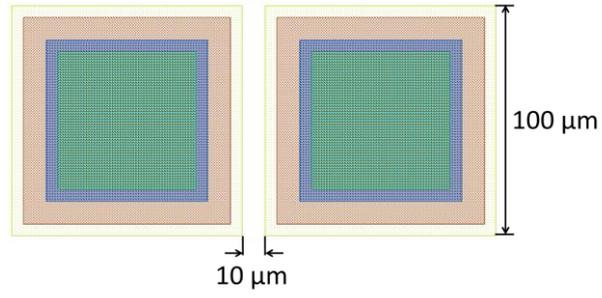


図 2.10: Isolation のレイアウトパターン.

2.2.2 高電子移動度トランジスタの作製方法

本項では、InGaAs-HEMT 作製の流れを説明する。HEMT はエピタキシャル基板の上にされる。その電極形成や素子間分離といったプロセスについて順を追って述べる。

2.2.2.1 2層レジストを用いた電極形成法

電極形成には、フォトリソを用いたプロセスが一般的である。電極を金属蒸着によって形成する場合には2層レジストを用いたリフトオフプロセスと呼ばれる手法が用いられる。図 2.11 にその概略図を示す。図 2.11(a)に示すように、1層レジストを用いて金属を蒸着する場合、レジストパターンの側面にも金属が付着する。この状態でレジストを除去した場合、バリの剥がれ落ちや、表面の凹凸に起因した後工程への悪影響による動作不良が心配される。そのため、図 2.11(b)に示したような、リフトオフプロセスを用いることで、以上の問題を解決している。リフトオフプロセスでは、種類の異なる2種類のレジストを2層重ね、下層のレジストを上層のレジストよりも広く現像することで、蒸着した際にレジストパターン側面に金属が付着しないようになっている。本研究においては、上層、下層レジストとして、それぞれ S1813G、PMGI-SF8 を用いた。

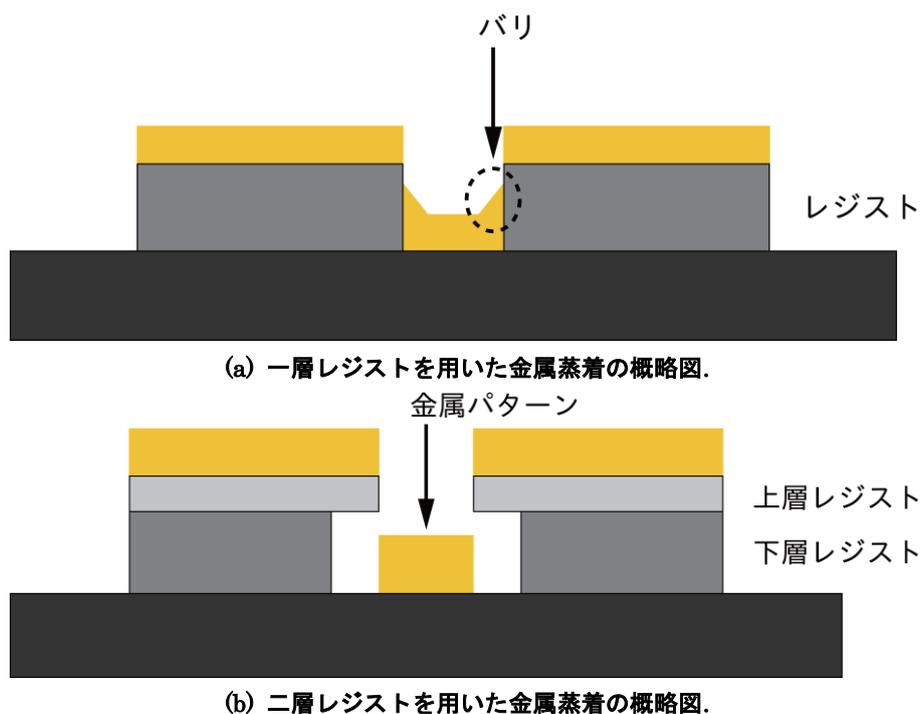


図 2.11: リフトオフプロセスの概略図。

2.2.2.2 プロセス工程

InGaAs-HEMT の作製プロセスについて、その俯瞰および断面の概略図を図 2.12 に示した。InGaAs-HEMT の作製プロセスは図 2.12(1)から図 2.12(6)までであり、図 2.12(7)からは第 6 章において作製する、F 級増幅器の作製プロセスを示している。断面図については俯瞰図の破線位置での断面である。各プロセスについての詳細は以下に示す。各プロセス間における、パッシベーション膜の堆積については省略している。

2.2.2.2.1 Ohmic(図 2.12(1a)(1b))

エピタキシャル基板との間でオーミック接合となるように、ソース・ドレイン電極を形成する。ソース・ドレイン電極の金属としては、Ti/Pt/Au/Ti/Ni や Ti/Pt/Au/Ti を用いる。Ti は密着性が高く、また、仕事関数の大きさがオーミック接合を取るために都合が良いため、ソース、ドレイン電極の最下層によく用いられる。近年では、接触抵抗をより小さくする事が可能な金属として Mo が注目されている[2.18]。Pt は PE-CVD など基板が高温に曝される工程において、Au が Ti 中に拡散するのを防ぐ役割がある。Au は低抵抗であるため、電極自身の抵抗を下げるために用いられる。最上層に Au を用いない理由としては、Au は絶縁膜との密着性が悪く、信頼性の低下が心配されるためである。また、オーミック電極の最上層の金属の種類によって、リセス領域の側面形状が変化することが報告されている[2.19]。

2.2.2.2.2 Mesa(図 2.12(1a)(1b))

一枚のウェハ上に多くのデバイスを作製するためには、各デバイス間の素子間分離を行う必要がある。そのためには、導電性を持つキャップ層からチャネル層までを確実に、バッファ層の一部をマージンとしてエッチングする必要がある。この時、InGaAs および InAlAs はクエン酸系のエッチャントによって、InP は酸塩系のエッチャントによってエッチングされる[2.20][2.21]。

2.2.2.2.3 Gate(図 2.12(3a)(3b))

ゲートとしてはショットキー接合を用いる。またゲート電極構造としては、ゲート抵抗低減のために T 型ゲート電極が、ゲート金属としては Ti/Pt/Au を用いる。

2.2.2.2.4 Contact Hole(図 2.12(5a)(5b))

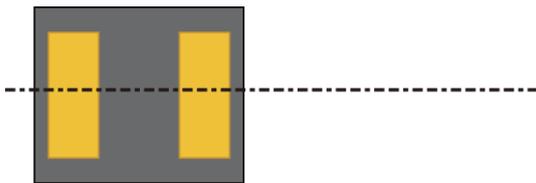
ゲート金属の堆積後、デバイスの表面保護のために PE-CVD により SiN 膜を堆積する。オーミック電極と次の工程であるパッド電極を電氣的に接続するために、この絶縁膜に穴を開ける必要があり、これが本工程である。本試作では、反応性イオンエッチング装置 (Reactive Ion Etching; RIE) を用いてコンタクトホールを開口を行った。

2.2.2.2.5 Pad(第1層配線) (図 2.12(6a)(6b))

測定用電極形成を行う。パッド電極金属としては、Ti/Pt/Au が用いられる。F級増幅器を作製する場合については、この層が第1層配線となる。

- : Ohmic Metal
- : Mesa
- : ゲート形成用絶縁膜
- : Gate Metal
- : Contact hole
- : 1層配線 (下層キャパシタメタル)
- : ゲートパッシベーション膜
- : キャパシタ絶縁膜
- : 2層配線 (上層キャパシタメタル)

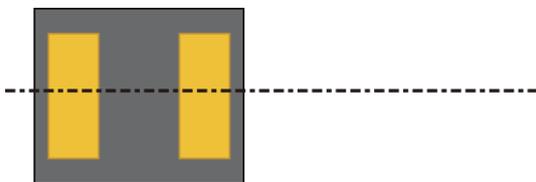
(0) 各層の色分け図.



(1a) オーミックおよびメサ(俯瞰図).



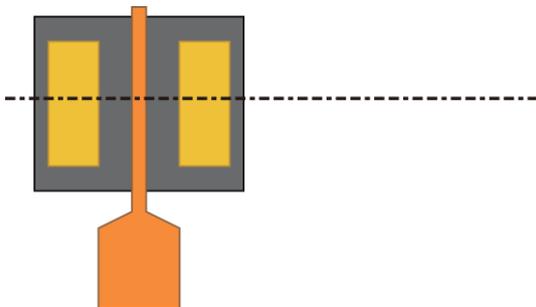
(1b) オーミックおよびメサ(断面図).



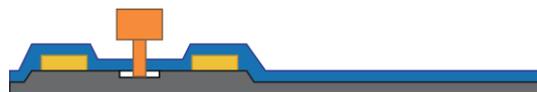
(2a) ゲート形成用絶縁膜の堆積(俯瞰図).



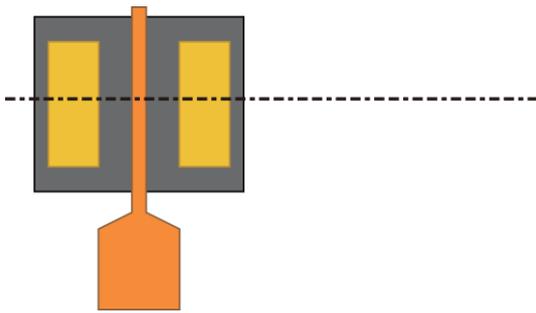
(2b) ゲート形成用絶縁膜の堆積(断面図).



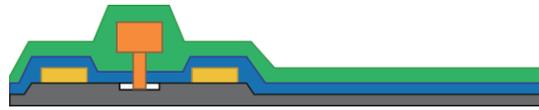
(3a) ゲート電極の形成(俯瞰図).



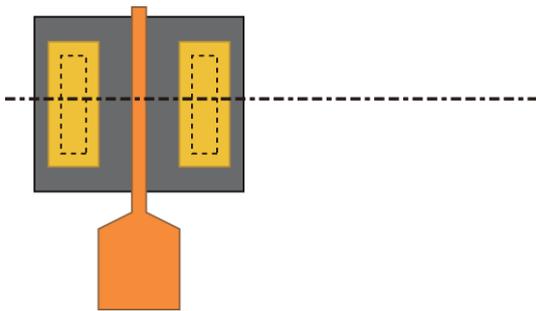
(3b) ゲート電極の形成(断面図).



(4a) パッシベーション膜の堆積(俯瞰図).



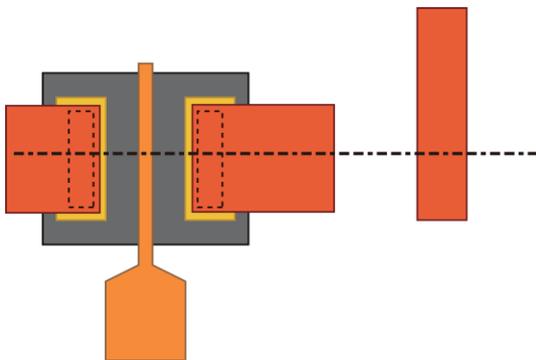
(4b) パッシベーション膜の堆積(断面図).



(5a) コンタクトホールの開口(俯瞰図).



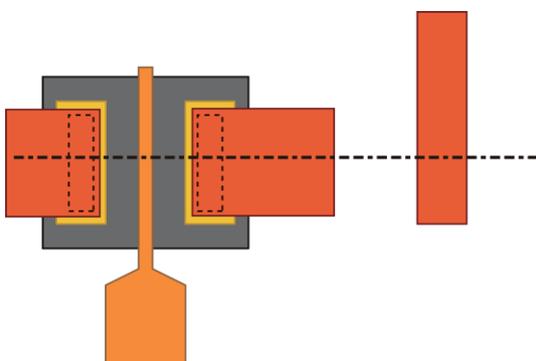
(5b) コンタクトホールを開口(断面図).



(6a) 第1層金属の堆積(俯瞰図).



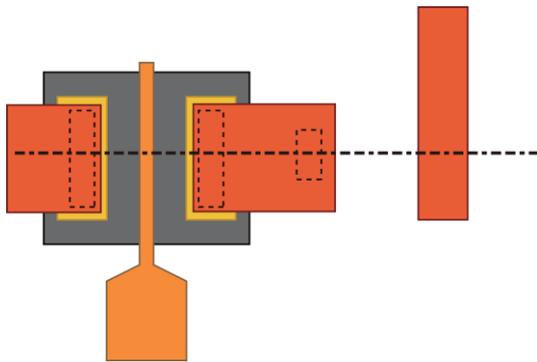
(6b) 第1層金属の堆積(断面図).



(7a) パッシベーション膜の堆積(俯瞰図).



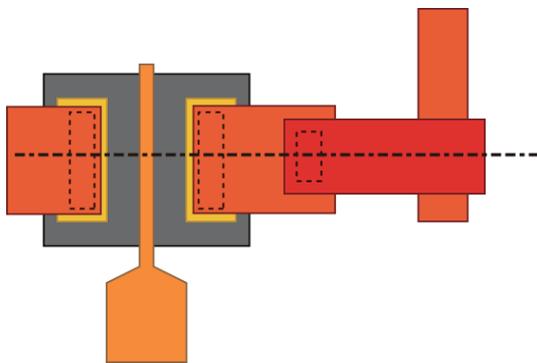
(7b) パッシベーション膜の堆積(断面図).



(8a) コンタクトホールの開孔(俯瞰図).



(8b) コンタクトホールの開孔(断面図).



(9a) 第2層金属の堆積(俯瞰図).



(9b) 第2層金属の堆積(断面図).

図 2.12: HEMT 作製におけるプロセス工程図.

2.2.3 T型ゲート電極のゲート形成法とその課題

2.1.4 項において、HEMT の高周波動作の指標の一つである f_{\max} について説明した。 f_{\max} は (2.23) より、その式中にゲート抵抗がパラメータとして含まれているため、ゲート抵抗の影響を受ける。ゲート抵抗は (2.24) よりゲート断面積に反比例するので、I 型ゲート電極ではそのゲート金属の厚さを一定とすると、ゲート長の短縮にしたがってゲート抵抗は増大する。これを防ぐために HEMT では T 型ゲート電極が用いられている。T 型ゲート電極の作製法についてはいくつかの手法が知られているが [1.33][2.15][2.22][2.23][2.24]、ここでは 3 層レジストを用いた手法について説明する [2.25]。

まず、図 2.13 に示すようにレジストを計 3 層(ZEP520A-7/PMGI-SF8/ZEP520A-7(1/3 希釈)) 塗布・ベークした後、電子ビームの強さを変えて 2 回露光を行う。露光パターンについては、T 型ゲート電極脚部部分を強く露光し、頭部部分を弱く露光する。これにより、上層と下層のパターン寸法が決まる。中層はリフトオフ用のレジスト層のため、蒸着金属よりも厚く塗布し、上層よりも大きく現像する。以上の手法を用いて作製された 3 層レジストの断面の走査型電子顕微鏡(Scanning Electron Microscope; SEM)像を図 2.14 に示す。これに、金属を蒸着することで、図 2.15 のように T 型ゲート電極を作製できる。

3 層レジストを用いたゲート作製法では、ゲート断面形状を制御するためのいくつかの課題が残る。本手法では、ゲート長や T 型ゲートの頭部長は制御可能であるが、レジストの膜厚に依存する T 型ゲートの脚部高さの面内均一性や再現性、制御性に課題が残る。また、脚部形状は矩形になるため、断面形状の制御はできない。そのため、1.1.3 項で示したような問題が顕在化することになる。

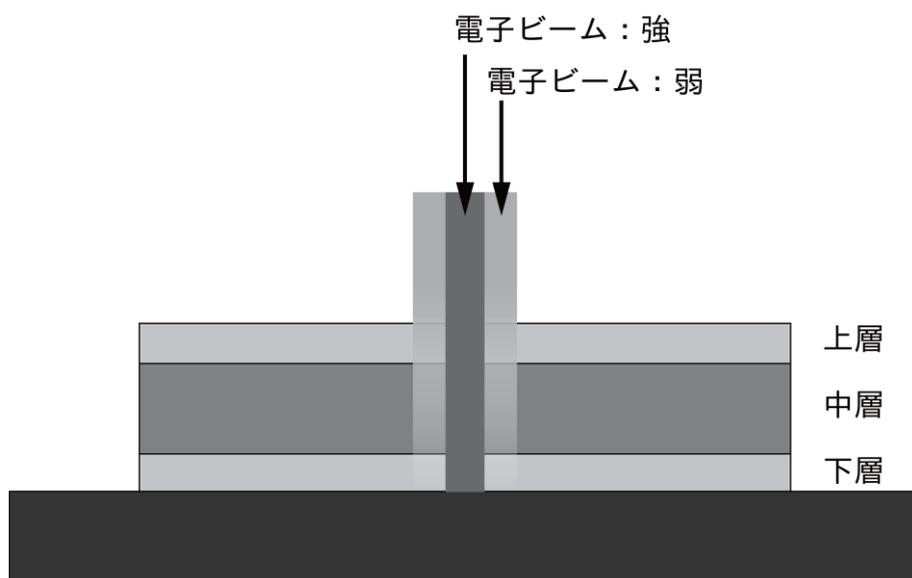


図 2.13: 3 層レジストによる重ねあわせ露光の概略図。

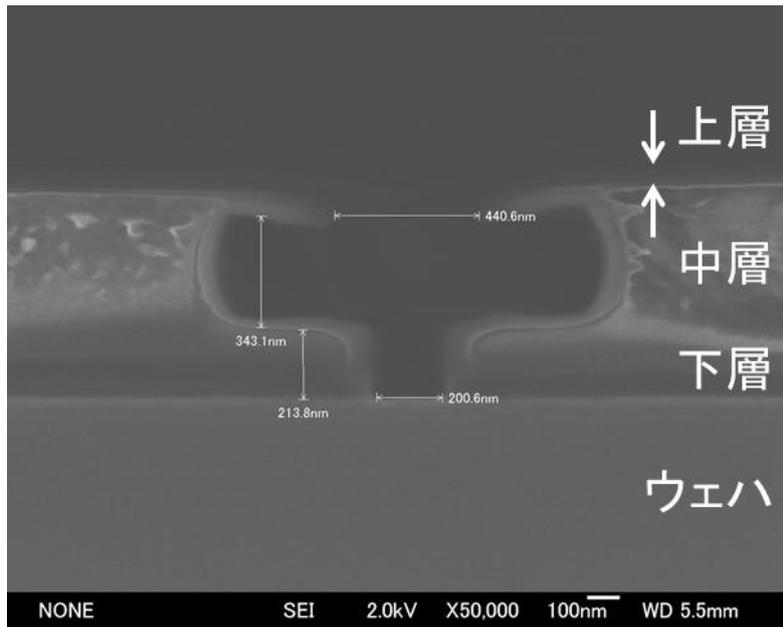


図 2.14: 現像後の 3 層レジストの断面 SEM 画像.

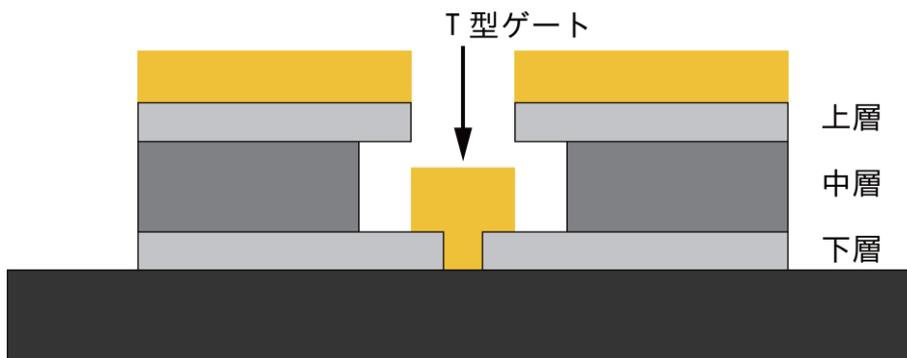


図 2.15: 3 層レジストによるゲート電極形成プロセス.

2.3 高電子移動度トランジスタの電気特性評価

2.3.1 DC 特性

2.3.1.1 I_{ds} - V_{ds} 測定および I_{ds} - V_{gs} 測定

DC 測定は、図 2.6 のパターンを用いて、Agilent 社製半導体パラメータアナライザ 4155C を用いて行った。測定系の概略図を図 2.16 に示す。 I_{ds} - V_{ds} 測定からは、ドレインコンダクタンスや、ON 抵抗、キンク効果といった特性が得られる。また、 I_{ds} - V_{gs} 測定からは、相互コンダクタンスや閾値、サブスレッショルドスロープ等の特性が得られる。なお、相互コンダクタンスは以下に示す中心差分法により導出している。 V_{gs} について計 m 点の測定を行うとすると、 n 番目の相互コンダクタンスの値を $g_{m,n}$ は、 n 番目のゲート・ソース間電圧 $V_{gs,n}$ およびドレイン電流 $I_{ds,n}$ を用いて、

$$g_{m,n} = \begin{cases} \frac{I_{ds,n+1} - I_{ds,n}}{V_{gs,n+1} - V_{gs,n}} & (n = 1) \\ \frac{I_{ds,n+1} - I_{ds,n-1}}{V_{gs,n+1} - V_{gs,n-1}} & (1 < n < m) \\ \frac{I_{ds,n} - I_{ds,n-1}}{V_{gs,n} - V_{gs,n-1}} & (n = m) \end{cases} \quad (2.26)$$

と表される。また、ドレインコンダクタンスも同様である。

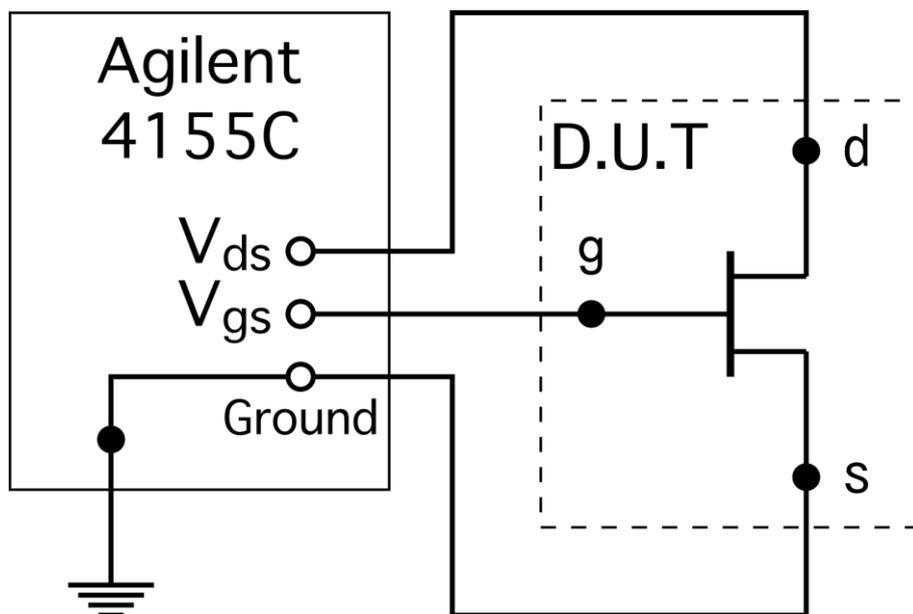


図 2.16: DC 測定系の概略図.

測定された g_m は、(2.19) からわかるように、ソース抵抗などの寄生成分が含まれているため、トランジスタの真性部分を比較するには、(2.19) を変形して、

$$g_{m,i} = \frac{g_m \{1 + g_d(R_s + R_d)\}}{1 - g_m R_s} \quad (2.27)$$

と表すことができる。一般に、ドレインコンダクタンスが相互コンダクタンスと比較して十分小さいと仮定すると、分子第2項は無視される。

2.3.1.2 ソース抵抗・ドレイン抵抗測定

ソース抵抗の測定手法としては、図 2.17 に示すように、ドレイン側に $I=0$ とした電流源を接続し、ソース側を接地した状態での I_{gs} - V_{ds} を測定する。この状態では、ゲートのショットキー電流はすべてソース側に流れるため、その傾き ($R_s = V_{ds}/I_{gs}$) からソース抵抗を求めることができる。ドレイン抵抗についても、ソースに電流源を接続し、ドレインを接地することで測定が可能である。これは、HEMT がソース、ドレインに対して対称であるためである。

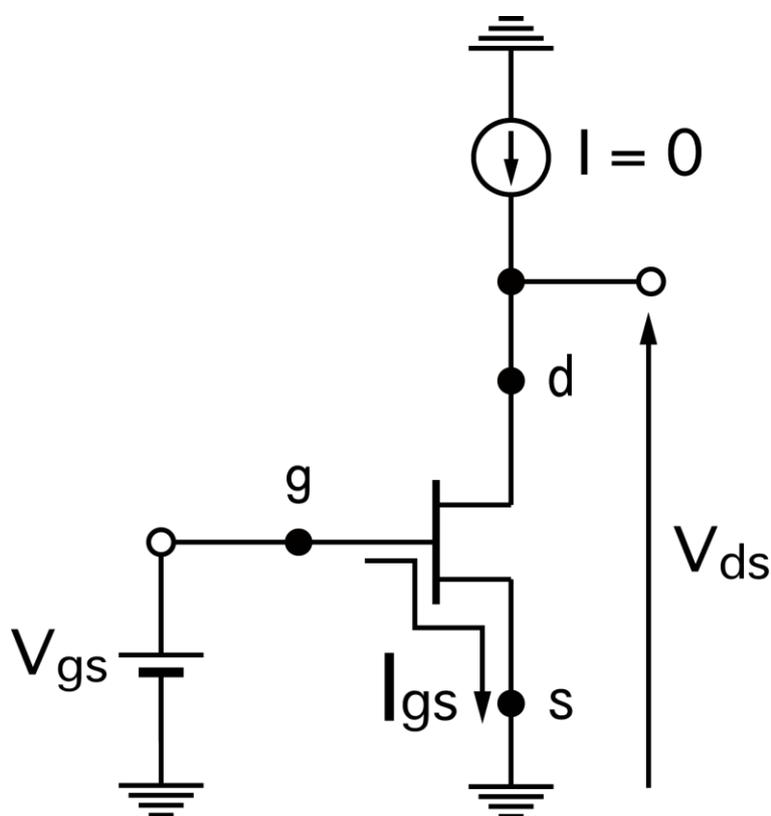


図 2.17: ソース抵抗測定における等価回路.

2.3.2 RF 特性

RF 測定はアンリツ社製ベクトルネットワークアナライザ(Vector Network Analyzer; VNA) 37397D を用いて行った。ドレイン・ゲートに対するバイアスはソースメータを用いて印加した。測定系の概略図を図 2.18 に示す。オンウェハ測定では、トランジスタから引き出したパッド電極にプローブを接触させて測定することとなるが、パッド電極における寄生容量やインダクタといった寄生パラメータがデバイス特性に与える影響を無視できないため、パッド電極を拡張したオープン・ショートパターンを用いて、パッド電極の影響を校正している。その手法については後述する。本論文中で特に記載のない場合は、パッド電極の影響の校正後の値を示している。

トランジスタにおける、動作速度の指標である電流利得遮断周波数および最大発振周波数、各種回路パラメータは RF 測定によって得られた S パラメータ(Y、Z パラメータと相互変換可能である)を用いて算出する事ができる。

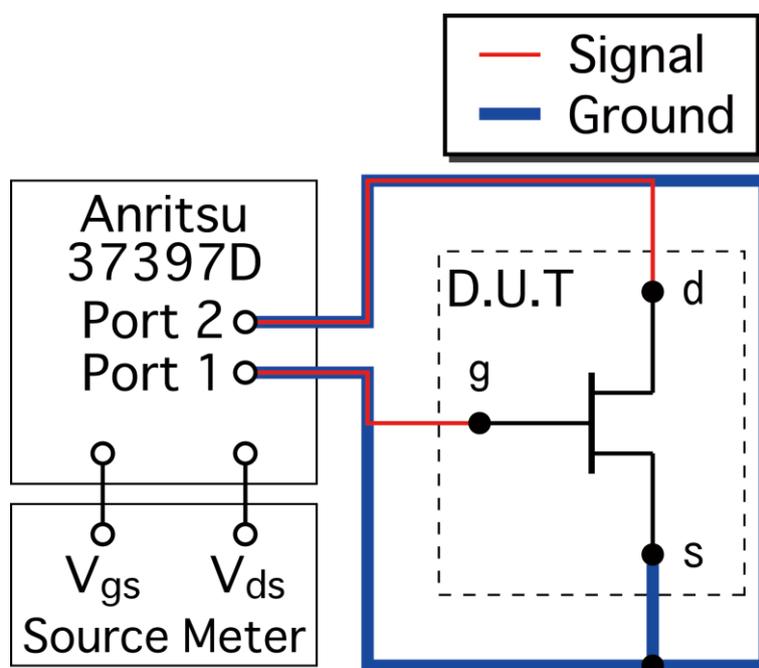


図 2.18: RF 実験系の概略図.

2.3.2.1 パッド電極の校正方法

まず、パッド電極を含めたトランジスタの等価回路図を図 2.24(a)に示す[2.26]。この等価回路の示す通り、測定デバイス(Device Under Test; DUT)の周りにパッド電極に起因した寄生成分がついているため、これらの寄生成分を除去する必要がある。パッド電極の影響を校正するためには、パッド電極のデバイス部分をショートさせたパターン(Short)と開放したパターン(Open)の2種類が必要であり、これらのレイアウトパターンを図 2.19 に示す。Open パターンのソース・ドレイン間隔は $11\ \mu\text{m}$ であり、DUT に用いているパッド電極と同様のものとなっている。校正用パターンの等価回路については図 2.20(b)(c)に示されている。校正後のデバイスの Y パラメータ Y_{DUT} は、パッド電極を含めたデバイスの Y パラメータ Y_{AM} 、Open パターンの Y パラメータ Y_{o} 、Short パターンの Y パラメータ Y_{s} を用いて、

$$Y_{\text{DUT}}^{-1} = [Y_{\text{AM}} - Y_{\text{o}}]^{-1} - [Y_{\text{s}} - Y_{\text{o}}]^{-1} \quad (2.28)$$

と表される[2.27]。これは二端子対網において、図 2.20(a)が図 2.20(b)と図 2.20(d)の Y 行列の並列接続、図 2.20(c)が図 2.20(b)と図 2.20(e)の Y 行列の並列接続となっており、また、図 2.20(d)が図 2.20(e)と図 2.20(f)の Z 行列の直列接続となっているためである。

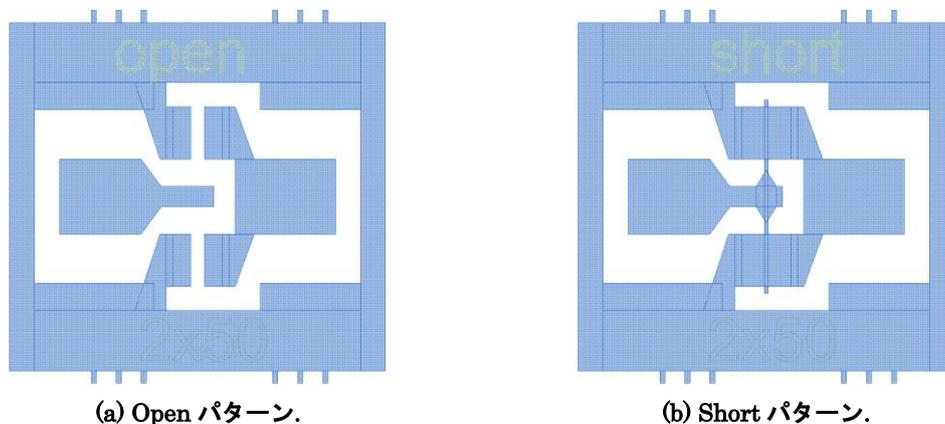


図 2.19: パッド電極校正用レイアウトパターン.

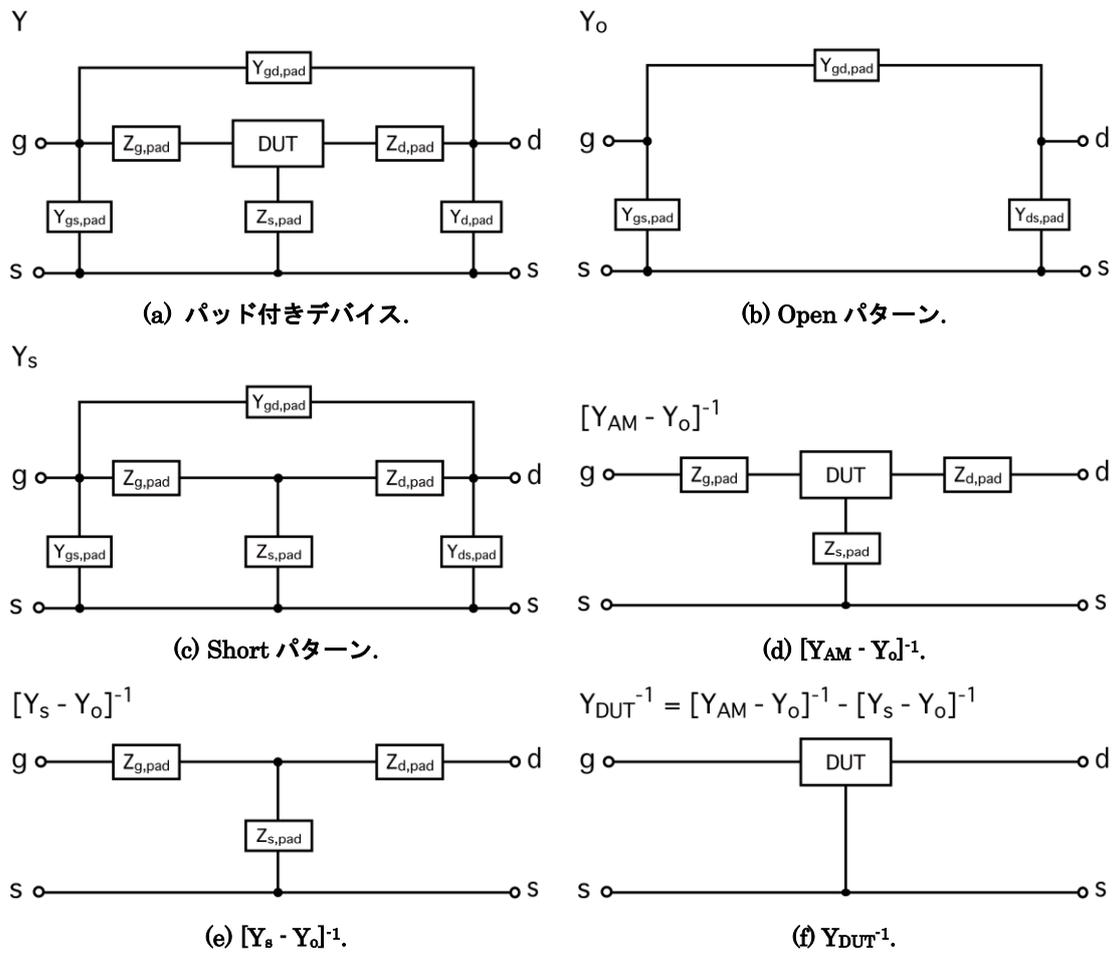


図 2.20: 各パターン及び計算途中の等価回路.

2.3.2.2 電流利得遮断周波数

まず f_T の算出方法を示す。 f_T は電流利得 h_{21} が 0dB となった時の周波数であると定義されている。 h_{21} は、

$$|h_{21}| = \left| \frac{Y_{21}}{Y_{11}} \right| = \left| \frac{I_{ds}}{I_{gs}} \right| = \left| \frac{g_m V_{gs}}{j\omega C_{gs} V_{gs}} \right| = \left| \frac{g_m}{2\pi f C_{gs}} \right| \quad (2.29)$$

と表せる。つまり、電流利得は Y パラメータから導出できるわけであるが、 $S \cdot Y \cdot Z$ 等の各行列は互いに変換可能であるので、トランジスタの S パラメータが測定できれば、電流利得が算出できる。(2.29)を変形すると、

$$|h_{21}| = \left| \frac{2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \right| \quad (2.30)$$

と、S パラメータのみで表すことができる。

2.3.2.3 最大発振周波数

つづいて f_{max} の算出方法を示す。 f_{max} は単方向電力利得 U_g が 0dB となった時の周波数であると定義されている。 U_g は Y パラメータ、もしくは S パラメータを用いて、

$$U_g = \frac{|Y_{21} - Y_{12}|^2}{4\{\text{Re}(Y_{11})\text{Re}(Y_{22}) - \text{Re}(Y_{21})\text{Re}(Y_{12})\}} \quad (2.31)$$

$$= \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2K \left| \frac{S_{21}}{S_{12}} \right| - \text{Re} \left(\frac{S_{21}}{S_{12}} \right)}$$

$$K = \frac{1 + |S_{11}S_{22} - S_{12}S_{21}|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}S_{21}|} \quad (2.32)$$

と表される。ここで、 $\text{Re}(x)$ は複素数 x に対して実部を取り出す関数、 K は安定化指数である。

しかしながら、実測において U_g は発振してしまい、 f_{max} を求めることができない場合がある。その場合には、最大有能電力利得(Maximum Available Gain; MAG)・最大安定電力利得

(Maximum Stable Gain; MSG)を用いて f_{\max} を概算する。MAG は安定化指数 K と S パラメータを用いて、

$$\text{MAG} = \left| \frac{S_{21}}{S_{12}} \right| \left(K - \sqrt{K^2 - 1} \right) \quad (2.33)$$

と表される。MAG は実数として定義されているため、 $K < 1$ の場合には不適となる。その場合には、 $K = 1$ として(2.33)に代入した形を MSG として定義して、

$$\text{MSG} = \left| \frac{S_{21}}{S_{12}} \right| \quad (K < 1) \quad (2.34)$$

と表される。MSG は-20 dB/dec とならないため、外挿によって f_{\max} を求めることはできないが、便宜的に $K=1$ となる周波数(MSG/MAG の変化点)における MSG から-20 dB/dec の外挿を行うことで、 f_{\max} を求めることができる。

2.3.3 Sパラメータの解析

2.3.3.1 遅延時間解析の原理

図 2.21 に HEMT の等価回路を示す。HEMT の等価回路では図が示す通り、真性領域の外部に寄生抵抗や寄生容量がぶら下がった等価回路となる[2.26]。簡略化された等価回路は図 2.22(a)に示されている。真性領域と寄生領域を分離し回路パラメータを導出する手法として、[2.28]で報告されている手法を用いた。その手法について以下に示す。まず、バイアス点における Y パラメータを Y_{DUT} とする。このときの等価回路は図 2.22 (a)で表される。次に V_{ds} を 0 V、 V_{gs} をピンチオフ電圧 (V_p)以下とした擬似 Open の Y パラメータを Y_{o2} とする。このバイアス条件では、チャンネルのゲート直下の真性領域が空乏化し、擬似的にチャンネルが開放されたとみなせるため、その等価回路は図 2.22(b)で表される。次に V_{ds} をバイアス点、 V_{gs} をフォワード(ショットキー電流が十分流れる電圧)にした時の Y パラメータを Y_{s2} とする。このバイアス条件では、ゲートのショットキー電流の影響で擬似的にショートしているとみなせるため、その等価回路図は図 2.22(c)で表される。これらについて、2.3.2.1 項と同様に考えると真性領域は、

$$Y_i^{-1} = [Y_{DUT} - Y_{o2}]^{-1} - [Y_{s2} - Y_{o2}]^{-1} \quad (2.35)$$

と表せる。

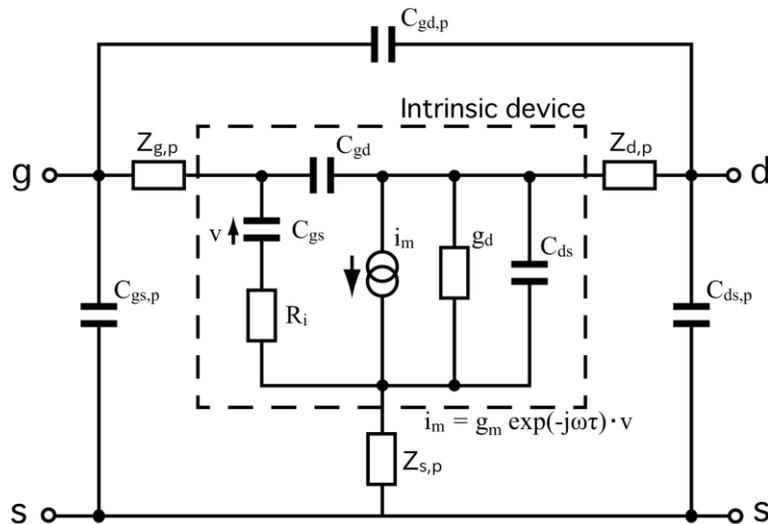


図 2.21: 寄生容量・寄生抵抗等を含めた HEMT(DUT)の等価回路図。

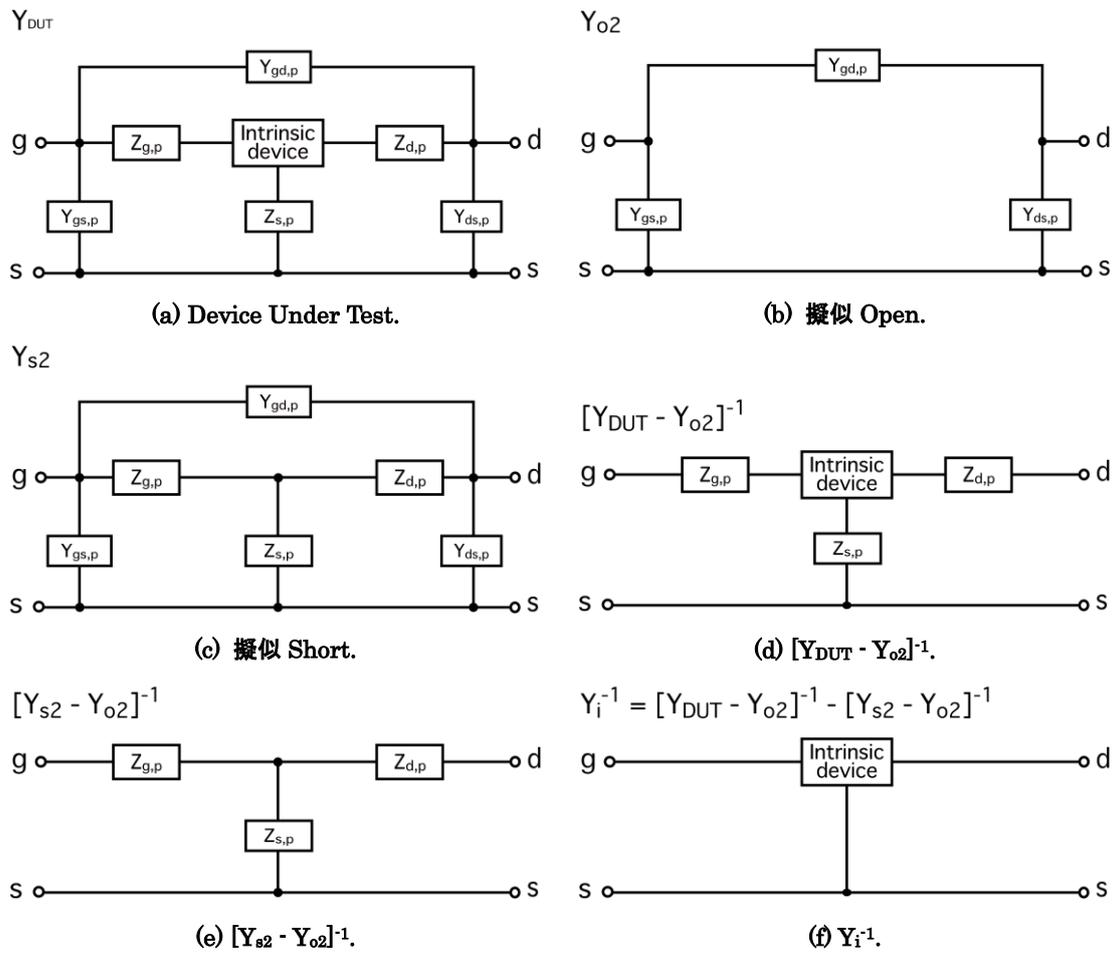


図 2.22: 真性・寄生パラメータの抽出方法.

2.3.3.2 真性遅延時間の導出

(2.35)を用いて得られた真性パラメータから、真性遅延時間および寄生遅延時間を求めることができる。まず、 Y_{DUT} から(2.29)、(B.14)を利用して f_T を求める。続けて、得られた f_T について(1.2)を変形すると、

$$\tau = \frac{1}{2\pi f_T} \quad (2.36)$$

となるため、ここから総遅延時間 τ を求めることができる。同様に Y_i より、 τ_i が導出できる。また、これらの差を寄生遅延時間 τ_p として、

$$\tau_p = \tau - \tau_i \quad (2.37)$$

と定義する。遅延時間のドレイン電圧に対する依存性を図 2.23 に示す。図中の寄生遅延時間に着目してみると、寄生遅延時間がドレインバイアスに対して明らかな依存性を持っている。本来寄生遅延時間は、ゲートの寄生容量の充放電時間に起因する遅延時間であるため、ドレインバイアスに対して依存性を持たないはずである。この原因としては、ドレインバイアスが大きくなることで、HEMT の電流駆動能力が大きくなるため、寄生容量の充放電時間が短くなることに起因している。続いて真性遅延時間に着目してみると、 $V_{ds} = 0.9$

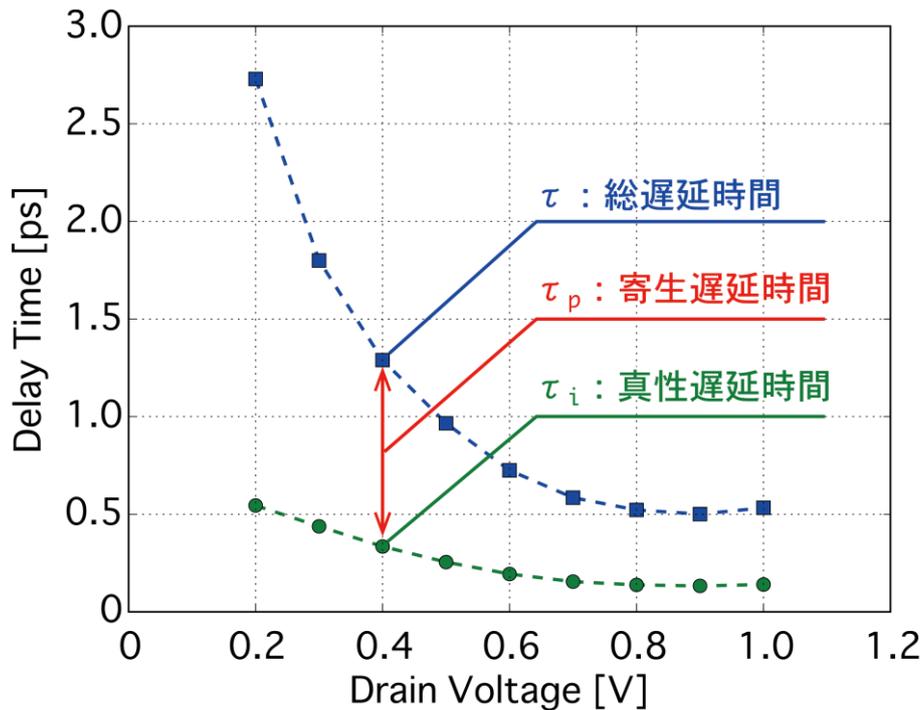


図 2.23: 遅延時間の分離.

V 以下では、真性遅延時間が減少傾向にあることがわかる。これは、チャネルの電界強度が大きくなり、電子のドリフト速度が上昇していることに起因する。一方で、 $V_{ds} = 0.9 \text{ V}$ 以上では、真性遅延時間が飽和、もしくはわずかに上昇している。これは、ドレイン側の空乏層が伸びることで実効的なゲート長が長くなり、電子がドリフトする距離が伸びることに起因する。

2.3.3.3 等価回路における真性パラメータの導出

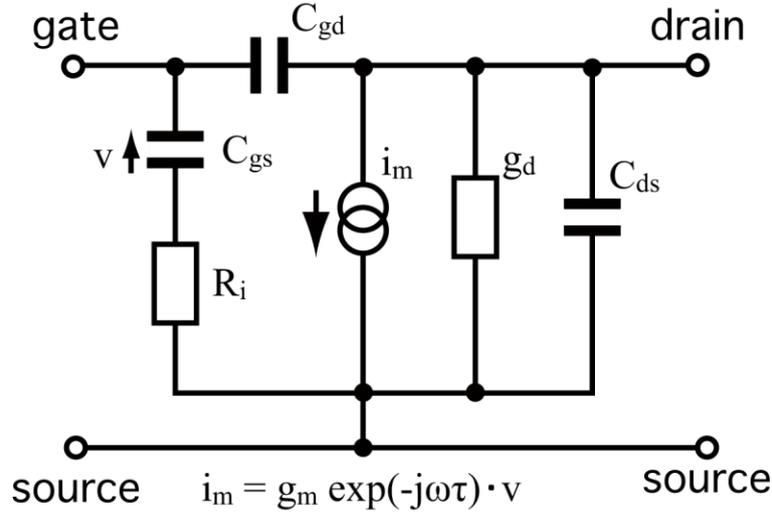


図 2.24: HEMT の真性領域の等価回路図[2.26].

図 2.24 に本論文で用いる HEMT の真性領域における等価回路図を示す[2.26]。真性領域における各種回路パラメータの値を導出することは f_T や f_{max} などの特性を議論する上で非常に有用である。図 2.24 の等価回路から各 Y パラメータの値を求めると、

$$Y_{11} = \frac{\omega^2 C_{gs} R_i}{D} + j\omega \left(-\frac{C_{gs}}{D} + C_{gd} \right) \quad (2.38)$$

$$Y_{12} = -j\omega C_{gd} \quad (2.39)$$

$$Y_{21} = \frac{g_m}{D} - j\omega \left(\frac{g_m C_{gs} R_i}{D} + C_{gd} \right) \quad (2.40)$$

$$Y_{22} = g_d + j\omega (C_{gd} + C_{ds}) \quad (2.41)$$

$$D = 1 + \omega^2 C_{gs}^2 R_i^2 \quad (2.42)$$

と表すことができる。ここで D について各回路パラメータについてオーダーについて考慮すると、 ω は測定範囲から $10^8 \sim 10^{10}$ rad/s、 C_{gs} は 10^{-13} F/mm、 R_i は $0.1 \sim 10 \Omega\text{mm}$ 程度であるので、 $D \approx 1$ と近似できる。よって、(2.38)および(2.40)は、

$$Y_{11} = \omega^2 C_{gs} R_i + j\omega (-C_{gs} + C_{gd}) \quad (2.43)$$

$$Y_{21} = g_m - j\omega(g_m C_{gs} R_i + C_{gd}) \quad (2.44)$$

と変形できる。ここで(2.38)(2.41)(2.43)(2.44)を変形することで各回路パラメータは、Yパラメータと各測定周波数を用いて、

$$C_{gs} = -\frac{\text{Im}(Y_{11}) - \text{Im}(Y_{12})}{\omega} \quad (2.45)$$

$$C_{gd} = -\frac{\text{Im}(Y_{12})}{\omega} \quad (2.46)$$

$$C_{ds} = \frac{\text{Im}(Y_{12}) + \text{Im}(Y_{22})}{\omega} \quad (2.47)$$

$$g_m = |Y_{21} - Y_{12}| \quad (2.48)$$

$$g_d = \text{Re}(Y_{22}) + \text{Re}(Y_{12}) \quad (2.49)$$

$$R_i = \frac{\text{Re}(Y_{11})}{(\text{Im}(Y_{11}) + \text{Im}(Y_{12}))^2} \quad (2.50)$$

と表すことができる。ここで $\text{Re}(x)$ 、 $\text{Im}(x)$ は複素数 x に対して、それぞれ実部および虚部を取り出す関数である。

2.3.3.4 等価回路における寄生パラメータの導出

寄生領域での回路パラメータの導出について示す。 $[Y_{s2} - Y_{o2}]^{-1}$ (図 2.22(e))における Z 行列は、寄生抵抗のみが付いた T 型等価回路であるとみなせるため、この Z 行列を用いて寄生抵抗を導出することができる。ここで寄生抵抗は、

$$R_s = \text{Re}(Z_{21}) \quad (2.51)$$

$$R_d = \text{Re}(Z_{22}) - \text{Re}(Z_{21}) \quad (2.52)$$

$$R_g = \text{Re}(Z_{11}) - \text{Re}(Z_{21}) \quad (2.53)$$

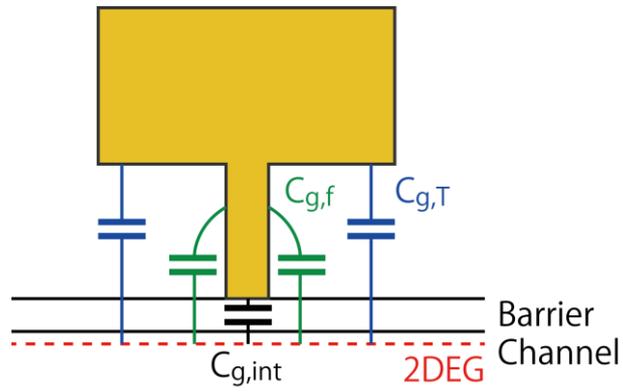
と表される。これらの抵抗についての物理的意味は、ソース抵抗、ドレイン抵抗はソース・ドレインのアクセス領域における抵抗、ゲート抵抗はゲート金属の抵抗である。

ゲート電圧をピンチオフ電圧以下に、ドレイン電圧を 0 V とした時のこの等価回路は図 2.21(b)に示されたものと同様となる。この Y 行列は、寄生容量のみが付いた Π 型等価回路であるとみなせるため、この Y 行列を用いて寄生容量を導出することができる。これは、HEMT が通常の ON 状態では図 2.25(a)に示すように、ゲート電極の真性容量 $C_{g,int}$ 、T 型ゲート電極頭部・チャネル間容量 $C_{g,T}$ 、T 型ゲート電極脚部・チャネル間(フリッジ)容量 $C_{g,f}$ が現れるのに対して、ゲートをピンチオフ電圧以下とすると図 2.25(b)に示したような状態となり、寄生容量である $C_{g,f}$ 、 $C_{g,T}$ のみが現れるためである。

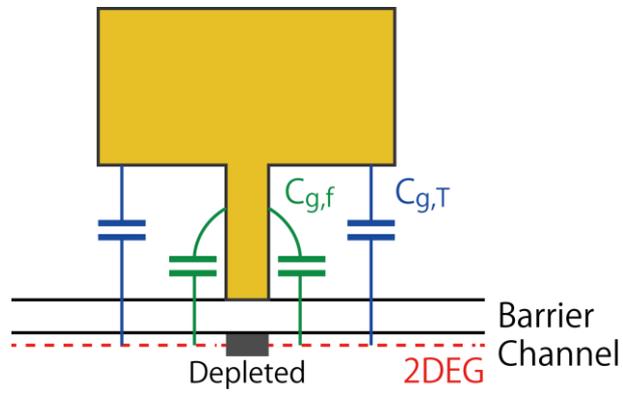
測定からは、ゲート・ソース間の寄生容量 $C_{gs,par}$ 、ゲート・ドレイン間の寄生容量 $C_{gd,par}$ が得られるので、ゲート寄生容量の和 $C_{g,par}$ は、

$$C_{g,par} = C_{gs,par} + C_{gd,par} = C_{g,f} + C_{g,T} \quad (2.54)$$

と表される。



(a) 低バイアス動作時の状態.



(b) ピンチオフ時の状態.

図 2.25: ゲート寄生容量の測定と切り分け.

第3章 電子線露光と多層 SiCN 鋳型を用いた T 型ゲート電極の作製

3.1 本章の目的

本章では、1.1.3 項で述べた問題を解決するために、T 型ゲート電極の脚部形状を制御するための手法(SiCN 鋳型プロセス)を提案する。また、本手法において堆積条件を変えて作製した断面形状の異なる 2 種類の鋳型を用いて、ゲート長 130 nm の 2 種類の異なるテーパ形状をその脚部に持つ T 型ゲート電極を作製する。さらに、これらを適応した InGaAs-HEMT を作製し、その DC・RF 測定の結果を比較することで、T 型ゲート電極形状が HEMT の特性にどのような影響を与えるのか評価・考察を行う。さらに、T 型ゲート電極の最適設計について、静電場解析により考察を行う。そのゲート形状に関しては、本 SiCN 鋳型プロセスにより作製可能なゲート形状であるテーパ形状を持つ T 型ゲート形状を基準として、ゲート長を 100 nm、ゲート長と T 型ゲート電極脚部のキャップ層の厚さを除いた高さとのアスペクト比（ゲート電極アスペクト比）の範囲が 1 から 2 となる範囲において検討を行う。これにより、本検討範囲における T 型ゲートの最適形状の導出、および、ある前提条件を与えた際の T 型ゲート電極の最適形状の導出手法を得ることを目的とする。

3.2 SiCN 膜の特性

3.2.1 SiCN 膜の堆積

SiCN 膜は 1,1,1,3,3,3-Hexamethyldisilazane (HMDS)を用いた気化導入 PE-CVD によって堆積する[3.1]。HMDS は通常フォトレジストと半導体材料間の密着性向上のために用いられる液体であり、その構造を図 3.1 に示す。HMDS はその構造式中に S-N の構造を持っているため、これを SiN 膜の堆積に利用するものである。しかしながら実際には、HMDS 中の C が含まれるため、SiN よりは SiCN に近い膜質となる。SiCN 膜の堆積に利用した PE-CVD の概略図を図 3.2 に示す。SiCN 膜堆積のためには、60°Cに保たれた恒温槽で気化させた HMDS ガスを水素(H₂)とアンモニア(NH₃)の 2 種類のキャリアガスとともに 100°Cに熱したパイプを通して反応室に導入し、RF パワーを印加することで堆積を行う。詳しい堆積条件を表 3.1 に示す。

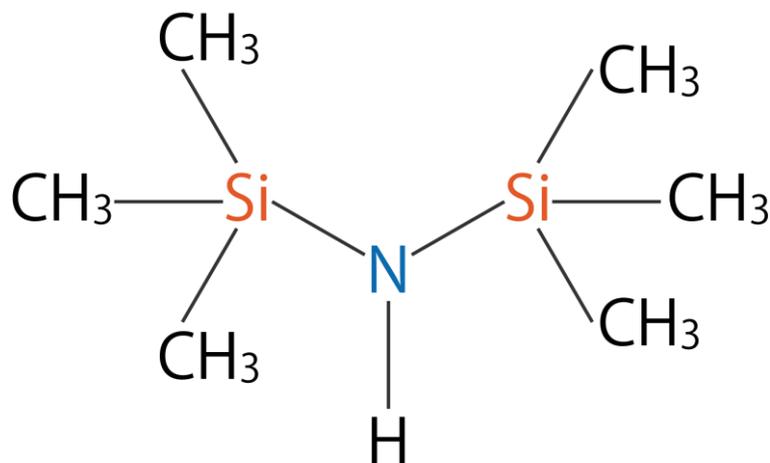


図 3.1: HMDS の構造式.

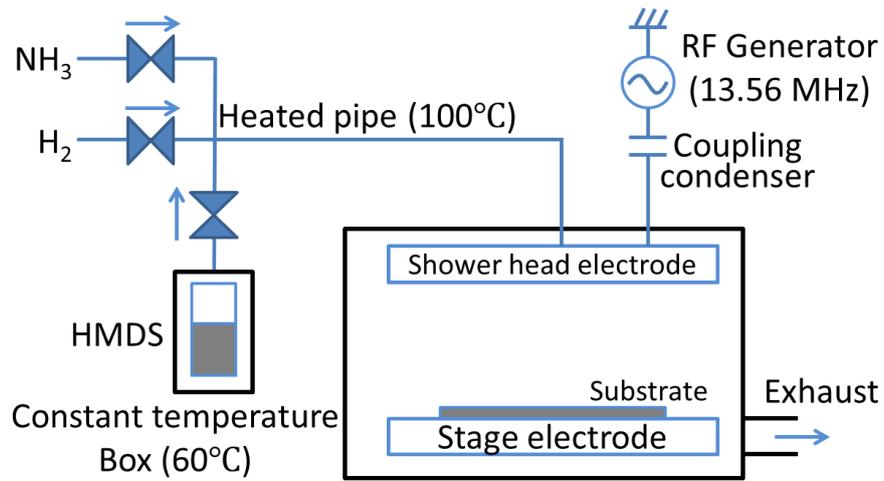


図 3.2: SiCN 堆積のための PE-CVD の概略図.

表 3.1: SiCN 膜の堆積条件.

堆積膜	ガス	圧力	温度	RF 電力
SiCN	HMDS: 4 sccm H_2+NH_3 : 100 sccm	133 Pa	250°C	200 W

3.2.2 SiCN 膜のエッチング特性

3.2.1 項で堆積方法を示した SiCN 膜について、そのエッチング特性を示す。エッチングは RIE を用いたドライエッチングであり、そのエッチングレートを図 3.3 に示す。エッチングガスには $C_2F_6 \cdot SF_6$ を用いた。どちらのガスを用いてエッチングした場合でも、キャリアガスにアンモニアを利用して堆積した SiCN 膜のエッチングレートが、水素をキャリアガスとして用いた場合のエッチングレートを上回っている。このエッチングレートの違いの原因を調べるために、水素、アンモニア単独で堆積した SiCN 膜をそれぞれ二次イオン質量分析法(Secondary Ion-microprobe Mass Spectrometer; SIMS)を用いて分析し、その結果を図 3.4 に示した。堆積された SiCN の膜質を比較すると、水素をキャリアガスとして用いた SiCN 膜(図 3.4(a))は、アンモニアをキャリアガスとして用いた場合(図 3.4(b))と比較してより多くの C を含有している。ここから、アンモニアをキャリアガスとして用いた場合には SiN ライクであった SiCN 膜が、水素をキャリアガスとして用いた場合には SiC ライクになり、エッチングレートが低下したと考えられる。また、HMDS の構造式中に含まれていない O が堆積条件にかかわらず SiCN 膜中に含まれていることがわかる。これは SiCN 膜堆積時のチャンバー内の残留酸素や液体である HMDS 中の溶存酸素、または、成膜後の表面酸化によるものと推測される。

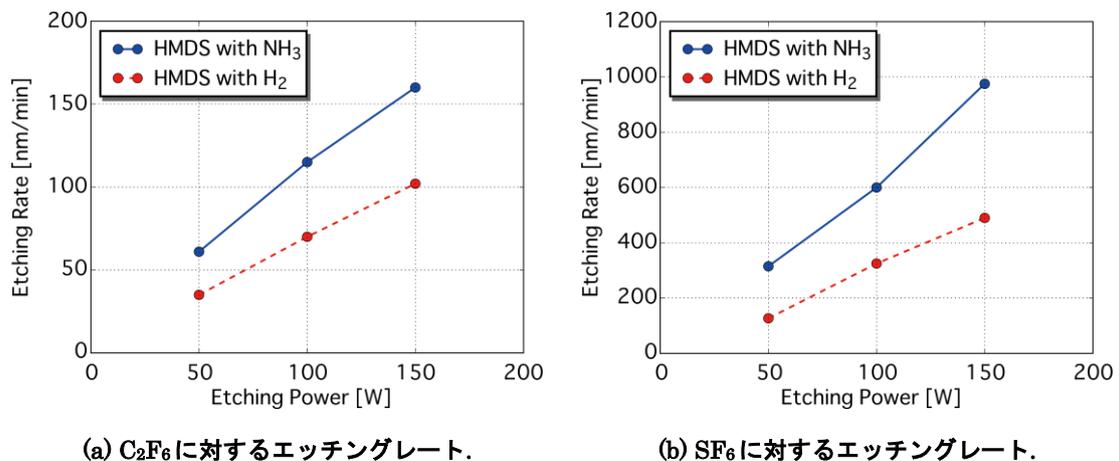
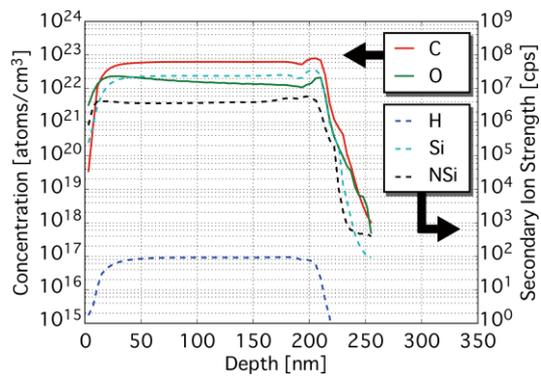
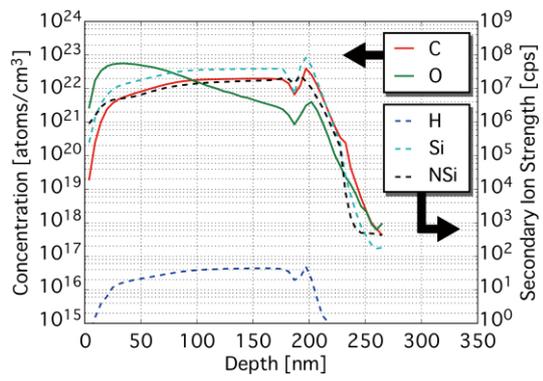


図 3.3: SiCN 膜のエッチングレート。



(a) 水素をキャリアガスとして堆積した SiCN 膜.



(b) アンモニアをキャリアガスとして堆積した SiCN 膜.

図 3.4: SIMS による分析結果.

3.3 多層 SiCN 鋳型を用いた T 型ゲート電極作製法

3.3.1 多層 SiCN 鋳型を用いた T 型ゲート電極の作製(1)

3.2.2 項で述べたエッチングレートの違いを利用して、SiCN 膜の断面形状を制御することにより作製した鋳型を用いた、T 型ゲート電極の断面形状制御法について説明する。3.2.2 項では SiCN 膜の堆積の際のキャリアガスとして水素・アンモニアのそれぞれのみを用いたが、断面形状制御を行う際には水素・アンモニアを同時に流し、その流量比を変化させることでエッチングレートを制御する。特に、 SF_6 をエッチングガスに用いた際のエッチングレートの差は最大で 2.5 倍となることが図 3.3(b)よりわかる。これを横方向のエッチングに利用することで断面形状の制御を行うことができる。

今回提案する SiCN 鋳型プロセスのプロセスフローを図 3.5 に示す。まず、半導体基板上に表面保護膜として SiO_2 を堆積後にアンモニアの流量を増やしながらか計 10 層の SiCN 膜を堆積する(図 3.5(a))。その後、EB 露光によってゲートのパターニングを行い(図 3.5(b))、RIE(C_2F_6 ガスを使用)により縦方向の異方性エッチングを行う(図 3.5(c))。ここで C_2F_6 ガスを用いる理由としては、SiCN と SiO_2 間の SF_6 に対する選択比が 10 以上となるため、 SF_6 を用いる場合 SiO_2 が開口する前に横方向エッチングが進み、異方性エッチングが困難であるためである。続いてエッチングガスを SF_6 に変更し、等方的にエッチングを行うことで側面形状の形成を行う(図 3.5(d))。ここで上層になるにつれてエッチングレートが高くなるように堆積されているため、エッチングレートの違いに依存して特異な断面形状が形成される。異方性エッチングを行った後に等方性エッチングを行う理由としては、各 SiCN 膜が等方性エッチングの際にエッチングガスに曝される時間を等しくすることで、エッチングレートの差異が純粋に断面形状の差に反映されるようにするためである。その後、レジストを除去し、下層ゲート金属として Ti を基板全面に蒸着する(図 3.5(e))。続いて 2 層レジストを用いて、T 型ゲート電極の頭部金属(Ti/Au)を蒸着、リフトオフする(図 3.5(f))。その後、頭部金属をエッチングマスクとし、ゲート下部以外の不要な Ti および SiCN 鋳型を RIE(SF_6 ガスを使用)により除去する(図 3.5(g))。最後に、パッシベーション膜として SiN 膜を堆積する(図 3.5(h))。

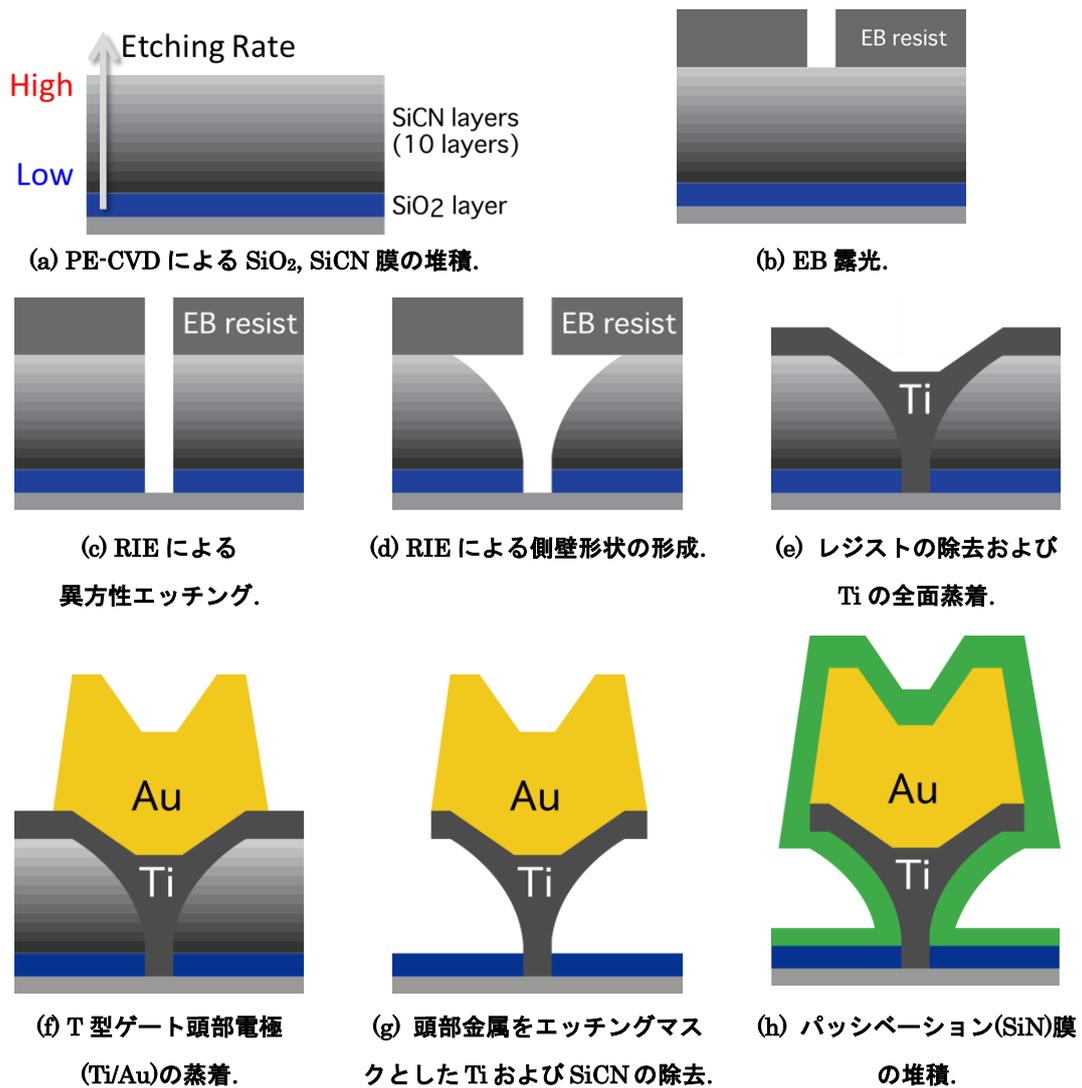


図 3.5: SiCN 鑄型プロセスのプロセスフロー.

3.3.2 多層 SiCN 鋳型の作製

本試作において SiCN 鋳型を作製するために用いた SiCN 膜の堆積条件を図 3.6 に示す。断面形状の比較を行うために図 3.6(a)に示した条件で堆積した Standard Type と、図 3.6(b)に示した条件で堆積した Slender Type の 2 種類を作製した。Standard Type では、アンモニアの流量を 0 sccm から 90 sccm まで 10 sccm 刻みで線形に増加させたのに対して、Slender Type では 0 sccm から 81 sccm まで 2 次関数的に増加させた。両条件について各層の堆積時間は 33 秒であり、計 330 秒堆積を行った。

エッチング後の各鋳型の断面 SEM 画像を図 3.7 に示す。鋳型の脚部の開口部は両鋳型共に 120 nm である。図 3.7(a)に示されている Standard Type の鋳型では断面形状が線形に変化すると期待されたが、実際には 2 次関数的に変化しており、期待された断面形状とは異なる形状となった。これは、アンモニアの流量を線形に増やしても SiCN 膜のエッチングレートが線形に変化しているわけではないことが原因であると考えられる。また、鋳型上部にはバリが確認できる。これは、SiCN 膜表面ではアンモニアの流量比が大きく膜質が粗であるため、空気中の酸素を吸収することで組成が変化し、エッチングレートが減少したためである。両鋳型を比較すると膜厚が異なっていることがわかる。これは、キャリアガスの混合比によって堆積レートが変化するため、堆積時間が同じでも、堆積条件によって膜厚が変化することによる。

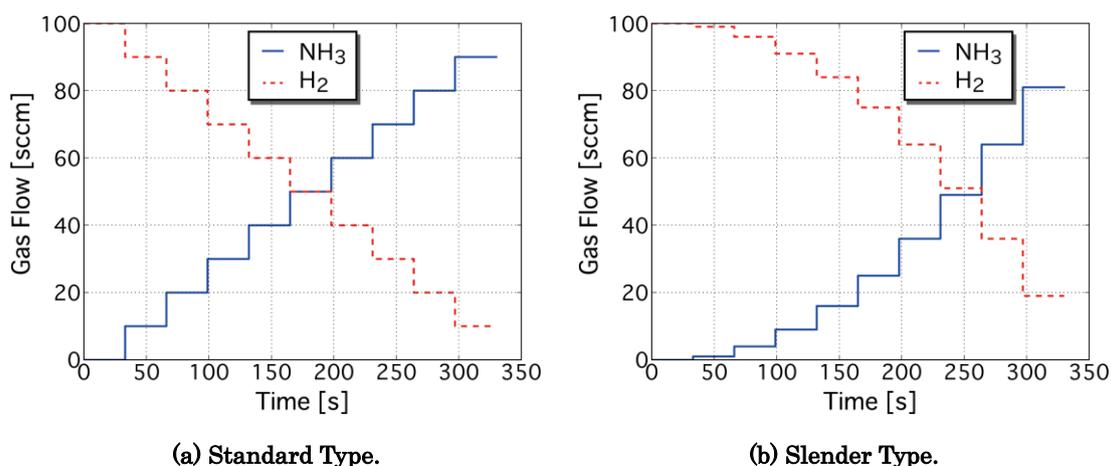
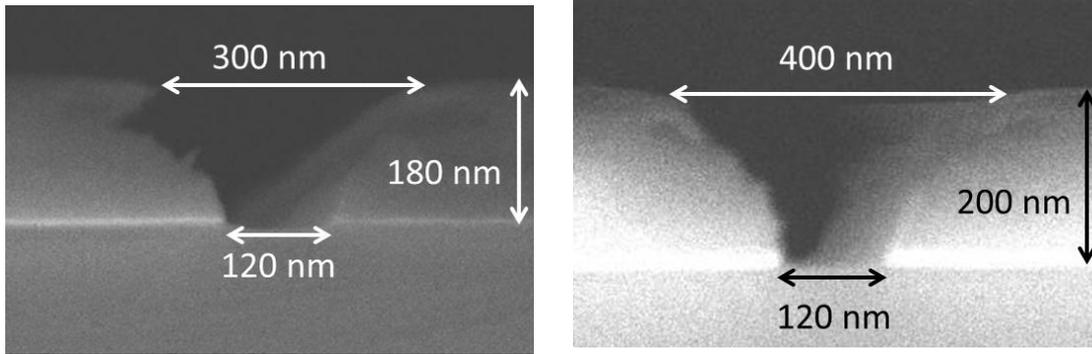


図 3.6: 各 SiCN 鋳型における SiCN 膜の堆積条件.



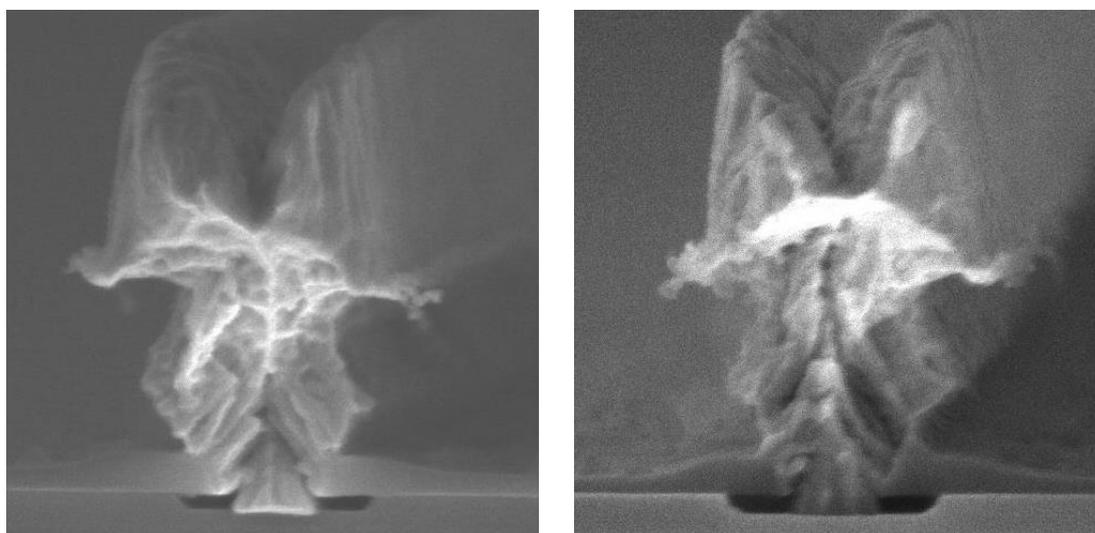
(a) Standard Type.

(b) Slender Type.

図 3.7: 各種 SiCN 鍍型の断面 SEM 画像.

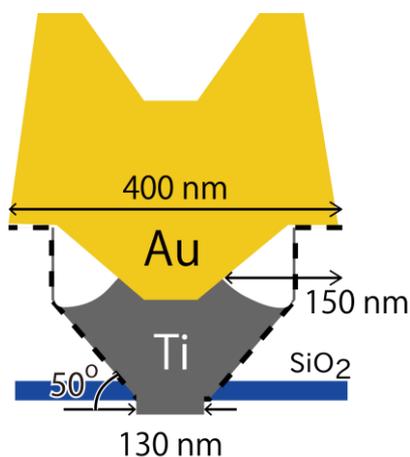
3.3.3 多層 SiCN 鋳型の形状の違いによる T 型ゲート電極断面形状の変化

3.3.2 項で作製した SiCN 鋳型を用いて T 型ゲート電極を作製した。図 3.8 にその断面 SEM 画像と概略図を示す。図 3.8(c)(d)中の破線は鋳型形状から予測されるゲート形状であり、塗りつぶし部分は実際にゲート金属が存在する部分である。図 3.8(c)において、垂直になっている部分は、図 3.7(a)においてバリになっている部分である。どちらの T 型ゲートもゲート長が 130 nm、T 型ゲートの頭部長は 400 nm である。一方で、T 型ゲート脚部の広がり角は Standard Type で 50° に対して、Slender Type では 65° である。図 3.8(a)(b)ともに T 型ゲート脚部の中ほどが失われている様子が見て取れるが、これは図 3.5(g)において、不要な Ti および SiCN 膜をエッチングした際にエッチングが等方的に進むことで形成されたと考え

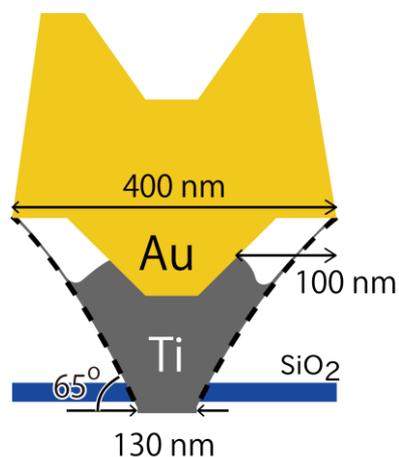


(a) 断面 SEM 画像 (Standard Type).

(b) 断面 SEM 画像 (Slender Type).



(c) 概略図 (Standard Type).



(d) 概略図 (Slender Type).

図 3.8: 作製した T 型ゲート電極の断面 SEM 画像とその概略図.

られる。今回 Ti の膜厚は 100 nm としたため、サイドエッチングが約 100 nm であることは妥当であるといえる。Standard Type では、サイドエッチングが 150 nm であるが、これは鋳型中のバリの影響でゲート金属が存在しない領域が両サイドに 50 nm ずつ存在しているためである。本試作ではゲート長が 130 nm と長いいため顕在化していないが、50 nm 以下の短ゲート領域ではサイドエッチングにより T 型ゲート脚部が失われる可能性がある。この問題については、4.2 節において解決している。

3.4 多層 SiCN 鑄型を用いた T 型ゲート電極を持つ

InGaAs 系高電子移動度トランジスタの特性

3.4.1 エピタキシャル層構造とデバイス構造

本試作で用いた HEMT のエピタキシャル層構造は、株式会社オプトランスにて半絶縁 InP 基板上に MOCVD によって成長された。このウェハのエピタキシャル層構造を表 3.2 に示す。本ウェハでは、In 組成 0.63 の高 In 組成チャンネルを用いている。作製した HEMT のデバイス構造を図 3.9 に示す。図 3.8(a)(b)ではゲート形状の観察のために除去されているが、本試作で作製・測定した HEMT は T 型ゲートの周囲にパッシベーション膜として SiN 膜が堆積されている。

表 3.2: 本試作で用いたウェハのエピタキシャル層構造.

層名	材料	膜厚 [Å]	備考
Cap	n-InGaAs	150	ドーピング濃度: 10^{19} cm^{-3}
	n-InAlAs	150	
Etch Stop	i-InP	60	
Barrier	i-InAlAs	50	
Carrier Supply	n-InAlAs	50	キャリア濃度: $2.5 \times 10^{12} \text{ cm}^{-2}$
Spacer	i-InAlAs	30	
Channel	i-In _{0.63} Ga _{0.37} As	150	
Buffer	i-InAlAs	100	

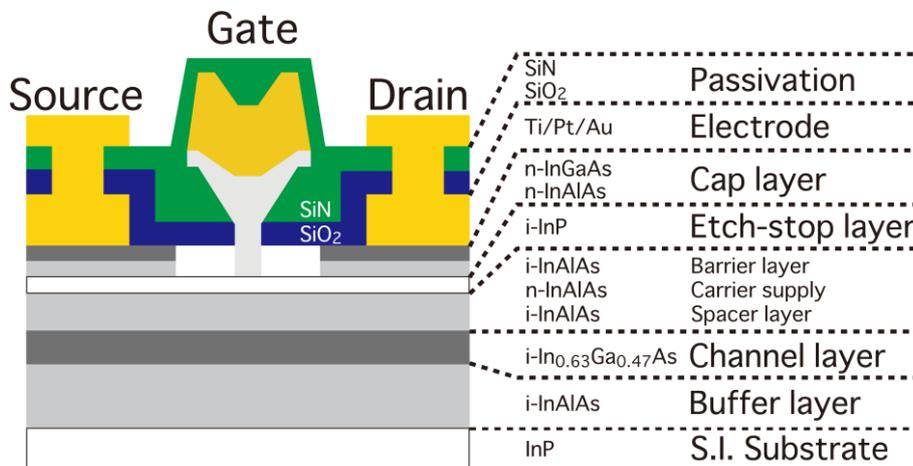


図 3.9: 作製した HEMT の概略図.

3.4.2 DC 特性

図 3.8 に示された 2 種類の T 型ゲートを持つ HEMT を作製し、その DC 特性の比較を行った。測定に用いたデバイスの設計寸法は、ソース・ドレイン間隔が $2.5 \mu\text{m}$ 、ゲート幅が $50 \mu\text{m} \times 2 \text{ fingers}$ である。以下で使用するドレイン電流値等は、ゲート幅で規格化された値を用いている。相互コンダクタンスとドレイン電流のゲート電圧に対する依存性 (I_{ds} - V_{gs} 特性) を図 3.10 に示す。相互コンダクタンスの最大値 ($g_{m,max}$)、真性相互コンダクタンスの最大値 ($g_{mi,max}$)、閾値、ソース抵抗 (R_s)、ドレイン抵抗 (R_d)、を表 3.3 にまとめた。まず真性相互コンダクタンスの最大値について比較してみると、ほぼ等しい値を取ることがわかる。よって、両デバイスの真性領域の特性はほぼ等しいと言える。ソース抵抗、ドレイン抵抗が一般的な HEMT ($0.30 \Omega\text{mm}$ 程度) と比較すると大きいのが、これはコンタクトホール開口の際にエッチング時間が不足し、オーミック電極上に絶縁膜が一部残ったことが原因である。

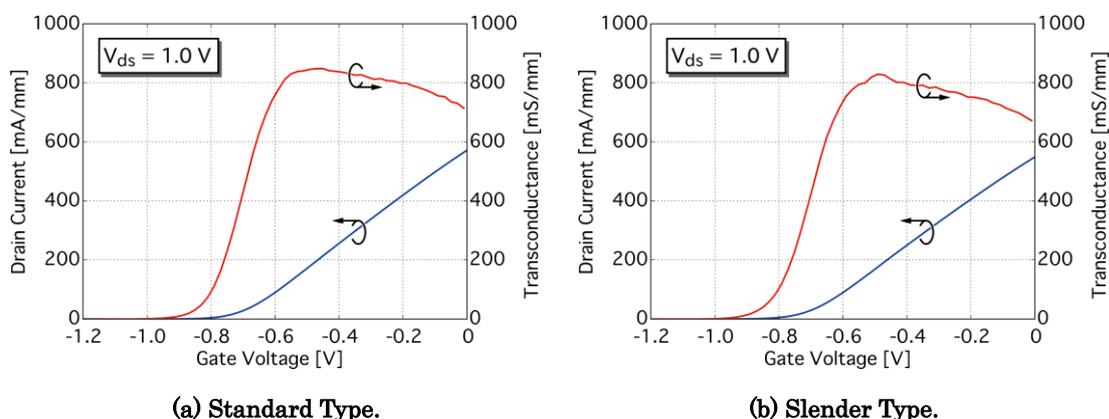


図 3.10: 相互コンダクタンス (g_m) とドレイン電流 (I_{ds}) のゲート電圧 (V_{gs}) に対する依存性。

表 3.3: デバイス特性比較表。

パラメータ	Standard Type	Slender Type
相互コンダクタンスの最大値 $g_{m,max}$ [mS/mm]	845	830
真性相互コンダクタンスの最大値 $g_{mi,max}$ [mS/mm]	1340	1330
閾値 (V_{th}) [V]	-0.77	-0.79
ソース抵抗 (R_s) [Ωmm]	0.43	0.45
ドレイン抵抗 (R_d) [Ωmm]	0.49	0.52

3.4.3 RF 特性

今回作製した2種類のHEMTについて、RF特性の比較を行った。電流利得と単方向電力利得の周波数依存性を示す。バイアス条件は、両デバイスについて f_T が最大となる点を選択した。 f_T は Standard Type に対して 195 GHz に対して、Slender Type では 185 GHz である。3.4.2 項で両デバイスの真性相互コンダクタンスの値は同程度であったため、この違いはデバイスの寄生領域の違いに起因していると言える。一方で f_{max} は、両デバイスで 180 GHz となっている。(2.23)より、 f_T が増大すれば f_{max} も増大するはずであるが、実際にはそうなっていない。これは、(2.23)において、 f_T 以外の項が大きくなり f_T の改善効果を打ち消しているためと考えられる。本結果について、遅延時間解析による詳細な解析を次項で行う。

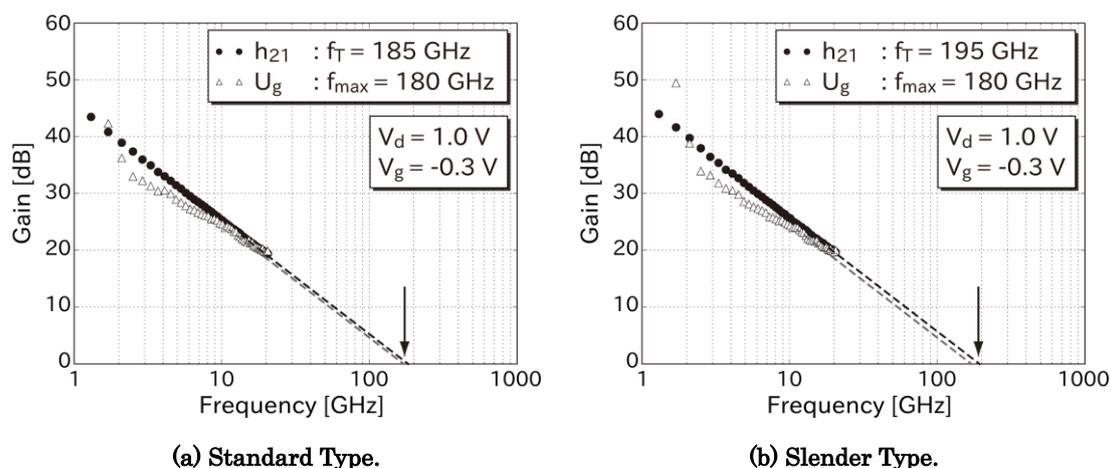


図 3.11: 各種利得の周波数依存性.

3.4.4 遅延時間解析と回路パラメータの抽出

電流利得遮断周波数が最大となるバイアス条件 (3.4.3 項におけるバイアス条件) で遅延時間の比較を行い、両デバイスの総遅延時間、真性遅延時間、寄生遅延時間を f_T 、 f_{max} とともに表 3.4 にまとめた。また 2.3.3.4 で示された手法を用いて、寄生容量、ゲート抵抗を導出し表 3.4 に追加した。両デバイスについて遅延時間を比較すると、真性遅延時間は両デバイスで等しいのに対して、寄生遅延時間は Slender Type で改善していることがわかる。よって、Slender Type における f_T の改善効果は、寄生遅延時間の改善に起因していると言える。

寄生遅延時間の違いについて詳細な分析を行うため、両デバイスについて寄生容量、ゲート抵抗の比較を行った。Slender Type では Standard Type と比較して、寄生容量が減少しており、その結果 f_T が改善したと言える。寄生容量減少の原因としては、T 型ゲート脚部のテーパ角が図 3.8 で示されているように、Slender Type でより大きくなったためである。しかしながら、これによってゲート断面積が減少し、ゲート抵抗が Slender Type では Standard Type と比較して劣化している。その結果、 f_T の改善による f_{max} の改善効果と R_g 劣化による f_{max} の劣化効果が釣り合ったと考えられる。

上記結果から Standard Type と Slender Type を比較し、より良いゲート形状について考察を行う。両ゲート形状を比較すると、Slender Type ではゲート抵抗が劣化しているが、これはゲート金属の膜厚を厚くすることで一定程度改善可能であるため、ゲート長が同様の場合には寄生容量の低減を重視すべきである。よって、今回作製したゲート形状では Slender Type がより良いゲート形状であると言える。今後の HEMT の試作において寄生容量の低減を目指す場合には、Slender Type を基準に鋳型形状を決定する。

ここまでに結果をもとに、トランジスタ高速化のために理想的なゲート形状に対する考察

表 3.4: ゲート長 130 nm の HEMT における、
 $V_{ds} = 1.0 \text{ V}$ 、 $V_{gs} = -0.3 \text{ V}$ での各種遅延時間と寄生パラメータの値。

	Standard Type	Slender Type
電流利得遮断周波数 f_T [GHz]	185	195
最大発振周波数周波数 f_{max} [GHz]	180	180
総遅延時間 τ [ps]	0.86	0.84
真性遅延時間 τ_i [ps]	0.37	0.37
寄生遅延時間 τ_p [ps]	0.49	0.46
寄生容量 $C_{g,par}$ [fF/mm]	437	357
ゲート抵抗 R_g [Ω /mm]	307	368

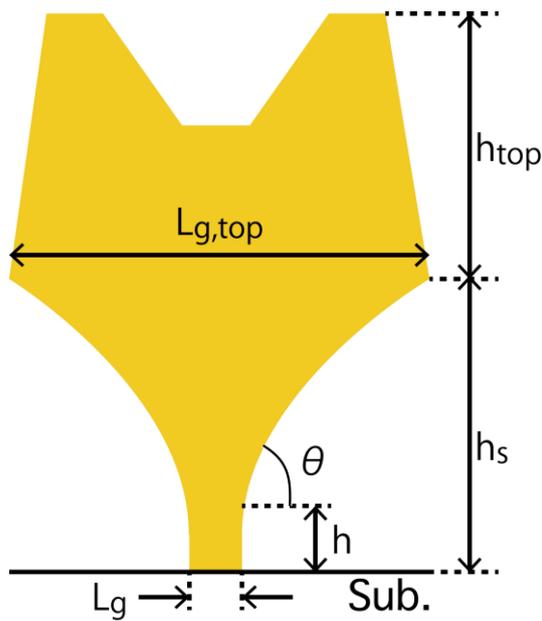


図 3.12: 理想的なゲート形状の設計指針.

表 3.5: 理想的なゲート形状の設計指針.

パラメータ	設計指針
L_g	30 から 50 nm
$L_{g,top}$	$C_{g,par}$ と R_g のどちらを重視するか依存
h_s	高く
h_{top}	厚く
h	検討課題
θ	検討課題

を行う。図 3.12 と表 3.5 に理想的なゲート形状設計に対する指針を示す。高周波性能の向上のためには、寄生容量低減のために h_s を高くする必要や、真性遅延時間低減のためにゲート長を短くする必要がある。しかしながら脚部形状において、テーパ角やその広がり始める位置については今後の検討課題であり、次節で静電場解析を用いてさらなる考察を行う。

3.5 T型ゲート電極の最適設計法に対する考察

3.5.1 静電場解析における解析諸元とT型ゲートの最適設計条件の導出

静電場解析は COMSOL によって、2次元モデルを用いて行った。本節ではT型ゲート電極の脚部にテーパ形状を持つ場合について、その広がり始める位置が変化した際の寄生容量とゲート抵抗を簡易的に導出することで、テーパ形状を持つT型ゲートにおける最適設計の指針を得ることを目的とする。解析に用いたモデルを図 3.13 に、各種解析パラメータを表 3.6 に示す。本章で作製した HEMT のソース・ドレイン間隔は $3\ \mu\text{m}$ と広いため、本解析においてもチャンネルは十分な長さを持つと定義した。 L_g 、 $L_{g,\text{top}}$ 、 $h_{g,\text{top}}$ 、 θ に関しては、本章の試作結果を元に、比較的簡単に作製できるゲート形状として設定した。ゲート・チャンネル間距離 d およびキャップ層の厚さ h_c はそれぞれ、本試作で用いたエピタキシャル層構造を参考にしている。 h_0 はゲート長 L_g に対してアスペクト比($=h_0/L_g$)が、1 から 2 になるように設定した。これはプロセス上比較的簡単に作製できる範囲として設定した。 h はテーパ形状の広がり始める位置であり、実デバイスにおいては SiO_2 膜の膜厚によって制御可能な値である。解析においては、ゲートとチャンネルは金属として、それ以外の空間は真空として定義した。これは最終的に容量値を規格化することで、T型ゲート脚部の高さに対する相対的な依存性を求めるためであり、妥当である。ゲートに $1\ \text{V}$ 印加されている状態でチャンネルをグランドとした場合に、その間の容量をゲート容量(C_g)と定義した。また、真性容

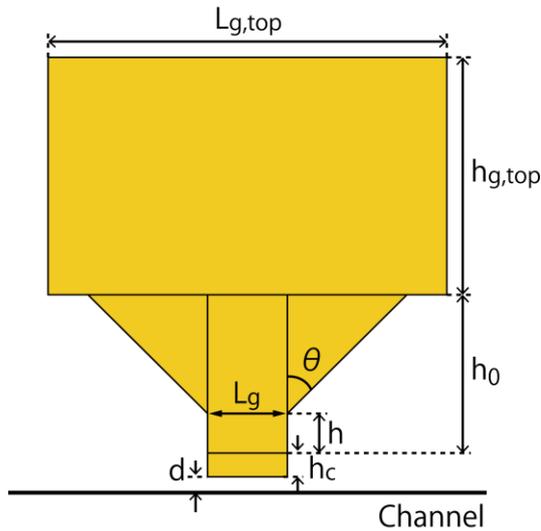


図 3.13: 解析モデルの概略図.

表 3.6: 静電場解析に用いた各種パラメータ.

固定値	値
L_g	100 nm
$L_{g,\text{top}}$	500 nm
$h_{g,\text{top}}$	300 nm
h_c	30 nm
d	20 nm
θ	45 deg.
変数	値
h_0	200 – 100 nm (@ 50 nm)
h	6 points
計算値	定義
$C_{g,\text{par}}$	$C_g - C_{g,\text{int}}$
$C_{g,\text{s}}$	$C_{g,\text{int}} - C_{g,\text{par}}/2$
$C_{g,\text{d}}$	$C_{g,\text{par}}/2$

$$C_{g,par} = C_g - C_{g,int}$$

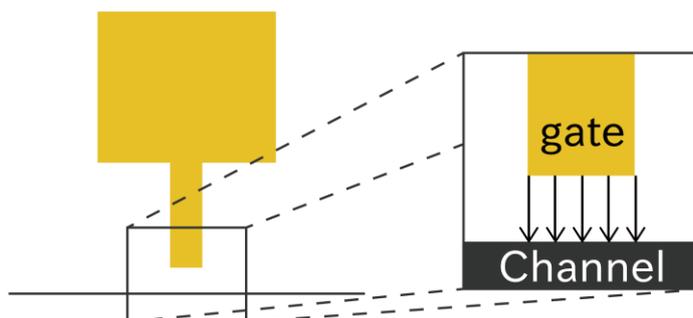


図 3.14: 寄生容量導出方法の概要.

量については、ゲート長 L_g の長さの平板とチャネル間の並行平板容量($C_{g,int}$)として定義し、 C_g と $C_{g,int}$ の差分を寄生容量($C_{g,par}$)として定義した。本計算についてその概要を図 3.14 に示す。また、 f_T や f_{max} の式中においては、(2.21)(2.22)(2.23)から分かる通り、容量は C_{gs} と C_{gd} で表されるため、これらの値を静電場解析から導出可能な C_g 、 $C_{g,int}$ 、 $C_{g,par}$ のみを用いて表 3.6 に示されたとおり変換した。また、ゲート抵抗に関しては T 型ゲートの断面積に比例した抵抗 R_g を持つと定義した。

ここで、T 型ゲートの最適設計条件を f_{max} が最大となる条件と f_T と f_{max} の積が最大となる条件と定義する。両条件について、 C_g 、 $C_{g,int}$ 、 $C_{g,par}$ 、 R_g のみで表すと、

$$f_{max} \propto \sqrt{\frac{1}{R_g C_{g,par} (C_{g,int} + C_{g,par})}} \quad (3.1)$$

$$f_T \times f_{max} \propto \sqrt{\frac{1}{R_g C_{g,par} (C_{g,int} + C_{g,par})^3}} \quad (3.2)$$

と表せる。つまり、(3.1)(3.2)において、赤字で示されている部分が最小となる時が、T 型ゲート電極の最適設計条件となる。今回 f_T の式については(2.22)において、第一項のみを考慮した。

3.5.2 T型ゲートの最適設計条件

T型ゲートの最適設計条件について計算結果を示す。 $h_0 = 200 \text{ nm}$ の際の、T型ゲートの脚部が広がり始める位置 h に対する、ゲート容量(C_g)、ゲート抵抗(R_g)、(3.1)(3.2)の赤字部分の依存性を図 3.15 に示す。図中のゲート模式図が h を変化させた時のゲート形状を示している。図中の各値は $h = h_0 = 100 \text{ nm}$ (通常のT型ゲート)での値で規格化されている。横軸 h が大きくなるに連れて、容量が減少し、抵抗が増大していることがわかる。これは、T難ゲートの形状を考えると妥当な結果である。これらの値を利用して計算した最適設計条件については、 f_{\max} が最大となる条件を丸印で、 f_T と f_{\max} の積が最大となる条件は三角印で表した。これら最適条件はそれぞれ最小となる h が存在することが図 3.15 よりわかる。また、T型ゲート脚部の高さ(h_0)を変化させた時の両条件の計算結果をについて、 h を h_0 で割った値を横軸として図 3.16 に示す。本結果より、そのアスペクト比(h/h_0)が1から2となるT型ゲート形状の設定範囲においては、本解析におけるT型ゲート形状の設定範囲においては、 f_{\max} が最大となる条件はT型ゲート脚部の1/5から広がり始める形状が、また、 f_T と f_{\max} の積が最大となる条件はT型ゲート脚部の2/5から広がり始める形状が最適設計条件であると言える。

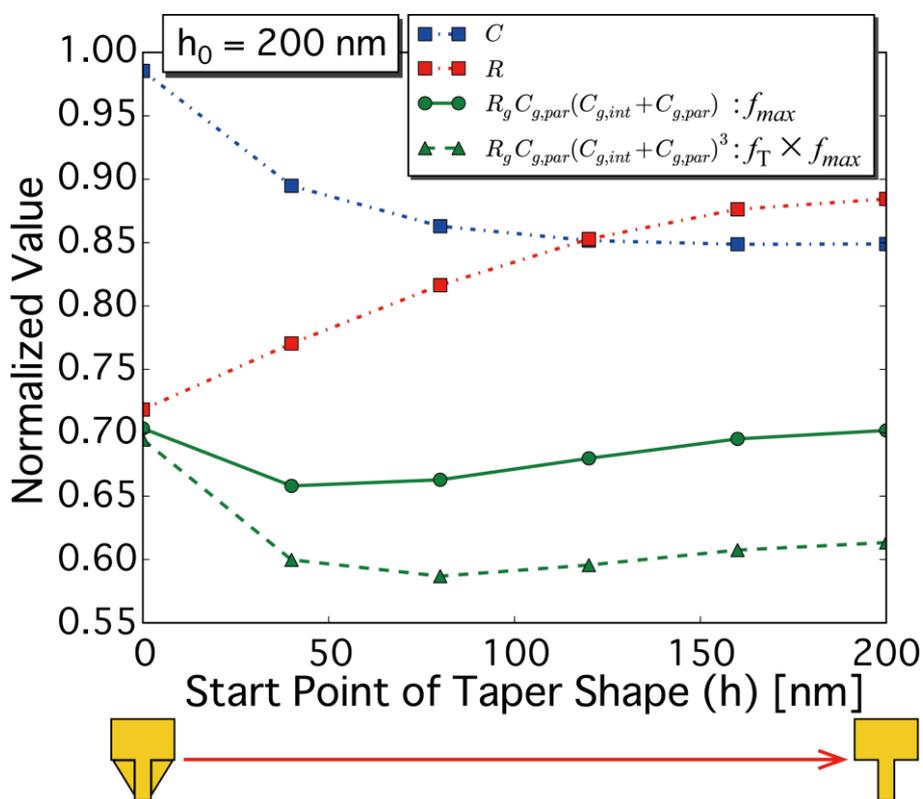


図 3.15: T型ゲート脚部の高さが200 nmの際の各種値の計算結果。

(各値は $h = h_0 = 100 \text{ nm}$ (通常のT型ゲート)での値で規格化されている)

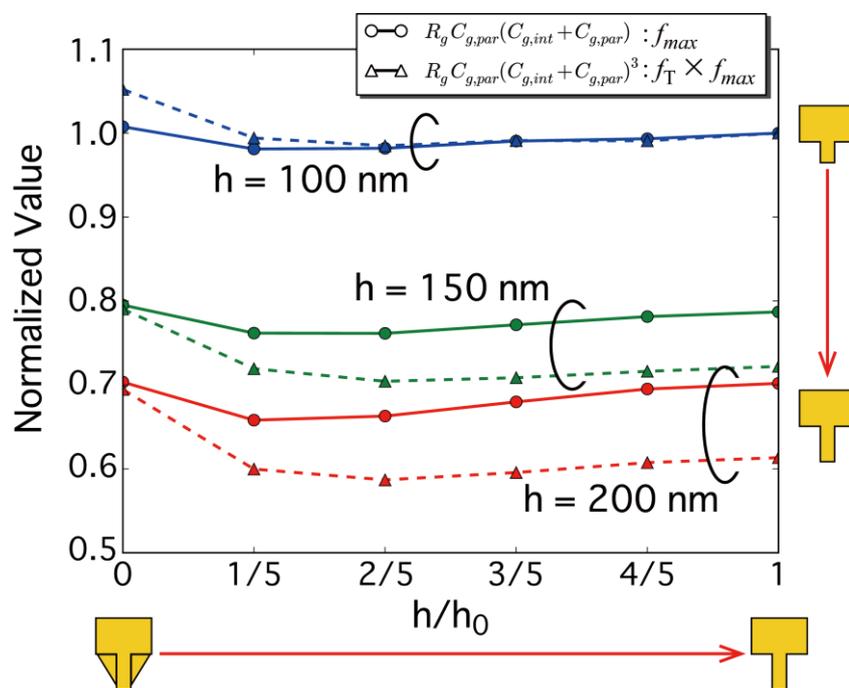


図 3.16: T型ゲート脚部の高さを変化させた際における、T型ゲート電極の最適設計条件の計算結果。
 (各値は $h = h_0 = 100 \text{ nm}$ (通常の T 型ゲート) での値で規格化されている)

3.6 本章のまとめ

第3章では、T型ゲート電極の断面形状を均一性良く制御するSiCN 鋳型プロセスを提案した。SiCN 鋳型プロセスは、これまでの3層レジストを用いたT型ゲート作製プロセスと比較して、レジストを用いないため同一基板内でのT型ゲート形状の均一性の向上が期待される点、T型ゲート脚部の高さについてもレジストを用いないため制御が容易である点、T型ゲート脚部の断面を矩形ではなくテーパを持つ形状を実現できるためT型ゲート電極の頭部金属の剥離による歩留まりの低下を抑制できる点で優位であると言える。また、T型ゲート脚部の形状について、その制御性についても、これまで提案されている手法と比較して、PE-CVDによるSiCN膜の堆積条件を変更するという比較的簡便な手法で制御が可能である点は優位点となる。

つづいてSiCN 鋳型プロセスを利用してT型ゲート電極を作製し、そのDC・RF測定を行った。さらに遅延時間解析によって、T型ゲート電極形状がRF特性に与える影響を確認し、今回作製したゲート長130 nmの脚部にテーパ形状を持つ2種類のT型ゲートにおいて、より良いゲート形状について考察を行った。その結果、本試作において作製したT型ゲート形状においては、テーパ角 θ を大きくすることで、寄生容量の低減を優先すべきであるという結論を得た。ただし、 θ を大きくすることで通常のT型ゲート電極に近づくこととなるため、その値については歩留まりや信頼性も考慮して決定する必要がある。寄生容量の削減を優先する理由としては、今回寄生容量とトレードオフ関係にあるゲート抵抗は、ゲート金属を厚くすることで一定程度であれば低減可能であるためである。

さらに、静電場解析を用いてT型ゲート電極の最適設計について考察を行った。本考察においては、3.3.3項で作製したゲート形状を元に、ゲート電極アスペクト比の範囲が1から2となる範囲においてT型ゲート形状を設定した。本検討範囲においては、最適条件を f_{\max} が最大となる場合と定義した場合についてはT型ゲート脚部の1/5から広がり始める形状が、また、最適条件を f_T と f_{\max} の積が最大となる場合と定義した場合についてはT型ゲート脚部の2/5から広がり始める形状が最適設計条件であるという結果が得られた。上記結果は本検討範囲における最適形状であるが、本解析手法自体はどのようなT型ゲート形状においても解析可能な手法であり、これまで経験に依存していたゲート形状の設計について、比較的簡易な手法により1次近似的にT型ゲート電極の最適形状を得ることが可能となった。つまり、本手法を用いることで、ゲート長を変更した場合や、T型ゲート頭部の長さを変更した場合、テーパ角を変更した場合についてもT型ゲート電極の最適形状について考察が可能である。

第4章 T 型ゲート電極脚部の高さが寄生遅延 時間に与える影響の評価

4.1 本章の目的

T 型ゲート電極頭部の長さが寄生容量や寄生遅延時間に対して与える影響に関する研究は行われていたが[1.51]、その高さに着目した研究はされていなかった。そこで本章では、第3章における結果を踏まえ、ゲート長 110 nm、その頭部長($L_{g,top}$)が 600 nm、T 型ゲート電極の高さが 280、320、340、360 nm である 4 種類の InGaAs-HEMT を作製する。この T 型ゲート電極についての設定では、ゲート電極アスペクト比を前章での検討範囲よりもプロセス的には難易度が向上するがより大きな寄生容量低減効果が期待される範囲に拡大している。すなわち本章の検討では、ゲート電極アスペクト比を第3章で設定された 1~2 から 2.2~3.0 に拡大している。さらに、これらの T 型ゲート電極を持つ InGaAs-HEMT について、寄生容量と寄生遅延時間に対して与える影響を実験的に評価・考察することを目的とする。また、3.3.1 節において提案された SiCN 鋳型プロセスを改善し、ゲート形状の制御性の向上や懸念事項であったゲート抵抗が増大する可能性を除去することを目的とする。

4.2 多層 SiCN 鋳型を用いた T 型ゲート電極の作製(2)

本項では、3.3 節で示した SiCN 鋳型プロセスにおける各種問題点を解決した手法としての、SiCN 鋳型プロセスを示す。図 4.1 にそのプロセスフローを示す。図 4.1(a)(b)(c)のプロセスについては 3.3 節と同様である。ただし本試作では、SiCN 鋳型の膜厚を変えることで T 型ゲート脚部の高さを制御した。SiCN 膜の膜厚は、SiCN 膜のうち第 1 層の堆積時間を変化させ、2 から 10 層の堆積時間は 35 秒に固定することで制御した。その堆積条件については図 4.3 に示した。SiCN 鋳型の形成後は、2 層レジストを用いてゲート金属(Ti/Pt/Au)の蒸着を行った。これにより、図 4.1(e)でゲートの一部がエッチングによって消失する問題や、図 3.5(e)のプロセスの後に大気中に Ti 表面が晒されることで Ti が酸化し、ゲート抵抗が増大するといった問題の解決ができる。続いて、不要な SiCN 鋳型を RIE によって除去(図 4.1(e))し、PE-CVD にパッシベーション膜として SiN 膜の堆積をする(図 4.1(f))ことで T 型ゲートの作製は終了する。

実際に作製した T 型ゲート電極の断面 SEM 画像とその概略図を図 4.3 に示す。本試作においては、T 型ゲート脚部の高さ(h_g)について、280、320、340、360 nm の 4 種類作製した。

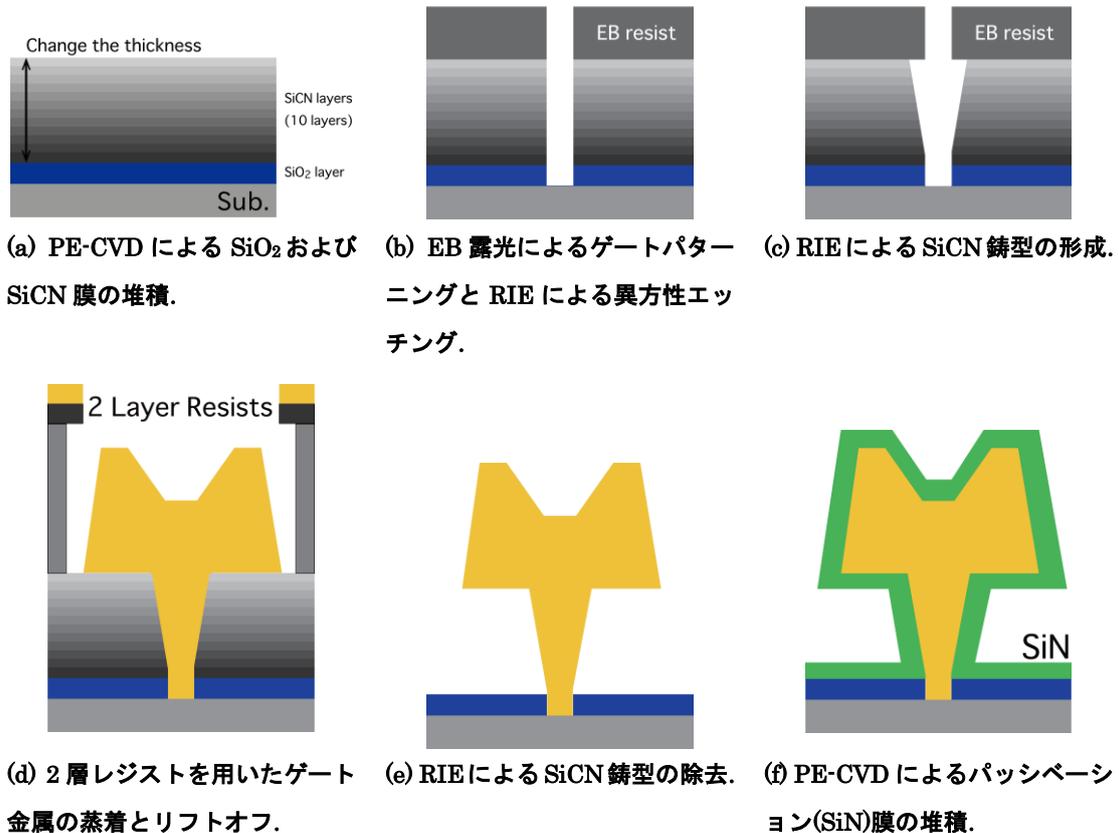


図 4.1: SiCN 鋳型プロセスのプロセスフロー。

本検討範囲は、SiCN 鑄型プロセスで比較的容易に作製可能な T 型ゲート脚部の高さとして設定した。脚部の高さが 360 nm の T 型ゲートは一般的に用いられている T 型ゲート。図 4.3 では T 型ゲート脚部の高さが 360 nm のものを代表として示している。そのゲート長は 110 nm、T 型ゲート電極頭部の長さ($L_{g,top}$)は 600 nm である。また、本試作においては、図 3.13 に示されたようなテーパ形状を持つ T 型ゲート電極を予測したが、実際のゲート形状は、図 4.3 に示されたような通常の T 型ゲート電極となった。これは、図 4.1(c)のプロセスにおいて、鑄型上部に図 3.7(a)に見られるようなバリができていている可能性が考えられる。

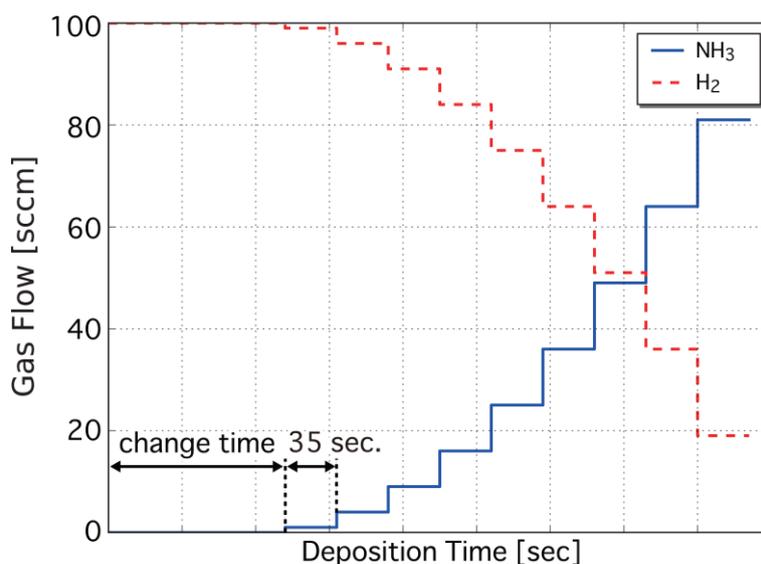


図 4.2: SiCN 鑄型堆積時におけるキャリアガスの流量.

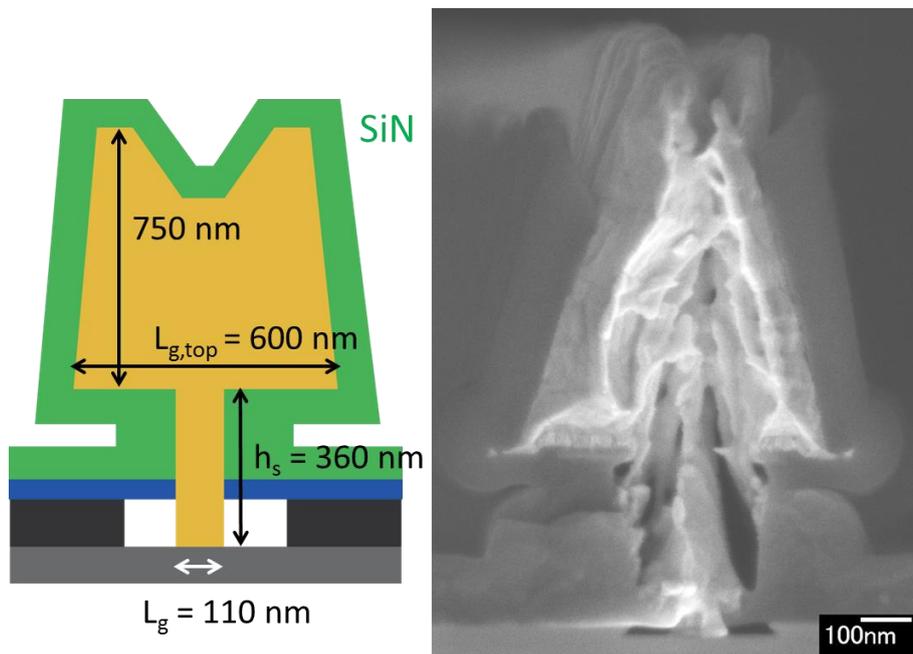


図 4.3: 作製した T 型ゲート電極の断面 SEM 画像とその概略図
(代表として脚部の高さが 360 nm について示す).

4.3 多層 SiCN 鋳型を用いた T 型ゲート電極を持つ InGaAs 系高電子移動度トランジスタの特性

4.3.1 エピタキシャル層構造とデバイス構造

本試作で用いた HEMT のエピタキシャル層構造は、株式会社オプトランスにて半絶縁 InP 基板上に MOCVD によって成長された。このウェハのエピタキシャル層構造を表 4.1 に示す。本ウェハでは、In 組成 0.71 の高 In 組成階段チャネルを用いている。作製した HEMT のデバイス構造を図 4.4 に示す。T 型ゲートについては、4.2 節で示したように、その脚部

表 4.1: 本試作で用いたウェハのエピタキシャル層構造.

層名	材料	膜厚 [Å]	備考
Cap	n-InGaAs	150	ドーピング濃度 : 10^{19} cm^{-3}
	n-InAlAs	150	
Etch Stop	i-InP	60	
Barrier	i-InAlAs	50	
Carrier Supply	n-InAlAs	50	キャリア濃度 : $2.5 \times 10^{12} \text{ cm}^{-2}$
Spacer	i-InAlAs	30	
Channel	i-In _{0.53} Ga _{0.47} As	30	
	i-In _{0.71} Ga _{0.29} As	80	
	i-In _{0.53} Ga _{0.47} As	50	
Buffer	i-InAlAs	100	

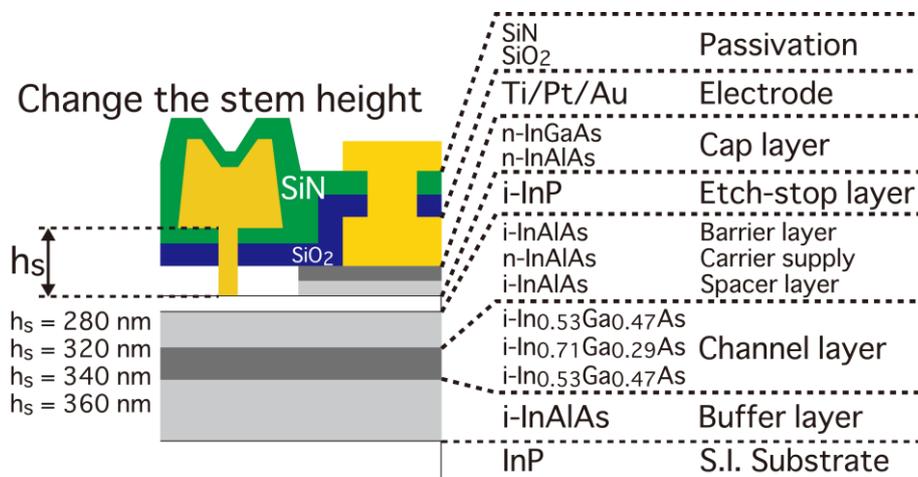


図 4.4: 作製した HEMT の概略図.

の高さを変えた4種類のT型ゲートを持つHEMTを作製した。ゲート位置はソース・ドレイン電極の中央である。

4.3.2 DC 特性

測定に用いたデバイスの設計寸法は、ソース・ドレイン間隔が $3.0\ \mu\text{m}$ 、ゲート幅が $50\ \mu\text{m} \times 2\ \text{fingers}$ である。図 4.5 に、図 4.3 で示された脚部の高さが $360\ \text{nm}$ の T 型ゲートを持つ HEMT の $I_{\text{ds}}\text{-}V_{\text{ds}}$ 特性を代表として示す。ゲート電圧は $-1.2\ \text{V}$ から $0\ \text{V}$ まで $0.1\ \text{V}$ 刻みで変化させた。図中の赤い点は、後述する RF 測定で用いたバイアス点である。本デバイスの相互コンダクタンスの最大値は、 $875\ \text{mS/mm}$ ($@\ V_{\text{ds}} = 0.8\ \text{V}$, $V_{\text{gs}} = -0.5\ \text{V}$)、閾値は $-0.75\ \text{V}$ 、ソース抵抗とドレイン抵抗はどちらも $0.30\ \Omega\text{mm}$ 、ゲート抵抗は $150\ \Omega\text{mm}$ である。これらの値については、T 型ゲートの脚部の高さが異なる他の HEMT についてもほぼ同等となった。

図 4.6 に本試作で作製した HEMT のショットキー特性を示す。T 型ゲート脚部の高さが高い場合、ゲート金属が脚部を埋めることができず、ゲートにすがることによりゲート抵抗の増大が問題になる。しかしながら図 4.6 より、本試作で作製した HEMT についてはそのような問題は確認できない。これは、本試作の HEMT のゲート抵抗がほぼ同程度であったことから確認できる。

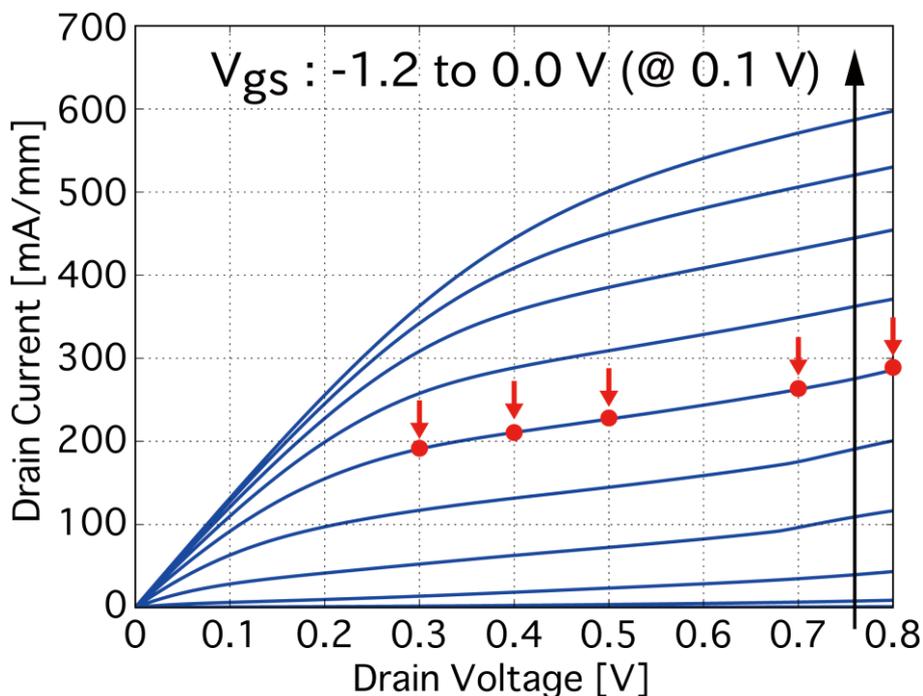


図 4.5: ゲート長 $110\ \text{nm}$ の HEMT におけるドレイン電流のドレイン電圧依存性。
赤い点は RF 測定のバイアス点を示している。

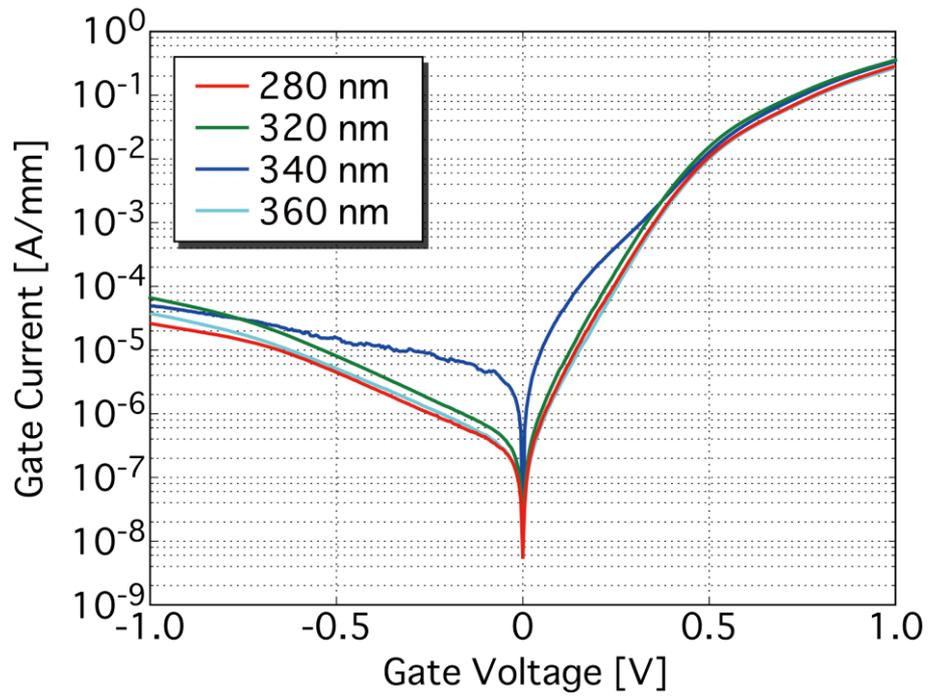


図 4.6: T型ゲート脚部の高さを変えた HEMT のショットキー特性.

4.3.3 RF 特性

S パラメータの測定は、0.5 から 60.5 GHz までの範囲で測定された。この周波数範囲において、各種回路パラメータの導出は 10 から 18 GHz の周波数範囲で、 f_T の外挿は 40 から 50 GHz の周波数範囲で行われた。図 4.7 に測定された S パラメータの一例として、図 4.5 で測定に用いた HEMT について、 $V_{ds} = 0.8 \text{ V}$ 、 $V_{gs} = -0.3 \text{ V}$ での測定結果を示す。図中の矢印は周波数依存性を示しており、低周波から高周波に向かって引かれている。この結果は測定値でありパッド電極の補正前の S パラメータである。図 4.7 に示されたスミスチャートは典型的な結果であり、 S_{21} については HEMT の利得により図中からはみ出すため、1/10 にした値を示している。 $V_{ds} = 0.8 \text{ V}$ 、 $V_{gs} = -0.3 \text{ V}$ におけるパッド補正後の各種利得を図 4.8 に示す。電流利得遮断周波数は 255 GHz、MSG から求めた f_{max} は 195 GHz となった。本項では、T 型ゲート脚部の高さが 360 nm の HEMT における結果を代表値として示したが、脚部の高さが異なる他の HEMT についても同様に測定を行い、4.3.5 節での遅延時間解析において利用した。

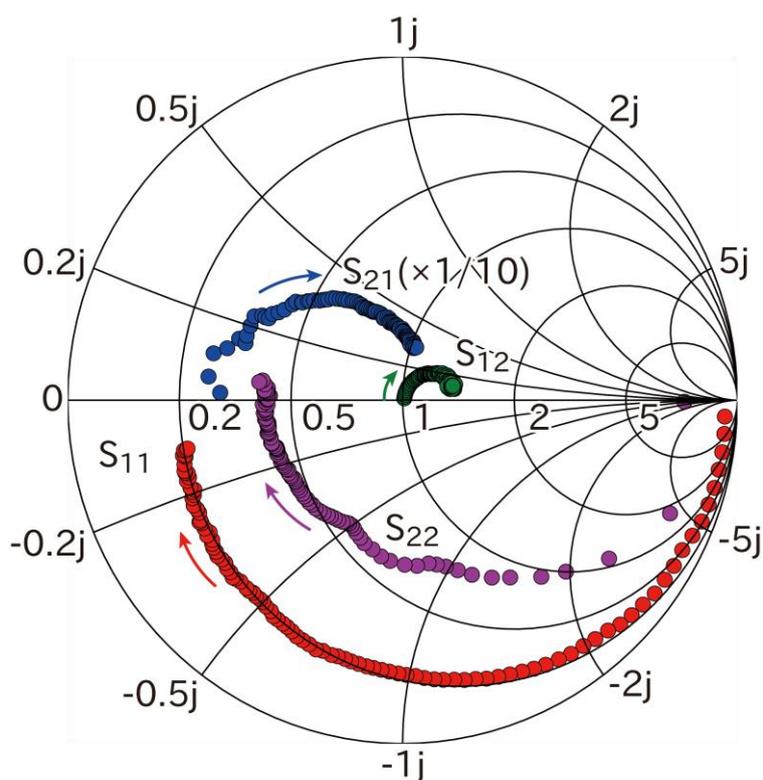


図 4.7: 本試作で作製したゲート長 110 nm、T 型ゲート脚部の高さが 360 nm の HEMT における $V_{ds} = 0.8 \text{ V}$ 、 $V_{gs} = -0.4 \text{ V}$ でのパッド補正前の S パラメータ。

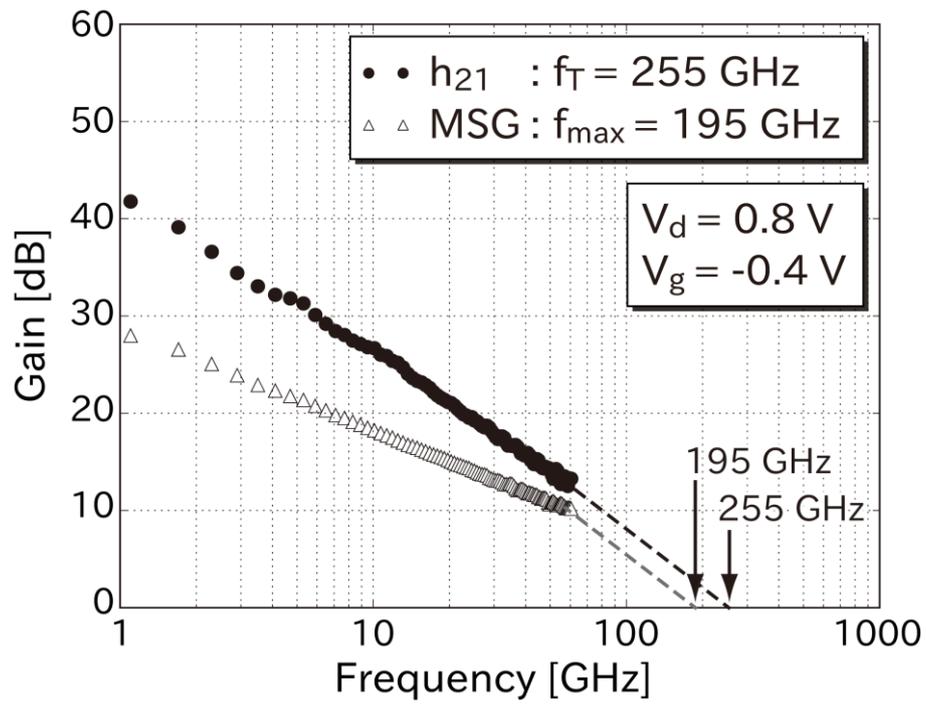


図 4.8: 本試作で作製したゲート長 110 nm、T型ゲート脚部の高さが 360 nm の HEMT における $V_{ds} = 0.8$ V、 $V_{gs} = -0.3$ V での f_T および f_{max} .

4.3.4 静電場解析

静電場解析の手法としては3.5.1節と同様の手法を用いて寄生容量の導出を行った。静電場解析で用いたT型ゲートのモデルは、図4.3で示された概略図をさらに簡略化したモデルを用いた。ゲート長は110 nm、ゲート・チャンネル間距離は22 nmとし、T型ゲート電極頭部は長さ600 nm、高さ750 nmの矩形とした。T型ゲート脚部の高さについては、第3章で議論したゲート電極アスペクト比を、前章での検討範囲よりもプロセス的には難易度が向上するがより大きな寄生容量低減効果が期待される範囲として、1~2から2.2~3.0に拡大し、 h_s を280 nmから360 nmまで20 nm刻みで変化させ、容量計算を行った。ここで得られた寄生容量の値は、チャンネルのゲート直下以外の部分が完全に電子で満たされている状態(寄生容量の測定で用いられる状態)での容量と対応している。解析に用いたモデルを図4.9に、各種パラメータを表4.2に示す。さらに容量値は、T型ゲート脚部の高さが280 nmの際の容量を1として規格化を行い、その値を表4.3にまとめた。T型ゲート脚部の高さを伸長することで、寄生容量の減少がみられており、本結果は妥当であるといえる。4.3.5節では、HEMTの測定結果と本結果を比較し、その妥当性についてより詳細な検討を行う。

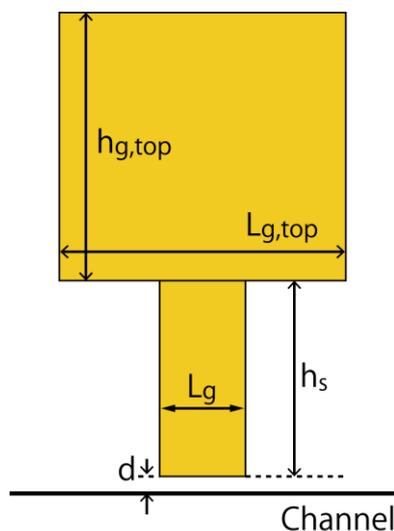


図 4.9: 解析モデルの概略図.

表 4.2: 静電場解析に用いた各種パラメータ.

固定値	値
L_g	110 nm
$L_{g,top}$	600 nm
$h_{g,top}$	750 nm
d	22 nm
変数	値
h_s	280 – 360 nm (@ 20 nm)

表 4.3: 静電場解析による寄生容量のT型ゲート脚部の高さに対する依存性.

Stem height (h_s) [nm]	280	300	320	340	360
$C_{g,par}$	1	0.981	0.965	0.952	0.940

4.3.5 遅延時間解析と回路パラメータの抽出

寄生容量の T 型ゲート脚部の高さに対する依存性を実験的に明らかにするために、寄生容量の測定を 2.3.3.4 項で述べた手法を用いて行った。その結果、T 型ゲート脚部の高さが 280、320、340、360 nm の T 型ゲート電極に対して寄生容量は、475、458、447、446 fF/mm となった。これらの値について、T 型ゲート脚部の高さが 280 nm の際の値で規格化した結果について、表 4.3 に示されている静電場解析の結果と合わせてプロットしたものを図 4.10 に示す。測定値についても T 型ゲート脚部を伸長するに従い減少しており、また、静電場解析の結果と非常によく一致することがわかる。本結果は脚部がより高い T 型ゲートを作製することで、寄生容量のさらなる低減が可能であることを示している。

この寄生容量の減少が HEMT の RF 特性にどのような影響を与えるかについて詳細に議論を行うため、遅延時間解析を用いてさらなる考察を行った。T 型ゲート脚部の高さに対する寄生遅延時間の変化について、ドレイン電圧に対する依存性を図 4.11 に示す。この時すべての測定点について $V_{gs} = -0.4$ V とした。ドレイン電圧が 0.3 V の際には T 型ゲート脚部を高くするに連れて寄生容量が明瞭に減少している。この傾向は図 4.10 の寄生容量の変化と一致する。しかしながら、ドレイン電圧を大きくするに連れてこの依存性は小さくなり、ドレイン電圧が 0.8 V の際には依存性が確認できない。本結果は HEMT がニー電圧周辺で動作している場合には寄生容量が寄生遅延時間に対して影響を与える一方、HEMT が飽和領域の深いバイアス点で動作する様な場合には寄生容量は寄生容量に対してほぼ影響しない

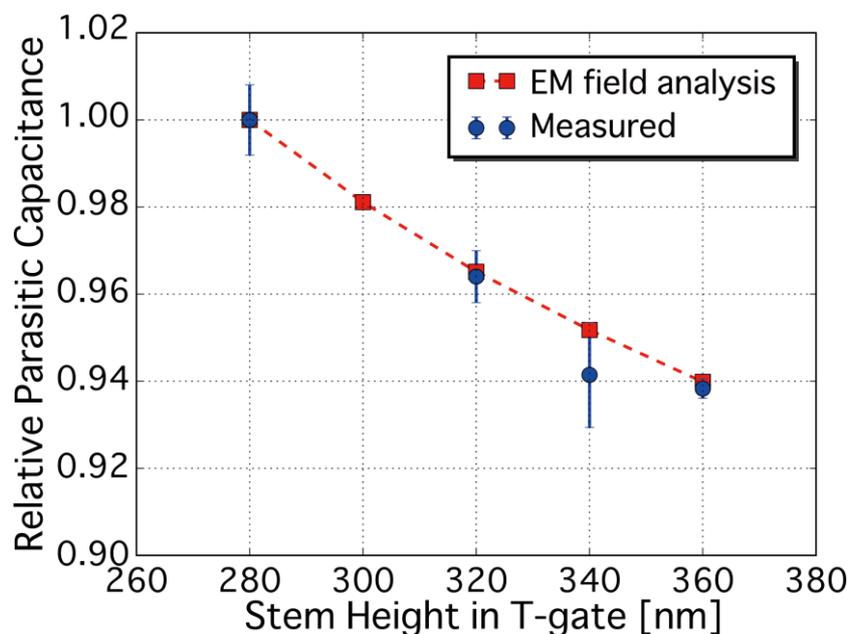


図 4.10: 静電場解析および作製した InGaAs-HEMT の測定結果から得られた、寄生容量の T 型ゲート脚部の高さに対する依存性。

ことを示唆している。このような結果となった理由としては、飽和領域ではドレイン側に空乏層が伸びるため、ゲート形状に起因する寄生容量が実効的に低下したことが原因である。つまり、低バイアス領域では図 4.12(a)に示すようにチャンネル全体に 2DEG が生じているため、静電場解析から得られる容量と対応するゲート形状に依存した寄生容量を持つ。そのため、寄生遅延時間の中で容量値が一定の割合を占めるため、寄生遅延時間が T 型ゲート電極脚部の高さ(寄生容量)に対して依存性を持つ。一方で高バイアス側では図 4.12(b)に示すようにドレイン側に空乏層が広がるため、見かけの寄生容量が減少し、寄生遅延時間の中で寄生容量の占める割合が低下するため、寄生遅延時間が T 型ゲート電極脚部の高さ(寄生容量)に対して小さな依存性しか持たなくなる。本結果は、T 型ゲート電極脚部の高さを変化した際の、寄生容量と寄生遅延時間に対する依存性を示しており、どのような T 型ゲート電極に対しても、程度の違いはあれど、同様の結果を示すと考えられる。

本結果より、T 型ゲート電極のその応用用途による設計指針を得ることができる。低ドレイン電圧で HEMT を使用する場合には寄生容量が高周波性能に影響するため T 型ゲート頭部の長さや脚部の高さなどの設計に十分注意を払う必要がある一方で、高ドレイン電圧での使用する場合については寄生容量の影響が小さくなるためゲート抵抗低減のために T 型ゲート電極頭部を大きくすることが可能である。

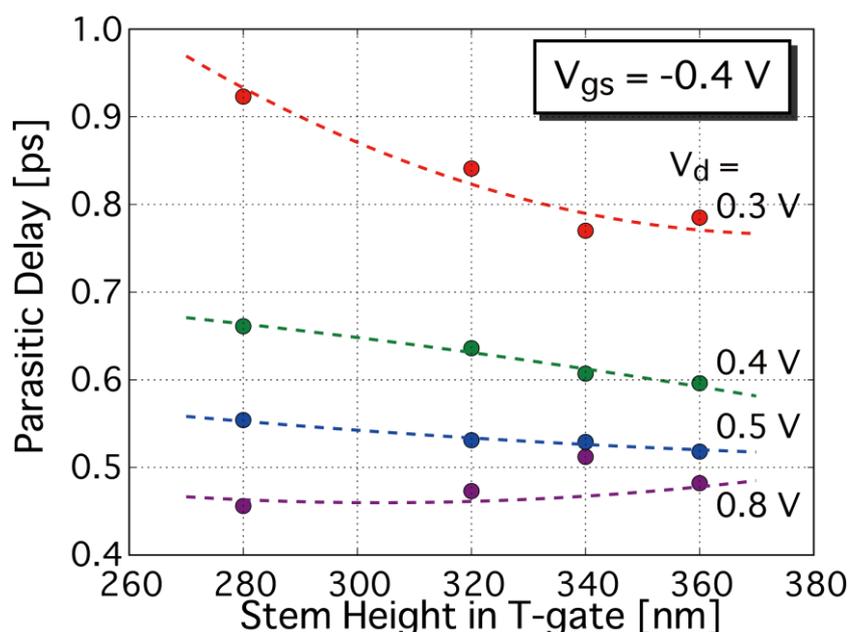
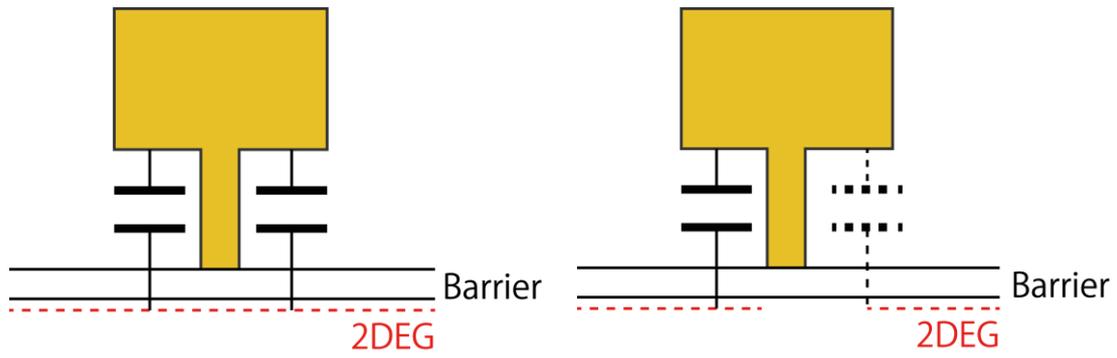


図 4.11: 寄生遅延時間の T 型ゲート脚部の高さに対する依存性.



(a) 低バイアス条件または静電場解析での
寄生容量の状態.

(b) 高バイアス条件での寄生容量の状態.

図 4.12: 寄生容量のバイアス依存性に対する考察.

4.4 本章のまとめ

第4章では、3.3.1節において提案されたSiCN 鋳型プロセスを改善し、ゲート形状の制御性の向上や懸念事項であったゲート抵抗が増大する可能性を除去した、改良型のSiCN 鋳型プロセスを示した。

これまでには、T型ゲート電極頭部の長さが寄生容量や寄生遅延時間に対して与える影響に関する研究は行われていたが[1.51]、その高さに着目した研究はされていなかった。そこで、第4章では、ゲート長110 nm、その頭部長600 nmのT型ゲート電極について、T型ゲート電極の高さが280、320、340、360 nmである4種類のInGaAs-HEMTを作製した。このT型ゲート電極についての設定では、ゲート電極アスペクト比を、前章での検討範囲よりもプロセス的には難易度が向上するがより大きな寄生容量低減効果が期待される範囲として、第3章で設定された1~2から、本章では2.2~3.0に拡大されている。さらに、これらのT型ゲート電極を持つInGaAs-HEMTについて、そのDCおよびRF測定や遅延時間解析、回路パラメータの抽出を行うことで、T型ゲート脚部高さが寄生容量や寄生遅延時間に与える影響を評価した。その結果、寄生容量はT型ゲート電極の脚部が高くなるに従って減少した。この結果は、作製したゲート形状を元にしたゲートモデルを用いて静電場解析から導出した寄生容量の依存性とよく一致している。しかしながら、低ドレイン電圧ではT型ゲート脚部の高さに依存して変化していた寄生遅延時間が、高ドレイン電圧ではほぼ依存性を持たなくなった。本結果は、T型ゲート電極脚部の高さが変化した場合の、寄生容量と寄生遅延時間に対する依存性を示しており、どのようなT型ゲート電極に対しても、程度の違いはあれど、同様の結果を示すと考えられる。本結果から、HEMTの動作について、低バイアスで動作する際には遅延時間に対してT型ゲート電極構造が影響を与えるため、その設計に注意が必要であるのに対して、高バイアス動作時にはその影響が小さくなるため、より大きなT型ゲート電極頭部を使用可能である。つまり、T型ゲート電極構造の設計においては応用用途におけるバイアス点を考慮することで最適な構造が決まる。HEMTの動作点と寄生遅延時間の関係については、その応用用途として想定される増幅器の負荷線上においてさらなる考察が必要である。この点に関しては、第6章で、InGaAs-HEMTの回路パラメータを用いて設計されたF級増幅器の負荷線上において、その関係性について考察を行った。

第5章 SiCN 鋳型を用いて作製した傾斜フィールドプレート構造を持つ InGaAs 系高電子移動度トランジスタの作製

5.1 本章の目的

本章では、これまで培った SiCN 鋳型プロセスを応用し傾斜 FP 構造を作製することで、本構造の作製手法の確立を目指す。さらに、膜厚が 200 nm 前後の SiCN 鋳型の段数を変えて作製した複数の多段 FP 構造と傾斜 FP 構造の耐压特性を測定・比較することで、傾斜 FP 構造における耐压の改善効果について考察することを目的とする。さらに、これまで数百 nm オーダーであった傾斜 FP 構造を百 nm 以下の極短ゲート領域で作製可能であることを示し、そのデバイス特性を測定、解析することで、今後の高周波・高耐压デバイスの開発に対して、プロセス技術からのアプローチを示すことを目的とする。具体的には、100 nm 以下のゲート長を持つ InGaAs-HEMT において、ミリ波帯(30 - 300 GHz)での動作と、オフ耐压 10 から 20 V を両立するデバイスの作製を目的とする。

5.2 材料系の選択

本節においては、高周波・高耐压デバイスの実現に向けて材料系の選択について述べる。図 5.1 に主な横型トランジスタにおける、動作周波数と出力の関係についての概略図を示す。縦型デバイスについては、一般的に高周波デバイスとして用いられないため、ここでは割愛する。図中に示される様に GaN や SiC、GaO といったワイドバンドギャップ半導体デバイスは主に、高耐压用途に用いられる。一方で、InP 基板上に作製された各種 HEMT (InGaAs-HEMT、InAs-HEMT)は高周波動作が求められる用途において用いられている。図 5.2 に各種半導体材料のバンドギャップと絶縁破壊電界の関係を示した [5.1][5.2][5.3][5.4][5.5][5.6]。[5.1]によれば、絶縁破壊電界 E_B とバンドギャップ E_g との間には、

$$E_B = 0.235 \times E_g^{2.05} \quad (5.1)$$

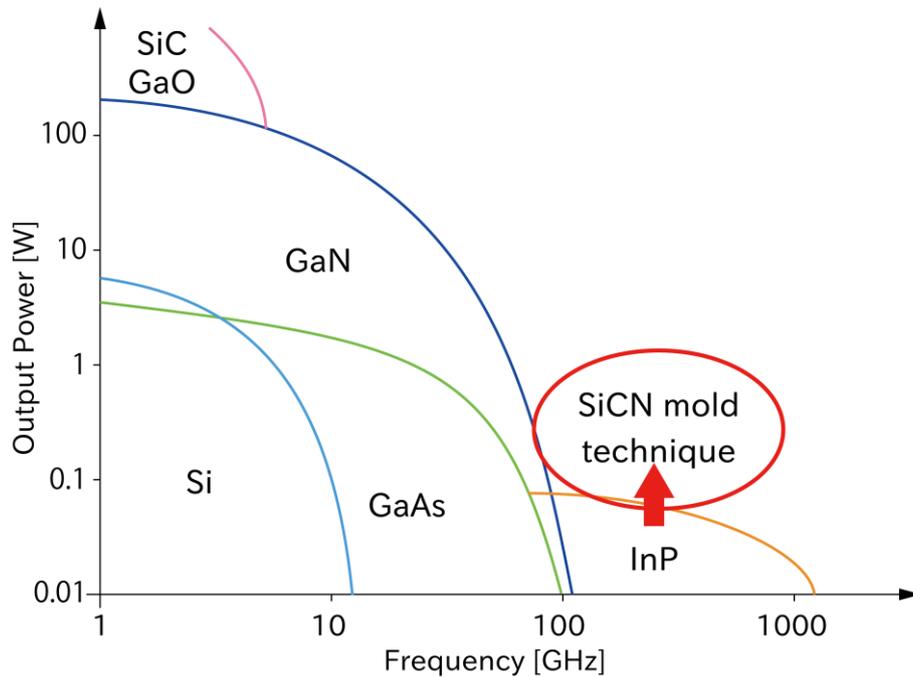


図 5.1: 主な横型トランジスタに用いられる材料系における、動作周波数と出力の関係。

の関係がある。InGaAs の破壊電界は InAs と GaAs の中間に有り、絶縁破壊電界が低いため、その応用においては出力が制限されている。SiCN 鋳型プロセスを利用して作製した各種 FP 構造は、これらのデバイスの耐圧を改善し、各種応用における適応範囲を広げるものである。GaN 系 HEMT においては、FP 構造により界面準位の影響が減り、高周波性能が改善したという報告が[5.7]においてなされているため、FP 構造がデバイスの耐圧と高周波性能に与える影響を純粋に評価する本研究においては適さない。本研究においては短ゲート領域での傾斜 FP 構造の作製手法の確立とその耐圧や高周波性能への影響を評価することが目的であるため、(1) InGaAs-HEMT では界面準位による問題を無視でき、純粋に FP 形状やソース・ドレイン抵抗等によってその高周波性能が決定されるため、FP 構造に起因した高周波性能高周波性能の変化を評価しやすい点、(2) プロセス技術が確立しているため歩留まりが高い点、(3) 元々の耐圧が低いため各種 FP 構造による耐圧の改善効果が確認しやすい点、(4) 断面形状が重要となる多段・傾斜 FP 構造において基板を劈開し断面 SEM 観察が容易である点、が有用であったため InGaAs-HEMT を用いた。

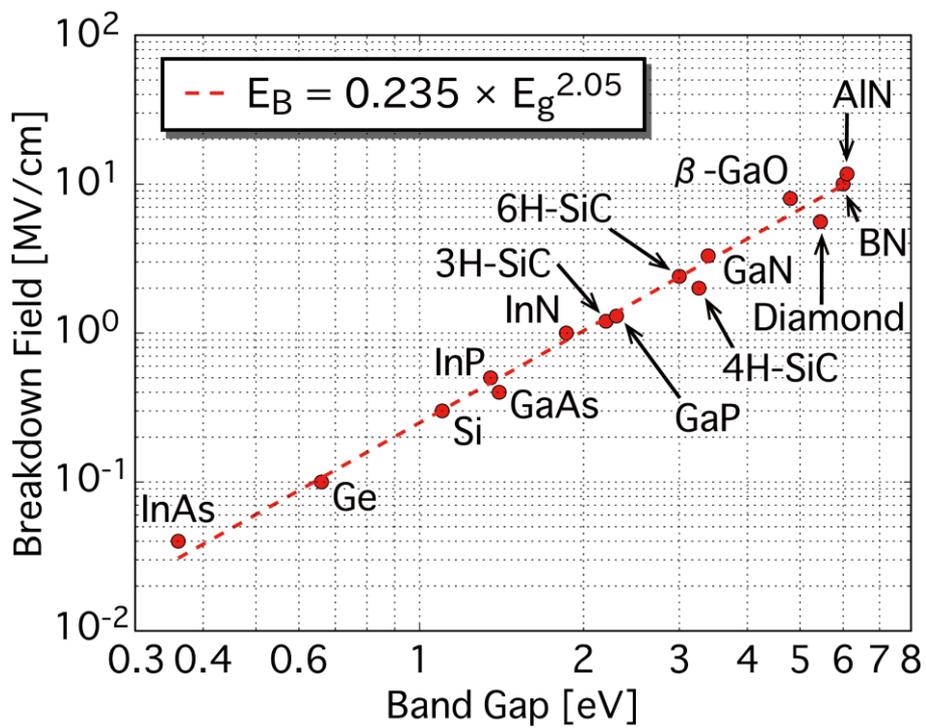


図 5.2: 各種半導体材料のバンドギャップと絶縁破壊電界の関係.

5.3 エピタキシャル層構造とデバイス構造

本試作で用いた HEMT のエピタキシャル層構造は、株式会社オプトランスにて半絶縁 InP 基板上に MOCVD によって成長された。このウェハのエピタキシャル層構造を表 5.1 に示す。本ウェハでは、In 組成 0.63 の高 In 組成チャンネルを用いている。作製した HEMT のデバイス構造を図 5.3 に示す。ゲート電極には SiCN 鋳型プロセスを応用して作製した多段 FP、もしくは、傾斜 FP 構造を用いている。ゲートはソース・ドレイン電極の中央に配置している。本試作においては、FP 構造による電界集中緩和効果を阻害しないように、ゲート周囲にエアギャップを持たないフルパッシベーション構造とした[5.8]。本試作においてはフルパッシベーション構造を実現するために、SiCN 膜堆積前にソース・ドレイン電極をエッチングマスクとしてキャップ層をエッチングした。そのため、ソース・ドレイン電極直下を除いてキャップ層がエッチングされている。

表 5.1: 本試作で用いたウェハのエピタキシャル層構造.

層名	材料	膜厚 [Å]	備考
Cap	n-InGaAs	150	ドーピング濃度: 10^{19} cm^{-3}
	n-InAlAs	150	
Etch Stop	i-InP	60	
Barrier	i-InAlAs	50	
Carrier Supply	n-InAlAs	50	キャリア濃度: $2.0 \times 10^{12} \text{ cm}^{-2}$
Spacer	i-InAlAs	30	
Channel	i-In _{0.63} Ga _{0.37} As	150	
Buffer	i-InAlAs	100	

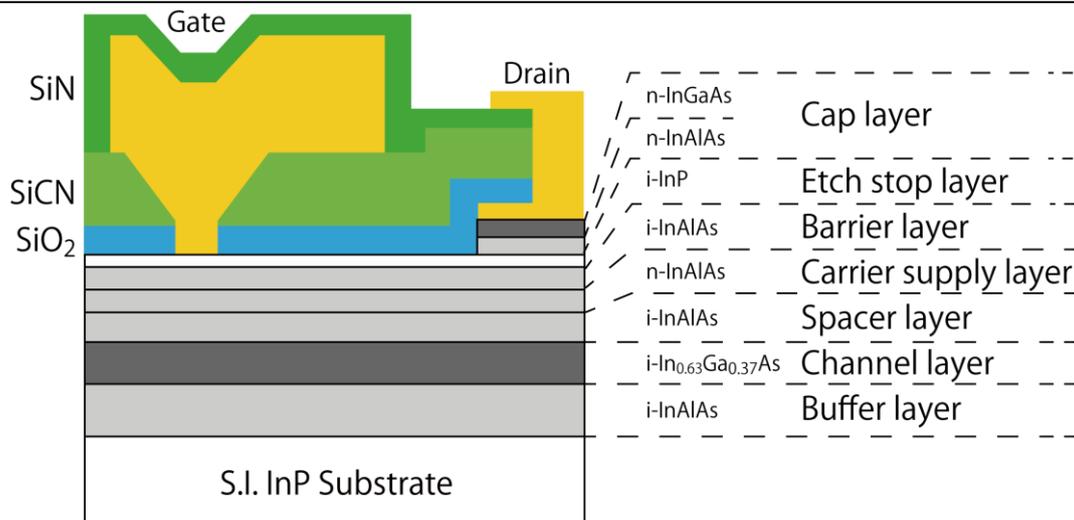


図 5.3: 作製した HEMT の概略図.

5.4 SiCN 鋳型を用いた傾斜フィールドプレート構造の 作製

傾斜 FP 構造を作製するために利用した SiCN 鋳型プロセスを図 5.4 に示した。基本的には図 4.1 に示されているプロセスと同様であるが、本試作では多段 FP 構造と傾斜 FP 構造を作製するために、1 層の SiO₂ 膜に加え、SiCN 膜の層数を 1、2、3、10 層とし鋳型を作製した(図 5.4(a))。SiO₂ 膜はゲート長の決定のために、SiCN 膜は鋳型形状決定のために用いられている。以下では SiCN 鋳型については SiCN 膜の層数である 1、2、3、10 層 SiCN 鋳型と呼称する。これを用いて作製した FP 構造については SiO₂ 層を含むため、SiCN 鋳型の層数と比較して段数が 1 段増えることに注意が必要である。本試作における、SiCN 膜堆積時に利用したキャリアガスの水素およびアンモニアについて、その流量を図 5.5 に示す。FP 構造ではその傾斜角が重要な意味を持つ。3.3.3 項で SiCN 膜の堆積時のキャリアガスの流量変化の違いによって T 型ゲート電極の断面形状が変化することを示したが、本試作においては FP の傾斜角を小さくするために、キャリアガスの流量を線形に変化させながら、堆積時間の合計が 330 秒となるように SiCN 膜の堆積を行った。ゲート形状については、傾斜部以外の部分についても電界集中の緩和効果を得るために、ドレイン側に張り出したゲート形状とした(図 5.4(d))。本形状は、副次的な効果としてゲート抵抗の低減効果も見込める。ゲート金属としては Ti/Pt/Au を用いた。また、プロセス中に SiCN 膜の除去を行わず、SiCN 膜を残したままパッシベーション膜の堆積を行っている(図 5.4(e))。

図 5.6 に本試作において作製した多段および傾斜 FP 構造を示す。図中右側がドレイン側である。SiCN 鋳型の膜厚(h_{FP})は図 5.6(a)(b)(c)(d)それぞれに対して、210、195、190、190 nm である。この差異は PE-CVD においてキャリアガスの流量を変化させた際の SiCN 膜の堆積レートの差に起因している。すべての FP 構造について、FP 電極頭部長($L_{g,top}$)は 1 μm であった。設計ゲート長はすべてのパターンについて 180 nm であるが、実ゲート長は、図 5.6(a)(b)(c)(d)それぞれに対して、230、200、200、210 nm である。これは、図 5.4(b)(c)でのサイドエッチングによるパターンの広がりがあるためである。図 5.6(a)で他よりもゲート長が長い理由としては、エッチングレートの早い SiCN 膜を 1 層のみ SiO₂ 上に堆積しているため、パターンが広がりやすかったと考えられる。図 5.6 ゲート直下では SiO₂ 直下と比較して半導体界面が沈み込んでいるが、これは図 5.4(b)(c)における半導体表面のエッチングが原因である。図 5.6(a)には 2 層の鋳型を用いて作製した FP 構造を示す。1 層 SiCN 鋳型を用いているため、2 段の FP 構造が形成されるはずであるが、形成された FP 構造は 3 段であった。これは SiCN 膜のエッチングレートが早いこと、サイドエッチングが深くなるに連れて、拡散律速によってエッチング速度が不均一になったことが原因であると考えられる。図 5.6(b)

に2層 SiCN 鋳型を用いて作製した FP 構造を示す。断面形状については、ドレイン側が滑らかではないものの3段 FP 構造ができていることが確認できる。ただし、がたつきの影響で傾斜 FP 構造とも見ることもできる。図 5.6(c)(d)に3層、10層の SiCN 鋳型を用いて作製した FP 構造を示す。両鋳型を用いて作製した FP 構造ともに、傾斜 FP 構造が形成された。傾斜角は一定ではないため定義が困難であるが、最下層での角度について、3層 SiCN 鋳型を用いた傾斜 FP 構造で 65° 、10層 SiCN 鋳型を用いた傾斜 FP 構造で 55° となっている。多段 SiCN 鋳型を用いたにも関わらず、傾斜 FP 構造が形成された理由としては、SiCN 鋳型の段数を増やすことで各段のエッチングレートの差が小さくなったこと、また、上面と側面からエッチングガスに曝される角部分がエッチングされ、段間が滑らかになったことが原因である。傾斜角の違いについては、SiCN 鋳型の堆積条件の違いに起因している。次節においてはこれらの FP 構造が耐圧に与える影響について検討する。

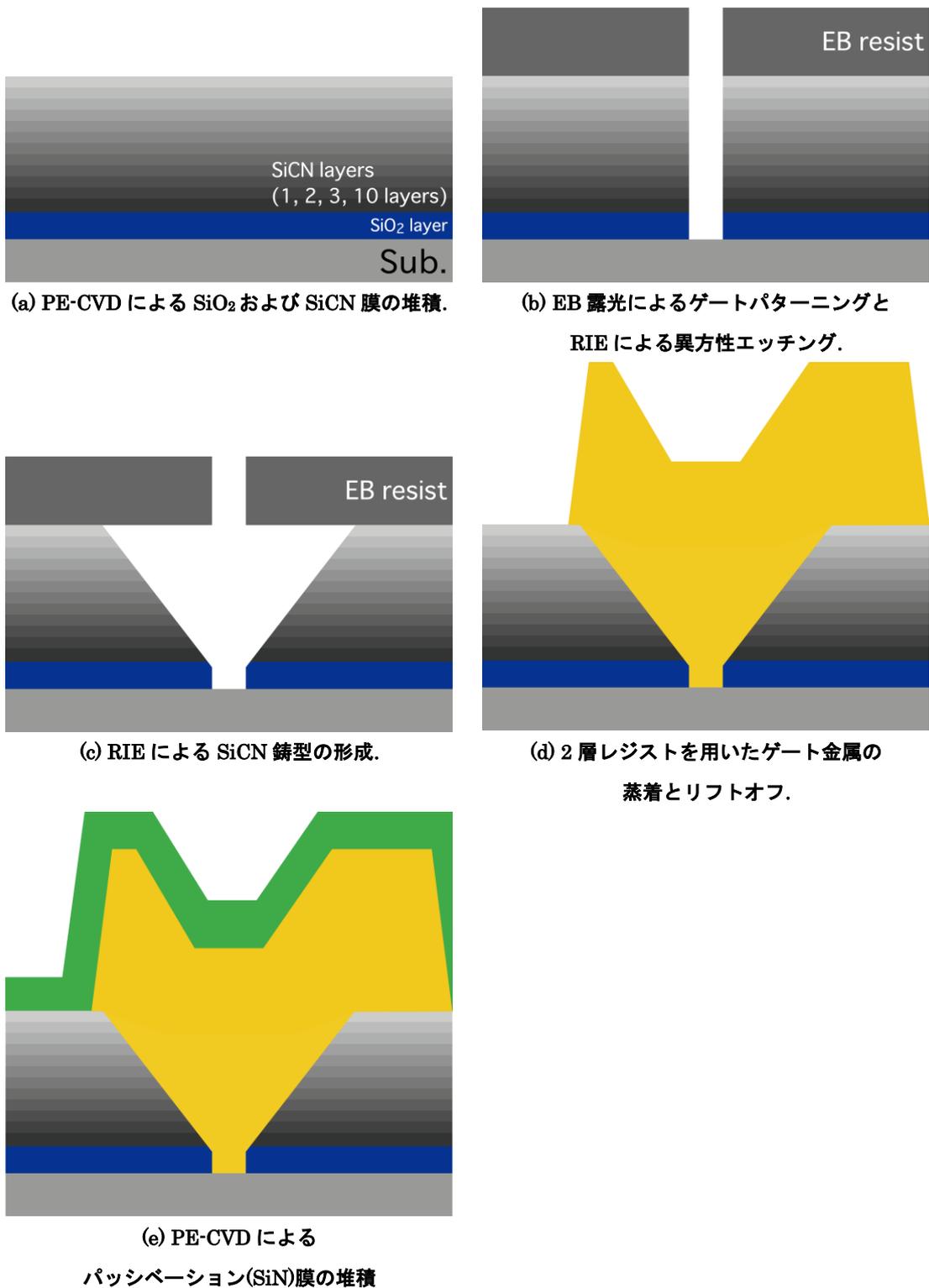
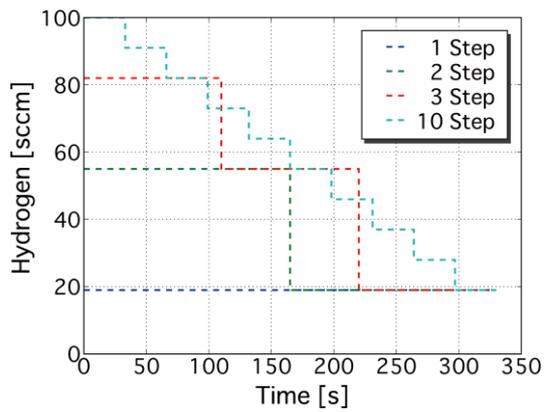
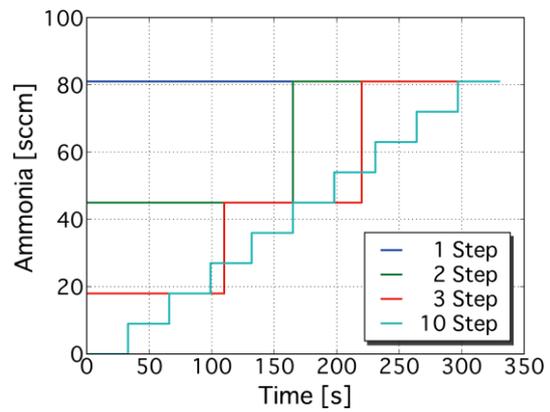


図 5.4: SiCN 鑄型プロセスを利用した傾斜 FP 構造の作製方法.

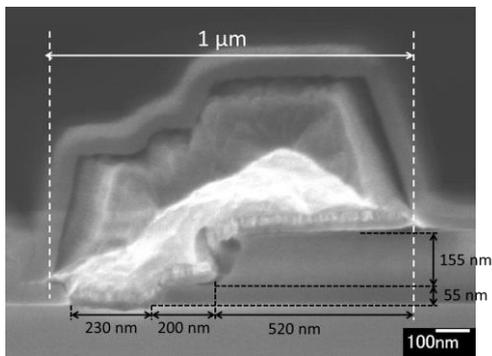


(a) 水素の流量変化.

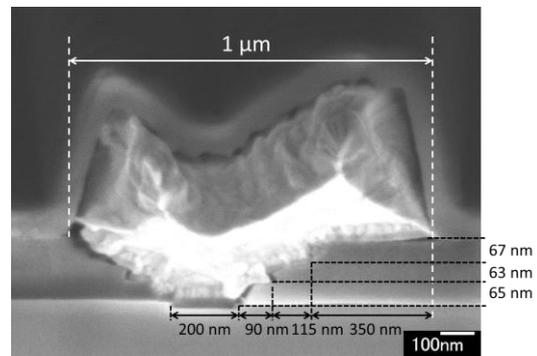


(b) アンモニアの流量変化.

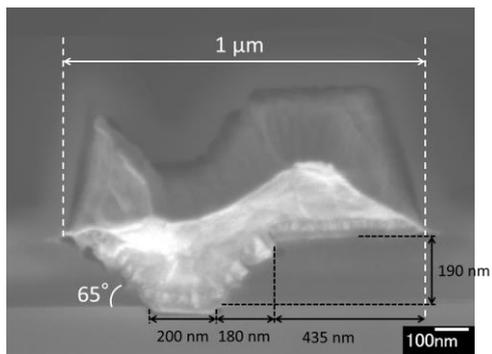
図 5.5: SiCN 膜堆積時のキャリアガスの流量変化.



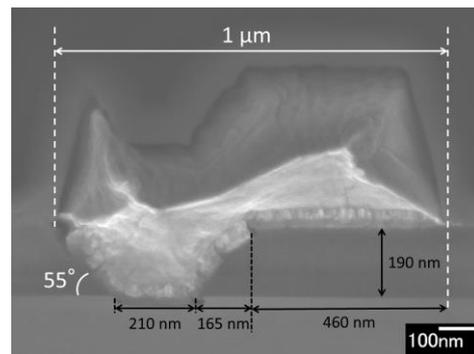
(a) 1層 SiCN 鋳型を用いて作製した FP
($L_g = 230$ nm).



(b) 2層 SiCN 鋳型を用いて作製した FP
($L_g = 200$ nm).



(c) 3層 SiCN 鋳型を用いて作製した FP
($L_g = 200$ nm).



(d) 10層 SiCN 鋳型を用いて作製した FP
($L_g = 210$ nm).

図 5.6: SiCN 鋳型プロセスによって作製された
多段および傾斜フィールドプレート構造の断面 SEM 画像.

5.5 SiCN 鋳型を用いて作製した傾斜フィールドプレート構造を持つ InGaAs 系高電子移動度トランジスタの耐压特性

図 5.7 に図 5.6 の SEM 画像に示した種々の FP 構造を持つ HEMT の破壊耐压(BV_{gd})を示した。また、通常のリセス構造と T 型ゲート電極を持つ HEMT の耐压についても参考として図中に示した。参考となる HEMT の作製に用いたエピタキシャル基板は、表 5.1 に示されたものとキャリア濃度(本ウェハではキャリア濃度が $2.5 \times 10^{12} \text{ cm}^{-2}$)を除いて同様のエピタキシャル層構造を持つ。表 5.2 に今回の耐压測定に使用したバイアス点と耐压をまとめた。耐压測定のバイアス点については、それぞれの HEMT について閾値が異なること、また、閾値近傍での耐压を測定するために、 $V_{ds} = 0.2 \text{ V}$ とした時の $I_{ds}-V_{gs}$ 特性において、 I_{ds} が最小となる時の V_{gs} をバイアス点($V_{gs,bias}$)として設定した。今回使用した HEMT はすべてショットキーゲート構造のため、図 5.4(b)(c)に示されている様に RIE によりゲート直下がエッチングされることで、ショットキーゲートの出来が不均一である可能性がある。そのため、

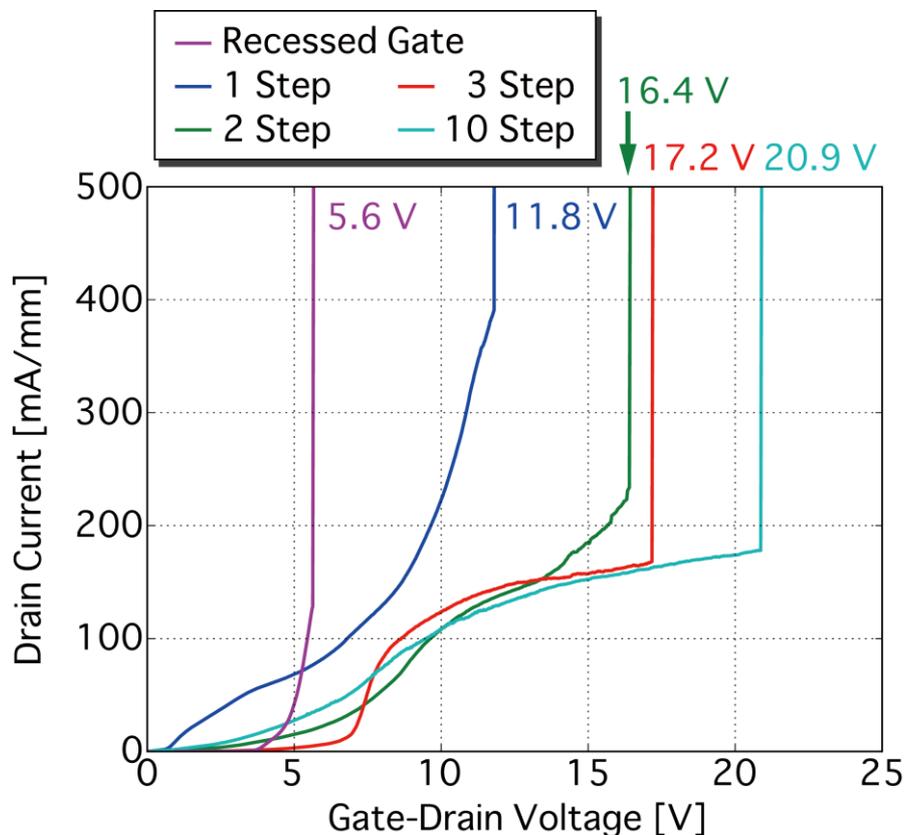


図 5.7: FP 構造を持たない HEMT および種々の FP 構造を持つ HEMT の耐压。

表 5.2: FP 構造を持たない HEMT および種々の FP 構造を持つ HEMT における
耐圧測定に使用したバイアス点($V_{gs,bias}$)と耐圧.

デバイス	$V_{gs,bias}$ [V]	耐圧 (BV_{gd}) [V]
Recessed Gate	-0.98	5.6
1 Step SiCN mold	-0.12	11.8
2 Step SiCN mold	-0.20	16.4
3 Step SiCN mold	0.08	17.2
10 Step SiCN mold	-0.14	20.9

一般にソフトブレイクダウンとして用いられている $I_{gs} = 1 \text{ mA/mm}$ (もしくは 100 nA/mm) と
いった定義での耐圧測定は、ゲートリーク電流がショットキーゲートの出来に左右される
ため適応できない。そこで、耐圧をハードブレイクダウン電圧として定義した。また、各
デバイス間の閾値の違いにより測定のバイアス点が異なるため、 V_{gd} ($V_{gd} = V_{ds} - V_{gs,bias}$) を用
いて耐圧を定義している。耐圧については、ゲート直下のバリア層がエッチングされてい
る場合には、その厚さによって耐圧が決まる可能性がある。しかしながら、後述の 5.6.2 項
での結果より閾値とバリア層の厚さは相関関係があると言えることから、バリア層の厚さ
によって耐圧が決まる場合には、表 5.2 の $V_{gs,bias}$ と耐圧に相関関係がある($V_{gs,bias}$ が負側
にあるほどバリア層が厚いといえるため、耐圧が高くなる)はずであるが、実際には表 5.2 に
示されている通り、そのような相関関係はない。したがって、図 5.7 のブレイクダウンは
バリア層の膜厚に起因しているわけではないことがわかる。また、実ゲート長にばらつき
があるため、耐圧の測定結果に対して悪影響を与えることが憂慮されたが、図 5.7 の結果
からはその徴候は見取れない。

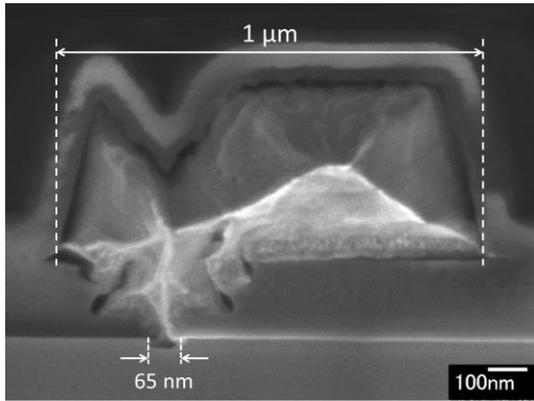
図 5.7 から SiCN 鋳型の層数を 1 層から増やすに連れて耐圧が上昇していることがわかる。
一般に InGaAs-HEMT は耐圧が低く、参考として示した通常のリセスゲート HEMT では 5.6
V であった。一方で、FP 構造を持つ HEMT の耐圧は、表 5.2 に示されるように SiCN 膜の
層数を増やすに連れて耐圧が上昇し、10 層 SiCN 鋳型を用いて作製した傾斜 FP 構造では 20.9
V となった。キャリア濃度が異なり、また、リセス構造も異なるため単純比較はできないが、
この値は参考として示した通常 HEMT と比較して 3.7 倍に達する。本結果は傾斜 FP 構造
の優位性を示している。次節においては傾斜 FP 構造を短ゲート領域で作製し、その DC・
RF 測定によって傾斜 FP 構造を持つ HEMT の電気特性について考察する。

5.6 SiCN 鋳型を用いて作製した短ゲート傾斜フィールド ドプレート構造を持つ InGaAs 系高電子移動度トラ ンジスタの作製

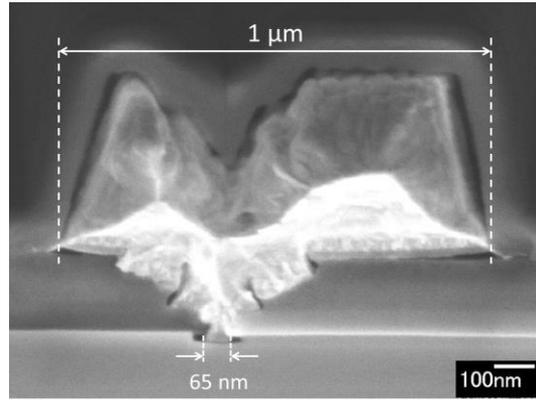
5.6.1 SiCN 鋳型を用いて作製した短ゲート傾斜フィールドプレート構 造を持つ InGaAs 系高電子移動度トランジスタの作製

多段および傾斜 FP 構造を短ゲート領域で作製した。その断面 SEM 画像を図 5.8 に示す。図 5.8(a)に示す、1 層 SiCN 鋳型を用いて作製した FP 構造では、ゲート長が短い($L_g = 65 \text{ nm}$)ことを除いては図 5.6(a)と基本的に同様のゲート形状を示している。図 5.8(b)に示す、2 層 SiCN 鋳型を用いて作製した FP 構造では、図 5.6(b)と比較して短ゲート($L_g = 65 \text{ nm}$)であること、下層の SiCN 膜が傾斜を持つことから、より傾斜 FP 構造に近い 3 段 FP 構造を示している。図 5.8(c)(d)については、どちらも傾斜 FP 構造を持ち、そのゲート長は 110 nm である。傾斜角については、図 5.8 (c)が 50° 、図 5.8(d)が 45° である。図 5.6(c)(d)と比較すると、10 層 SiCN 鋳型を用いて作製した FP 構造が 3 層 SiCN 鋳型を用いて作製した FP 構造より傾斜が小さくなる傾向は共通しているが、傾斜角は異なっている。これは EB 露光時の開口面積の差により、反応生成物の拡散速度が変化したことが原因であると考えられる。

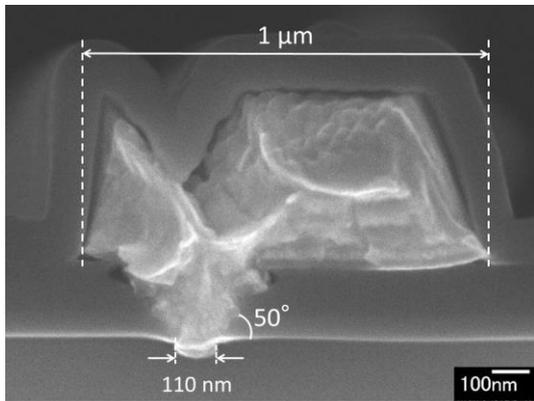
SiCN 鋳型プロセスを利用することで、短ゲート領域でも傾斜 FP 構造を作製できることを示した。本試作においては、エッチング条件の最適化が不十分であったため、層数が多い鋳型では 100 nm 以下のゲート長を作製できなかったが、今後エッチング条件の最適化によってこれは実現可能である。



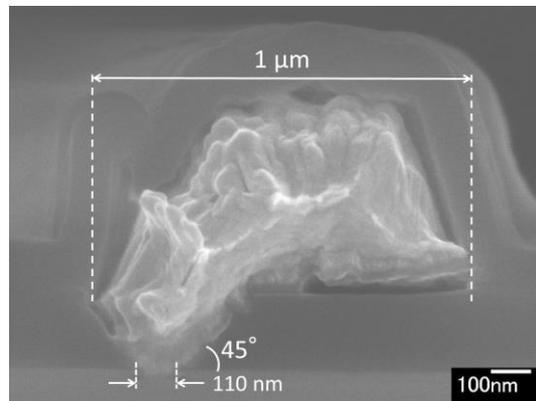
(a) 1層 SiCN 鋳型を用いて作製した FP 構造
($L_g = 65 \text{ nm}$).



(b) 2層 SiCN 鋳型を用いて作製した FP 構造
($L_g = 65 \text{ nm}$).



(c) 3層 SiCN 鋳型を用いて作製した FP 構造
($L_g = 110 \text{ nm}$).



(d) 10層 SiCN 鋳型を用いて作製した FP 構造
($L_g = 110 \text{ nm}$).

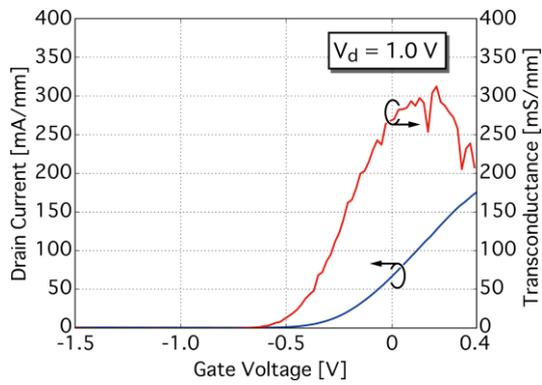
図 5.8: SiCN 鋳型プロセスによって作製された
短ゲート多段および傾斜フィールドプレート構造の断面 SEM 画像.

5.6.2 DC 特性

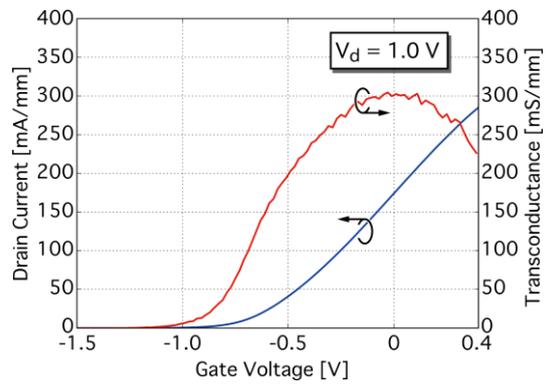
測定に用いたデバイスの設計寸法は、ソース・ドレイン間隔が $3.0\ \mu\text{m}$ 、ゲート幅が $50\ \mu\text{m} \times 2\ \text{fingers}$ である。図 5.9 に図 5.8 に示した各種 FP 構造を持つ HEMT の $I_{\text{ds}}-V_{\text{gs}}$ 特性を図 5.9 に示す。今回各種 FP 構造を持つ HEMT について、 g_{m} の最大値が $300\ \text{mS/mm}$ 程度となるデバイスを選んだ。測定から得られた各種デバイスパラメータは表 5.3 にまとめている。各デバイスパラメータを比較すると、閾値が大きく異なっている事がわかる。この原因については、後述する。

表 5.3: 各種 FP 構造を持つ HEMT のデバイスパラメータ.

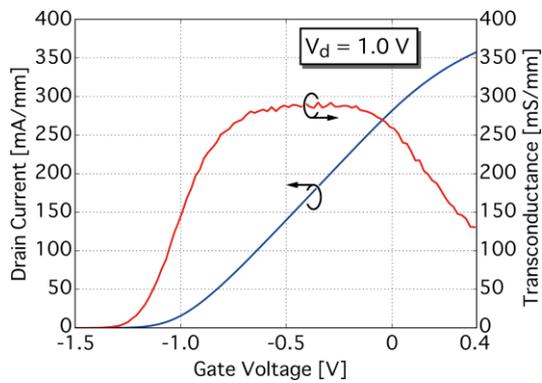
デバイス	L_{g} [nm]	V_{th} [V]	R_{s} [Ωmm]	R_{d} [Ωmm]	$g_{\text{m,max}}$ [mS/mm]	$g_{\text{mi,max}}$ [mS/mm]
1 Step SiCN mold	65	-0.26	1.3	1.3	310	519
2 Step SiCN mold	65	-0.62	1.0	1.9	300	428
3 Step SiCN mold	110	-0.99	1.0	1.4	290	408
10 Step SiCN mold	110	-0.30	1.1	2.7	295	436



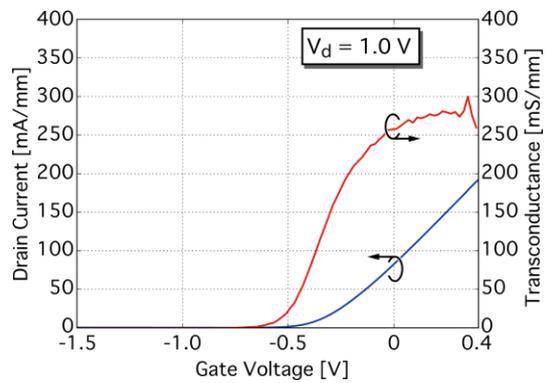
(a) 1層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT の特性 ($L_g = 65$ nm).



(b) 2層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT の特性 ($L_g = 65$ nm).



(c) 3層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT の特性 ($L_g = 110$ nm).



(d) 10層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT の特性 ($L_g = 110$ nm).

図 5.9 各種 FP 構造を持つ HEMT の I_{ds} - V_{gs} 特性.

図 5.10 に 10 層 SiCN 鋳型を用いて作製した FP 構造を持つゲート長 100 nm(設計値)の各 HEMT について、ドレイン電圧を 0.2 V とした時の I_{ds} - V_{gs} 特性において、ドレイン電流が最小となる際のゲート電流に対する閾値の依存性を示す。ゲートリーク電流の値をこのように定義したのは閾値のばらつきを含め、測定条件を同様にするためである。図 5.10 の測定で使用しているデバイスのゲート長は 100 nm(設計値)であり、図 5.8(d)で示されるゲート長 110 nm(実測値)のデバイスとは異なることに注意が必要である。図 5.10 より、ゲートリーク電流と閾値は明確な依存性がある。これは、各 HEMT はそれぞれ基板上の異なる位置にあるが、それぞれの位置ごとに RIE のエッチングレートが異なっているため、ゲート直下のエッチストップ層およびチャンネル層がエッチングされる深さが変化することで、ゲートリーク電流が変化していると考えられる。リーク電流については、図 5.10(a)では InP エッチストップ層がエッチングされることで、閾値が正にシフトするとともに、ショットキー障壁高さが低い InP 表面を介したリーク電流が減少したと考えられる。図 5.10(b)においては、バリア層が薄くなりショットキー障壁が薄くなることでゲートリーク電流が増大したと考えられる。図 5.10(c)においては、電子供給層がエッチングされることで、ゲート直下

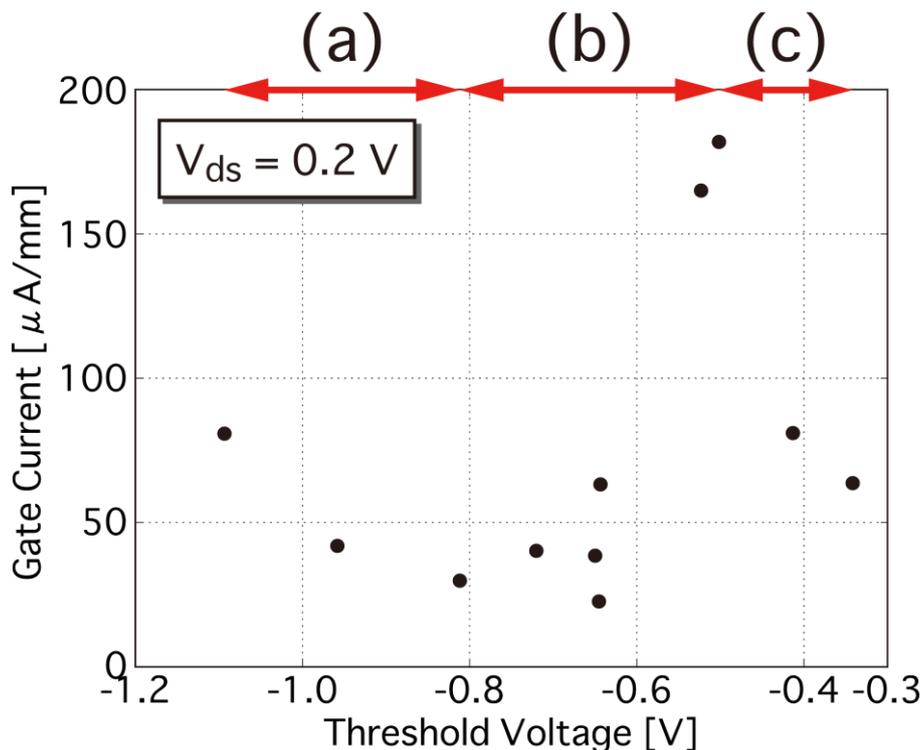


図 5.10: 10 層 SiCN 鋳型を用いて作製した FP 構造を持つゲート長 100 nm(設計値)HEMT における、ドレイン電圧を 0.2 V とした時の I_{ds} - V_{gs} 特性におけるドレイン電流が最小となる際のゲートリーク電流の閾値に対する依存性。

においてドナー濃度が減少し、ドナーに起因したバンドの曲がりが緩和されることで、実効的にショットキー障壁高さが高くなり、ゲートリーク電流が減少したと考えられる。図 5.10 に示されているように、同一基板内でも閾値はばらついており、閾値電圧の均一化が今後の重要な課題である。

5.6.3 RF 特性

S パラメータの測定は、0.5 から 60.5 GHz までの範囲で測定された。この周波数範囲において、各種回路パラメータの導出は 10 から 18 GHz の周波数範囲で、 f_T および f_{max} の外挿は 30 から 40 GHz の周波数範囲で行われた。本周波数範囲を選んだ理由としては、40 から 60 GHz の範囲では利得が -20 dB/dec の線から外れていたためである。各種 FP 構造を持つ HEMT について、 $V_{ds} = 1.0$ V、 V_{gs} については閾値が異なるため f_T が最大となる点での各種利得を図 5.11 に示す。すべての結果はパッド電極補正後の値である。各 HEMT について特性の違いについて考察するために、次項において遅延時間解析および、各種デバイスパラメータの抽出を行った。

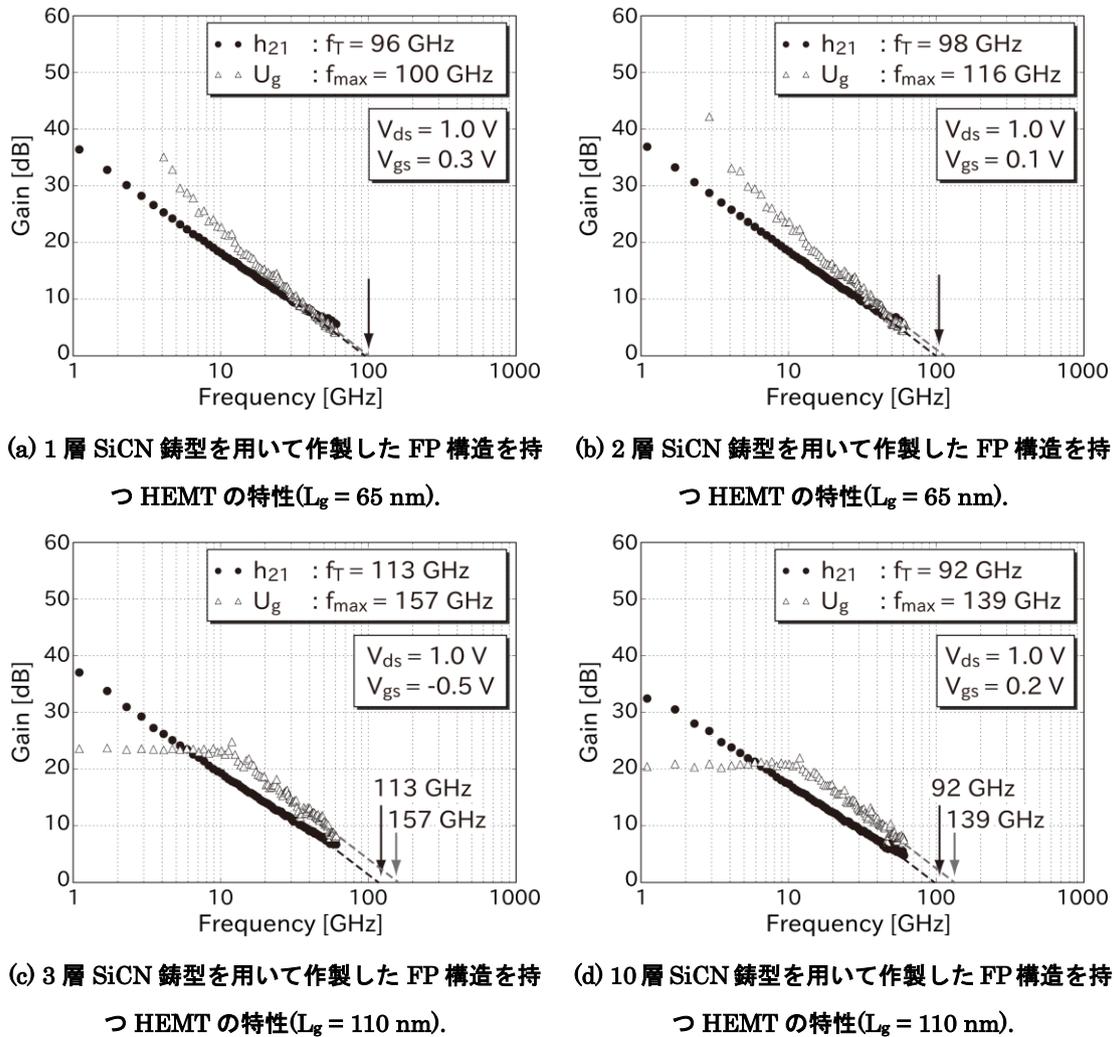


図 5.11: 各種 FP 構造を持つ HEMT の RF 特性.

5.6.4 遅延時間解析と回路パラメータの抽出

各種 FP 構造を持つ HEMT に対して、遅延時間解析およびデバイスパラメータの抽出を行った。その結果を DC、RF 測定の結果と合わせて表 5.4 にまとめる。FP 構造を作製するための SiCN 鋳型の層数を増やすに連れて寄生容量は減少している。図 5.8(c)(d)について、その傾斜角を比較すると、傾斜角がより小さい 3 層 SiCN 鋳型を用いて作製した傾斜 FP 構造が、10 層 SiCN 鋳型を用いて作製した傾斜 FP 構造の寄生容量よりよりも大きくなっている理由としては、3 層 SiCN 鋳型を用いて作製した傾斜 FP 構造の断面がなめらかでない点や、両 FP 構造ともに傾斜部分の角度が一定ではない点が原因として考えられる。本結果は、傾斜 FP 構造が耐圧だけでなく HEMT 高速化の面でも多段 FP 構造と比較して優れていることを示唆している。各種 FP 構造における規格化寄生ドレイン容量のドレイン電圧に対する依存性を図 5.12 に示す。各容量値はそれぞれの FP 構造において $V_{ds} = 0.2 \text{ V}$ の際の容量値で規格化されている。ドレイン電圧を大きくした際の容量の減少が SiCN 鋳型の層数を増やすに連れて大きくなっており、これは、空乏層の伸びが大きくなっている(電界がより広い範囲に印加されている)ことに起因している。本結果は SiCN 鋳型の層数を増やすことによる耐圧の向上を示唆している。さらに、2 層と 3 層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT では規格化寄生ドレイン容量の減少がほぼ同等であり、耐圧の向上がほぼ同程度と予測される。これは図 5.7 で示された、両 HEMT 間の耐圧の差が小さいという結果と矛盾しない。

表 5.4:各種 FP 構造を持つ HEMT の解析結果および回路パラメータ

デバイス名	1 Step	2 Step	3 Step	10 Step
L_g [nm]	65	65	110	110
V_{th} [V]	-0.26	-0.62	-0.99	-0.30
V_{gs} [V]	0.3	0.1	-0.5	0.2
f_T [GHz]	96	98	113	92
f_{max} [GHz]	100	116	157	139
$C_{g,par}$ [fF/mm]	655	635	570	500
R_s [Ω mm]	0.92	0.87	0.80	0.90

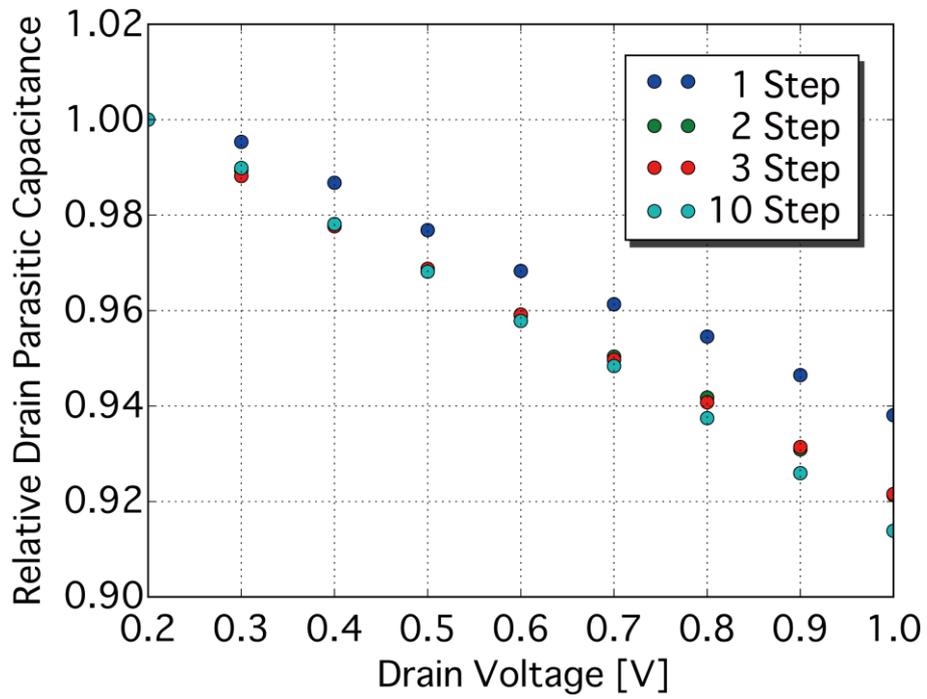


図 5.12: 各種 FP 構造における規格化寄生ドレイン容量のドレイン電圧に対する依存性

5.6.5 2層 SiCN 鋳型を用いて作製したフィールドプレート構造を持つ HEMT の耐圧と電流利得遮断周波数の関係

2層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT について、その耐圧および f_T のゲート長に対する依存性の測定を行った。2層 SiCN 鋳型を用いて作製した FP 構造を選択した理由としては、ゲート長に対する依存性を確認するにあたり、測定点数を十分に確保するためである。図 5.13 に示された耐圧および f_T は同一の HEMT における測定結果であり、 $L_g = 200 \text{ nm}$ の HEMT についてその f_T が示されていない理由としては、 f_T の測定前に破壊したためである。65 nm のゲート長の HEMT において、耐圧と f_T はそれぞれ、8.9 V、94 GHz である。図 5.11(b) で測定した HEMT とは異なるため f_T の値が 4 GHz ほど異なっているが、これはばらつきの範囲内であると考えられる。図 5.13 よりゲート長が短くなるにつれて f_T が改善し、耐圧が低下している事がわかる。各デバイスについて真性及び寄生遅延時間の関係を図 5.14 に示す。ゲート長が短くなるにつれ、真性遅延時間が小さくなっており、これが f_T の改善理由である。これは、短ゲート化による電子の走行時間の短縮と、傾斜 FP 構造を作製するプロセスの中途においてゲート直下がエッチングされているため、ゲートと半導体界面の荒れの影響が小さくなったことに起因する。短ゲート化による f_T の改善効果を概算すると、 $L_g = 65 \text{ nm}$ の HEMT において、その寄生遅延時間は 1.03 ps であり、真性遅延時間を短ゲート化により 0 となると仮定すると、短ゲート化による f_T の最大値は 154 GHz ($=1/(2\pi\tau_p)$) と計算できる。実際には、真性遅延時間が 0 となることは無いため、 f_T の最大値

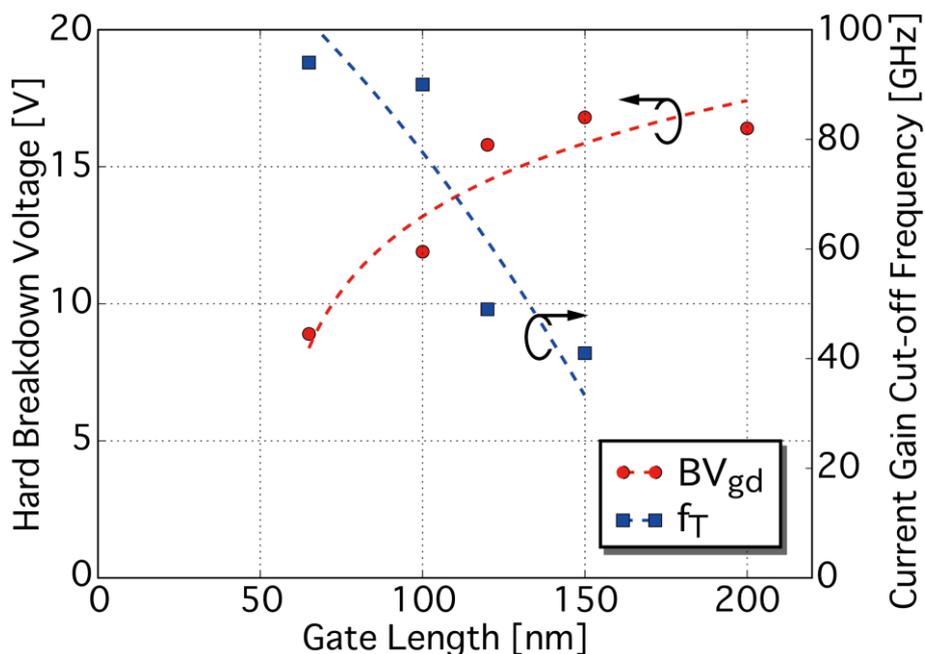


図 5.13: 2層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT における耐圧と電流利得遮断周波数のゲート長に対する依存性.

は更に下がることとなる。そこで、今後のさらなる f_T の改善には、寄生遅延時間の低減が必要になる。寄生遅延時間については、ゲート長 100 nm 以下の領域においては真性遅延を上回っている。図 5.13 において、ゲート長 100 nm 以下の領域において f_T が飽和傾向を持つのは、本領域では真性遅延時間ではなく、寄生遅延時間が支配的な領域となったためである。FP 構造においては、その構造自体が大きな寄生容量を生むため、寄生容量の劇的な削減は困難である。そこで今後の高周波性能のさらなる改善のためには、ソース抵抗の低減が重要な役割を持つ。今回の試作においては、プロセスの簡単化のためソース・ドレイン電極をマスクとしてキャップ層のエッチングを行うことでソース抵抗が増大したため寄生遅延時間が増大した。これを解決するためには、EB 露光を使用したりセ領域の決定があげられる。これにより、ソース抵抗の低減が可能である。

短ゲート領域における耐圧の低下は、短ゲート化によるゲート電極のドレイン端における電界強度の増加が原因である。図 5.15 に耐圧と f_T の積に関して、そのゲート長依存性を示した。図 5.15 より、耐圧と f_T の積は $L_g = 100$ nm 近傍においてピークを持つ。このとき耐圧及び f_T はそれぞれ、11.9 V、90 GHz であり、その耐圧と f_T の積は 1.07 THzV であった。耐圧と f_T の積がピークを持つ理由としては、ゲート長が 100 nm 以下の短ゲート領域では f_T の改善に飽和傾向が出る一方で、耐圧の劣化が顕著であること、また、ゲート長を長くしていった場合においては、耐圧の上昇が飽和傾向を示すのに対して f_T が急速に劣化するこ

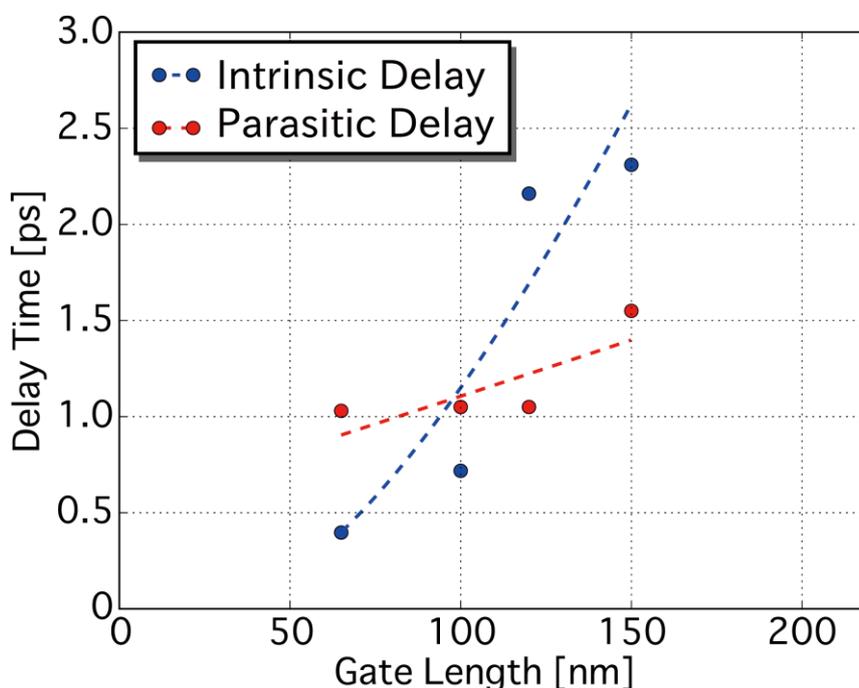


図 5.14: 2層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT における真性及び寄生遅延時間のゲート長に対する依存性。

とが原因である。デバイス構造によってその値は変化すると考えられるが、定性的には耐圧と f_T の積が最大となるゲート長が存在すると考えられる。今後の課題としては、本章の試作で用いた膜厚が 200 nm 前後の SiCN 鋳型を用いて作製した FP 構造において、ゲート長に対する測定点数を増やすことで、短ゲート領域(ゲート長 100 nm 以下)での f_T の飽和傾向や、長ゲート領域(ゲート長 200 nm から 500 nm)で耐圧の飽和傾向について、さらなる実験的検討を加えることが挙げられる。

図 5.16 に、本項で得られた結果を用いて、傾斜 FP 構造を持つ HEMT における耐圧と f_T の関係を示す。本項では測定にあたり、有意な結果を得るために十分な数のゲート長を持つ HEMT として、2 層 SiCN 鋳型を用いて作製した傾斜 FP 構造における耐圧と f_T の関係を求めた。本項で得られた耐圧と f_T の積が最大となるゲート長は他の FP 構造を持つ HEMT においても同様に存在すると予測される。図 5.7 の結果より、10 層 SiCN 鋳型を用いて FP 構造を作製した場合の耐圧は、2 層 SiCN 鋳型の 1.27 倍となる。したがって、耐圧と f_T が最大となる HEMT の耐圧は、2 層 SiCN 鋳型を用いた場合が 11.9 V であったので、10 層 SiCN 鋳型を用いた場合には、15.1 V (11.9×1.27 V)と予測される。また、表 5.4 の結果からは、SiCN 鋳型の段数を増やすに連れて寄生容量の減少が示されており、同一ゲート長においては、より多くの SiCN 層を用いて作製した FP 構造が高周波性能の向上の観点からは有利であるといえるため、 f_T についても若干の改善が期待される。したがって、10 層 SiCN 鋳型を

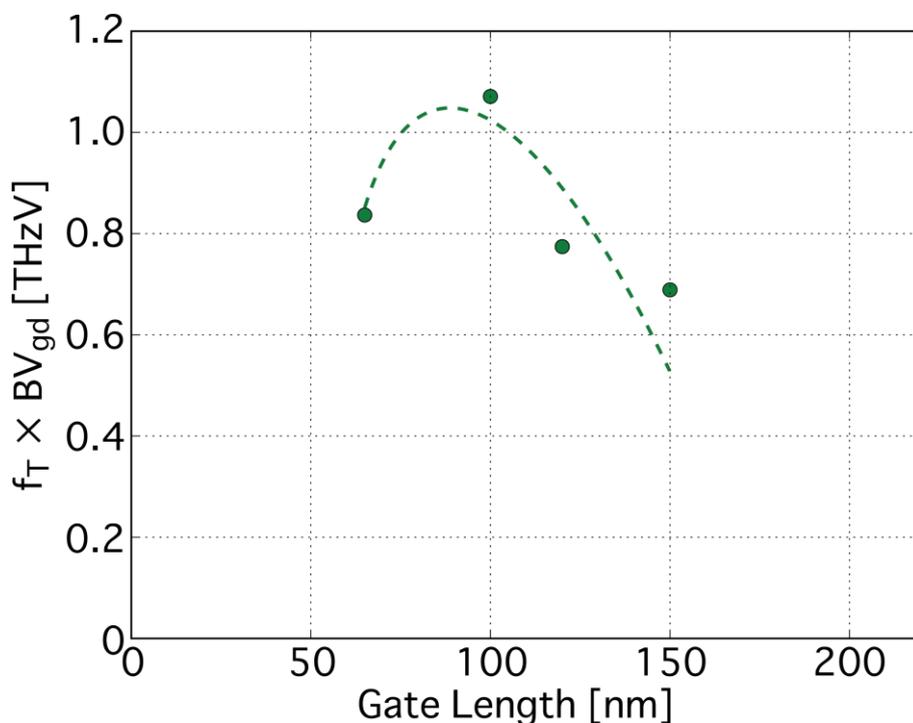


図 5.15: 2 層 SiCN 鋳型を用いて作製した FP 構造を持つ HEMT における耐圧と電流利得遮断周波数の積のゲート長に対する依存性.

用いて作製した傾斜 FP 構造のゲート長の最適化によって、本試作における HEMT は図 5.16 中の青矢印で示した性能改善が可能である。さらに、同 HEMT の f_T は 90 GHz ($\tau_i = 0.72$ ps、 $\tau_p = 1.03$ ps) であり、ソース抵抗の削減によって寄生遅延時間を半減することができれば、 f_T は 129 GHz ($\tau_i = 0.72$ ps、 $\tau_p = 0.51$ ps) まで改善可能であり、これは図 5.16 中の緑矢印で示した。寄生遅延時間の低減についてはソース抵抗が一般的な InGaAs-HEMT と比較して 2.5 倍程度であるため、これを一般的な HEMT と同程度まで低減することで可能であると予想される。ソース抵抗の低減による耐圧への影響については、チャンネルにおいて、ゲート・ソース間については、絶縁破壊とは直接関係していないため、その影響は少ないと予測される。以上より、耐圧と f_T の積に関して、SiCN 鋳型プロセスを用いることで、少なくとも 2 倍程度までは改善が可能であると予測される。今後の課題としては、比較対象として、通常のリセスゲート HEMT および種々の FP 構造を持つ複数の HEMT を用いたベンチマークを行うことで、上記の 1 次近似的に求めた関係性についてさらなる考察を加える事が挙げられる。本試作では、傾斜 FP の作製プロセスの確立とその評価に重点をおいたため InGaAs-HEMT を用いたが、SiCN 鋳型を用いた傾斜 FP の作製プロセスは他の材料系においても横型トランジスタであれば応用可能であり、高周波・高耐圧デバイスの実現に向けたプロセス技術からのアプローチとして有効である。

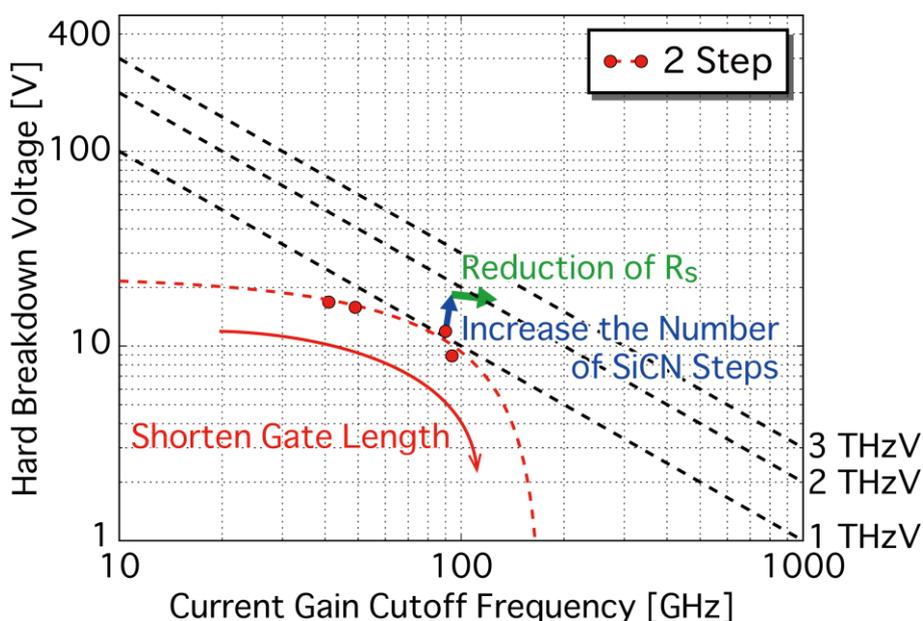


図 5.16: 傾斜 FP 構造を持つ HEMT における、耐圧と f_T の関係に対するベンチマーク。

5.7 本章のまとめ

第5章では、SiCN 鋳型プロセスを用いて、膜厚が 200 nm 前後の SiCN 鋳型を用いて、ゲート長が 200 nm 程度、FP 電極頭部の長さ($L_{g,top}$)が 1 μm の多段および傾斜 FP 構造を持つ InGaAs-HEMT を作製し、その特性について考察を行った。10 層 SiCN 鋳型を用いて作製した傾斜 FP 構造を持つ InGaAs-HEMT では 20.9 V であった。これは、キャリア濃度(FP 構造では $2.0 \times 10^{12} \text{ cm}^{-2}$ 、リセスゲート構造では $2.5 \times 10^{12} \text{ cm}^{-2}$)を除いて同等のエピタキシャル基板上に作製された、通常のリセスゲート構造を持つ InGaAs-HEMT の耐圧(5.6 V)と比較して 3.7 倍となった。単純な比較はできないが、傾斜 FP 構造を持つ InGaAs-HEMT では、通常の InGaAs-HEMT と比較して優れた耐圧特性を有すると言える。

1、2、3、10 層 SiCN 鋳型を用いて多段および傾斜 FP 構造を作製した。これらの FP 頭部長はすべて 1 μm と同様である。これらの FP 構造を持つ InGaAs-HEMT について、その回路パラメータを抽出し、考察した。その結果、SiCN 鋳型の段数を増やすことで寄生容量の低減が可能であることが示された。これは、FP 断面形状の違いに起因している。

さらに、ゲート長のスケールリングを確認するために、短ゲート領域において各種 FP 構造を作製した。特に、2 層 SiCN 鋳型を用いて作製した傾斜 FP 構造では、そのゲート長が 65 nm と、これまで数百 nm オーダーであった傾斜 FP 構造のゲート長[1.63]を 100 nm 以下まで短縮し、SiCN 鋳型プロセスによって短ゲート領域においても傾斜 FP 構造が作製可能であることを示した。

また、2 層 SiCN 鋳型を用いて作製したゲート長 65 nm の InGaAs-HEMT における f_T 、耐圧はそれぞれ 94 GHz、8.9 V であった。つづいて、2 層 SiCN 鋳型を用いて作製した、ゲート長が異なる InGaAs-HEMT を用いて、耐圧および f_T のゲート長依存性を測定・考察を行った。その結果、耐圧と f_T の積が最大となったのは、ゲート長 100 nm の時であり、このとき耐圧及び f_T 、これらの積はそれぞれ、11.9 V、90 GHz、1.07 THzV であった。また、短ゲート化によって f_T の改善と耐圧の劣化が確認され、耐圧と f_T の積に関しては最大となるゲート長が存在することが示された。耐圧と f_T のゲート長依存性はトレードオフ関係にあるため、耐圧と f_T の積が最大となるゲート長の存在は定性的には正しいと言える。さらに、2 層 SiCN 鋳型を用いて作製した FP 構造を持つ InGaAs-HEMT について、耐圧および f_T に関するベンチマークを行った。その結果、10 層 SiCN 鋳型を用いて作製した傾斜 FP 構造を持つ HEMT においては、2 層 SiCN 鋳型を用いた場合と比較して耐圧と f_T の積が少なくとも 2 倍程度までは改善が可能であるとの結果が得られた。

本章の研究は、横型トランジスタであれば様々な種類のトランジスタに適応が可能であ

り、将来に向けた高周波・高耐圧デバイスの開発に向けた、プロセス技術からのアプローチを示した。SiCN 鋳型プロセスでは、ゲート長の制御は比較的簡単に行えるため、耐圧と f_T の積が最大となるゲート長でデバイスの作製が可能である。今後の課題としては、傾斜 FP 構造の最適化やソース抵抗の低減、閾値の均一化が挙げられる。

第6章 InGaAs 系高電子移動度トランジスタ のミリ波帯高効率増幅器への応用

6.1 本章の目的

本章では、前章までに検討した高周波化・高耐圧化ゲート形状を有する InGaAs HEMT を実際の集積回路に導入・応用すべく、電力付加効率の低いミリ波帯において高効率増幅器を作製することを目的とする。増幅器回路構成としては、高調波処理により優れた高周波性能が必要であるが n 型トランジスタのみで高効率化が可能な F 級増幅器を採用する。最終的な目標としては、これまで培ってきたゲート形状の制御技術や傾斜 FP 構造を導入することで、F 級増幅器の高性能化を目指すものであるが、本研究においては、その前段階としてミリ波帯において比較的周波数の低い 60 GHz 帯 F 級増幅器を通常の T 型ゲートを適用することで作製する。F 級増幅器の回路設計は東京理科大学 理工学部 電気電子情報工学科 榎田洋太郎教授研究室で行われたものである[6.1]。また、第 4 章で明らかにした T 型ゲート電極脚部の高さが InGaAs-HEMT の寄生遅延時間に与える影響と、その結果として得られた InGaAs-HEMT の応用用途の違いによる T 型ゲート電極設計指針を踏まえて、本章では、実際の応用用途の一つである F 級増幅器の負荷線上のバイアス点において T 型ゲート電極脚部の高さが寄生遅延時間に及ぼす影響を調べる。これにより、第 4 章で示した T 型ゲート電極の設計指針との整合性についての考察を行うとともに、ミリ波で動作する F 級増幅器に適応する InGaAs-HEMT のデバイス構造の最適設計について考察を行うことを目的とする。

6.2 エピタキシャル層構造とデバイス構造

本試作で用いた HEMT のエピタキシャル層構造は、株式会社オプトランスにて半絶縁 InP 基板上に MOCVD によって成長された。このウェハのエピタキシャル層構造は第 4 章で用いた構造と同様である。その構造を表 4.1 に示している。回路設計に必要なデバイスパラメータ抽出に利用した HEMT は 4.2 節で示された手法において、多層 SiCN 膜を 1 層 SiN 膜に変更して作製した、通常の T 型ゲート電極を持つ HEMT である。また、本章で F 級増幅器の負荷線上において T 型ゲート電極脚部の高さの影響を測定した HEMT については、第 4 章で用いた HEMT と同じデバイスである。T 型ゲート脚部の高さについては、4.2 節で示したように、4 種類である。

6.3 F 級増幅器の動作原理と回路設計

図 6.1 に F 級増幅器の回路図を、図 6.2 に入出力波形を示す。F 級増幅器では正弦波の入力電圧に対して、トランジスタのドレイン側から見た出力インピーダンスが偶数次の高調波に対しては短絡、奇数次の高調波に対しては開放されるように設計する。これによってその出力波形は、ドレイン電圧が矩形波に、ドレイン電流は半波整流された正弦波となる。矩形波には基本周波数およびその奇数次の高調波が含まれており、半波整流波には偶数次の高調波が含まれている。そのため高調波損失を削減することが可能であり、高効率を実現可能である。本試作で作製した F 級増幅器においては 3 次の高調波まで考慮している。また、図 6.2 に示されている様に、F 級増幅器の出力電圧、電流波形は理想的には重なり合わないため、ここでの電力消費はゼロとなる。ただし、実際には理想波形と実波形との間のずれやジッターにより波形が重なることとなるため電力消費が発生する。しかしながら、実波形を理想波形に近づけることにより、電力効率を高めることが可能である。本試作においては、60 GHz 帯 F 級増幅器の実現を目指しており、このようなミリ波帯では波長が回路寸法と比較して短いため、分布定数回路を用いて設計している。図 6.1 中の各素子について、以下で説明を加える。バイアス供給素子である TL_d はトランジスタへのバイアス供給および、トランジスタに対して偶数次の高調波を短絡することで、ドレイン電流を偶数次の高調波のみとしている。3 次高調波を処理するフィルタ回路である TL_1 および TL_2 は伝送線路で構成されており、その電気長 (E_1 および E_2) が $\lambda_0/12$ (λ_0 は基本周波数における波長) となるように設計している。トランジスタから負荷回路を見た場合、3 次高調波に対して開放されているため、ドレイン電圧の 3 次高調波成分が強調されている。基本波に対する整合回路である TL_m および C_m は、トランジスタのドレイン端および出力負荷抵抗 ($R_L = 50 \Omega$) か

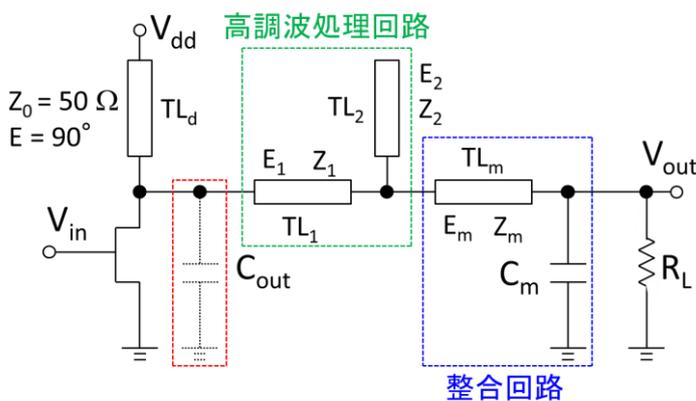


図 6.1: F 級増幅器の回路図。

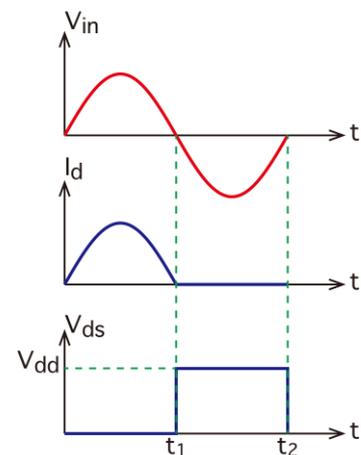


図 6.2: F 級増幅器の入出力波形。

表 6.1: 回路設計に用いた F 級増幅器の回路パラメータと HEMT のデバイスパラメータ。

回路設計に用いた HEMT のデバイスパラメータ						
W_g [μm]	250		g_m [mS]	120.45	C_{gd} [fF]	47.1
	(25 $\mu\text{m} \times 10$ fingers)		R_s [Ω]	0.72	C_{ds} [fF]	46.1
L_g [nm]	80		R_d [Ω]	1.55	C_{out} [fF]	86.5
V_{ds} [V]	0.7		R_g [Ω]	0.52	V_{th} [V]	-0.95
V_{gs} [V]	-0.7		C_{gs} [fF]	186		
F 級増幅器の各種回路パラメータ						
Operation frequency [GHz]	60		Z_1, Z_2, Z_m [Ω]	50	E_m [deg.]	38
PAE [%]	50.8		E_1 [deg.]	3.9	C_m [fF]	92
R_L [Ω]	50		E_2 [deg.]	30		

ら負荷回路を見たスミスチャート上における反射係数の整合を取るために用いられている。

回路設計に用いられたデバイスパラメータを表 6.1 に示す。デバイスパラメータの抽出に用いられた HEMT は 6.7 節において遅延時間解析で使用した HEMT とは異なる HEMT であるが、エピタキシャル構造は同一である。大信号等価回路モデルとしては、curtice-quadratic モデルが用いられた[6.2]。表 6.1 に示されている回路パラメータを用いて、大信号等価回路モデルにおける I_{ds} - V_{ds} 特性(破線)および、その上に 60 GHz 帯 F 級増幅器の負荷線(実線)をプロットした図を図 6.3 に示す。等価回路モデルにおける HEMT のゲート長は 80 nm、ゲート幅は 25 $\mu\text{m} \times 10$ fingers である。負荷線に関しては出力容量 C_{out} の影響を取り除いたものを図示している。負荷線上の赤点は動作の中心点を示しており、矢印は 6.7 節において遅延時間解析で使用するバイアス点を示している。シミュレーションから得られた PAE の最大値は入力電力が 2.01 dBm、出力電力が 9.21 dBm の時に 50.8%であり、InGaAs-HEMT を利用した F 級増幅器の優れたポテンシャルを示している[6.1]。

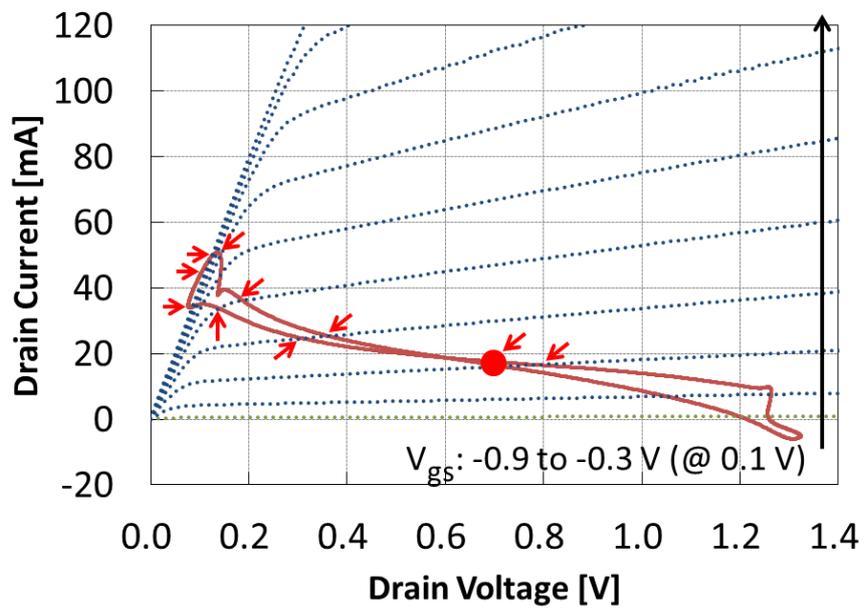


図 6.3: 大信号等価回路モデルにおける I_{ds} - V_{ds} 特性(破線) と F 級増幅器におけるダイナミック負荷線(実線).

6.4 受動素子の作製

回路試作においては、トランジスタだけでなく受動素子についても同基板上に作製する必要がある。今回の試作においては MIM (Metal-Insulator-Metal) キャパシタを作製する必要があったため、その設計方法と作製手法について本節で述べる。まず、MIM キャパシタを作製し、その容量値の CV 測定から SiN 膜の誘電率を求めた。測定に用いたパターンの CAD 図面について、1 層配線を青、2 層配線を茶として図 6.4 に示す。図中の MIM キャパシタのサイズは $30 \times 30 \mu\text{m}^2$ だが、容量値の変化を確認するため他に、 $10 \times 10 \mu\text{m}^2$ 、 $50 \times 50 \mu\text{m}^2$ 、 $100 \times 100 \mu\text{m}^2$ のパターンを作製した。容量値のキャパシタ面積依存性を図 6.5 に示す。SiN 膜の膜厚 d_{MIM} は本試作においては 100 nm であるので、現在の堆積条件における SiN 膜の比誘電率 ϵ_r は、図 6.5 の傾き a_{MIM} を用いて $4.6(\epsilon_r = a_{\text{MIM}}d_{\text{MIM}}/\epsilon_0)$ と得られる。この値は一般的な SiN 膜の誘電率 ($\sim 7-8$) と比較して小さいが、この理由としては現在の堆積条件がパッシベーション膜の堆積条件である応力を最低とする条件であるため、電気的特性が考慮されていないためである。そこで今後の課題として、電気特性を考慮した MIM キャパシタ用 SiN 膜の堆積条件を用いて MIM キャパシタの作製を行う必要がある。パッド電極の形状はすべて同様であるので、図中の切片はパッド電極の寄生容量である。測定された容量値と寄生容量の差分と電極面積から単位面積当たりの容量 $0.40 \text{ fF}/\mu\text{m}^2$ が得られ、この値を回路設計において用いた。

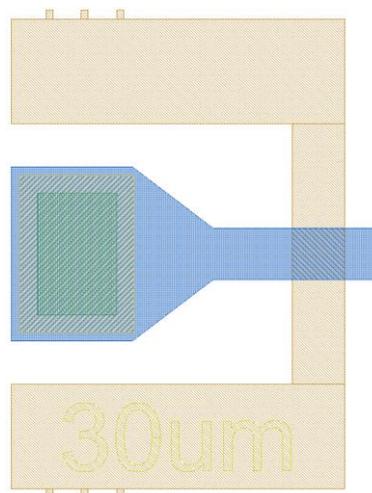


図 6.4: MIM キャパシタの CAD 図面.

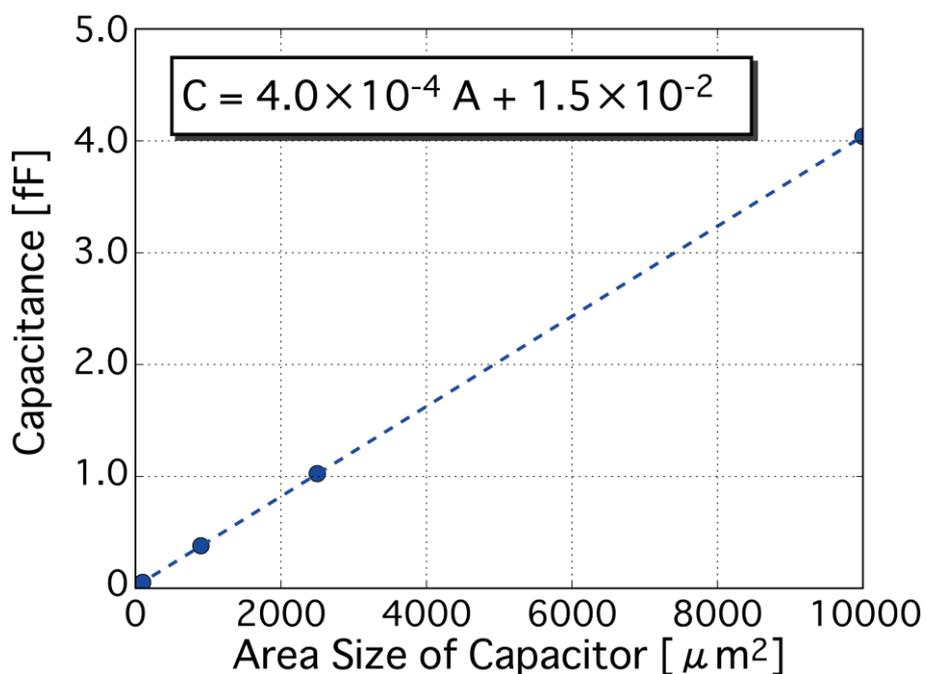


図 6.5: MIM キャパシタの面積に対する容量値の依存性.

回路試作においては、様々な大きさの容量が必要になるとともに、設計値と実容量値のズレが回路の動作不良を招くため、その設計においては注意が必要である。特に、実際の試作においては合わせ誤差やパターンニングの寸法誤差などが存在するため、これらを考慮した設計が必要となる。合わせ誤差については図 6.6 中の赤線内で示した様に、本試作で配線に使用するコプレーナ線路の両側にキャパシタを作製し、その合成容量として設計容量値を満たすようにすることで、合わせ誤差が生じた場合においても両キャパシタの合成容量が変化しないように設計した。パターンニング誤差については、設計値との誤差を $\pm 0.5 \mu\text{m}$ 程度と見積り、キャパシタ面積を $15 \times 15 \mu\text{m}^2$ 以上とすることで、パターンニング誤差が容量値に大きく影響しない様に設計した。

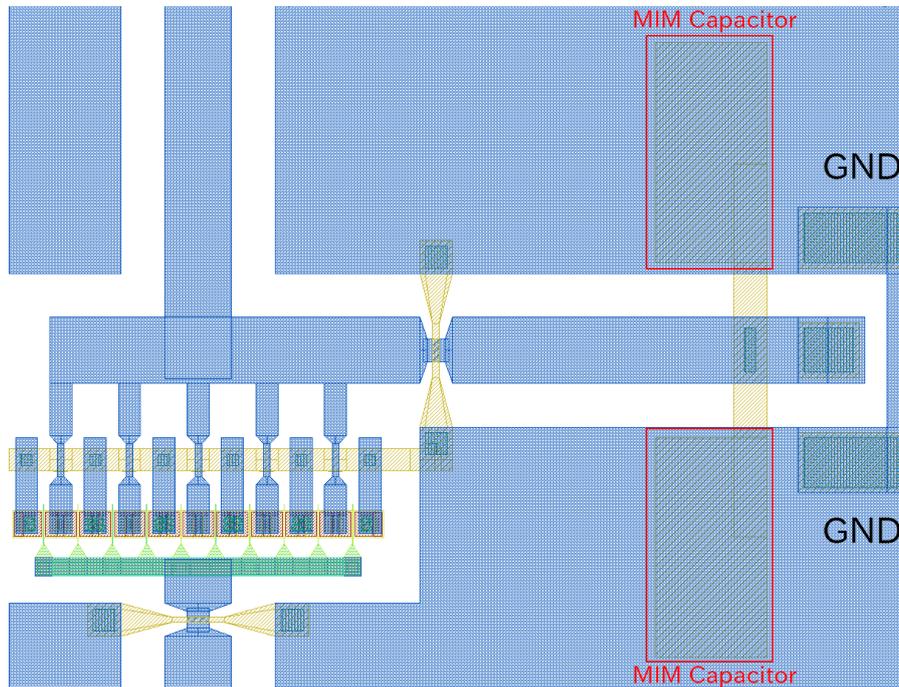


図 6.6: MIM キャパシタの CAD 図面.

6.5 F 級増幅器の応用用途とトランジスタに対する要求

本節の想定は、東京理科大学榎田研究室の協力で行われたものである。本試作で作製する F 級増幅器では、その応用用途の想定は 60 GHz 帯を用いた無線 LAN (Local Area Network) である。具体的には音楽や動画といったデータの、キオスク端末や自宅における近距離大容量伝送用途を想定している。通信方式としては、IEEE 802.11ad において、MSC (Modulation and Coding Scheme) 24 を想定している。MCS は変調方法やデータレート等をまとめたインデックスであり、MSC 24 の通信容量が最も大きくなっている。本試作で作製する F 級増幅器の仕様および、HEMT に対する要求仕様を表 6.2 にまとめた。F 級増幅器の出力を 10 mW とした時、通信可能範囲は 0.46 m と短い、上記の通り、近距離大容量伝送を想定しているため、10 mW の出力で十分であると言える。また、携帯端末への実装にあたり、2 次電池の容量や携帯端末における出力電力の制限を考慮すると、その出力は 10 mW 程度が上限である。

今回試作に利用している HEMT では、 f_T および f_{max} に対する要求については満たしているが、耐圧に関しては 1.5 V 程度であり、要求を満たしていない。この点に関しては、図 6.3 に示すように、負荷線の電圧振幅を小さくすることで対応している。また、HEMT に対して線形性が要求されていない理由は、変調に包絡線パルス幅変調方式を利用するためである。本方式では、パルス幅を利用して変調を行い、出力は飽和出力となるため、トランジスタに対して線形性が要求されない。

表 6.2: F 級増幅器の仕様および、HEMT に対する要求

F 級増幅器の仕様	
F 級増幅器の出力	10 mW
SNR (帯域幅を 1.88 GHz と仮定)	34.1 dB
受信可能距離 (受信感度を -47 dB と仮定)	0.46 m
HEMT に対する要求	
f_T および f_{max}	200 GHz 以上
耐圧	2 V 以上
線形性	不要

6.6 F 級増幅器の作製

図 6.7 に作製した F 級増幅器の顕微鏡写真を示す。図 6.8 は図 6.7 の顕微鏡写真に素子ごとに番号を割り振った図である。作製した F 級増幅器はパッド電極、DC ブロックキャパシタ、コプレーナ線路、MIM キャパシタ、発振防止抵抗、InGaAs-HEMT、オープンスタブによって回路は構成されている。以下で各素子について詳細を述べる。パッド電極は図 6.8(1)(4)(6)(16)に示されており、プローブとのコンタクトに使用される。各パッドの入出力は図 6.8(1)に V_{in} (RF) を入力、図 6.8(4)に $V_{in,bias}$ (DC) を入力、図 6.8(11)に $V_{dd,bias}$ (DC) を入力、図 6.8(12)が V_{out} (RF) を出力となる。DC ブロックキャパシタは図 6.8(2)(16)に示されており、信号から直流成分を取り除き、高周波成分のみを取り出すために用いられる。コプレーナ線路は図 6.8(3)(6)(9)(12)(G)に示されており、その長さによって位相の調節を行っている。MIM キャパシタの光学顕微鏡写真は図 6.8(5)(10)(15)に示されており、その設計に関しては、6.4 節に示されている。発振防止抵抗は図 6.8(7)に示されており、入力電力について反射係数が 1 以上かつ位相が 0° となる場合には帰還電力により発振するため、抵抗を挿入し帰還量を低減することで発振を防止している。InGaAs-HEMT の光学顕微鏡写真は図 6.8(8)で示されており、表 6.1 に示されように、 $25\mu\text{m} \times 10$ fingers の Π 型接続されている。オープンスタブは図 6.8 (13)に示されており、これはインピーダンスマッチングのために用いられる。図 6.1 に示された回路図と比較すると、図 6.8 (12)(13)が高調波処理回路、図 6.8 (14)(15)が基本周波数に対する整合回路である。

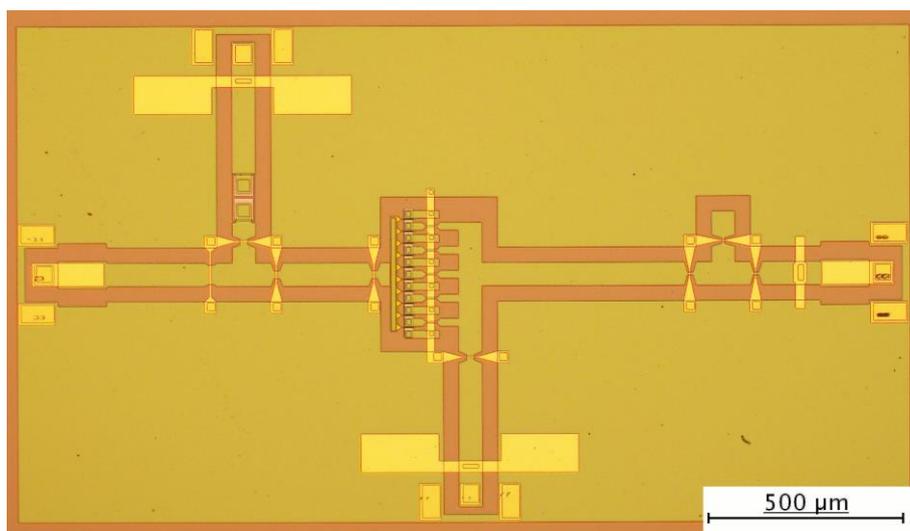


図 6.7: 試作した F 級増幅器(全景)の光学顕微鏡写真.

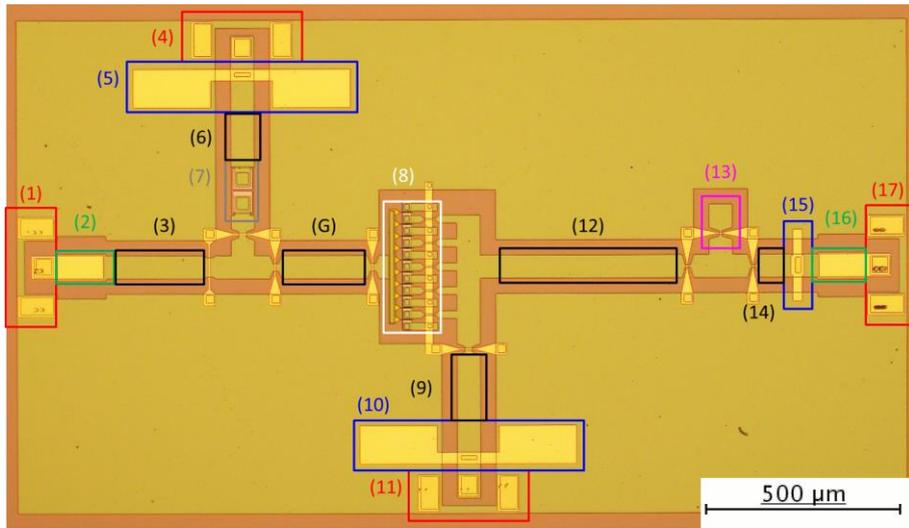
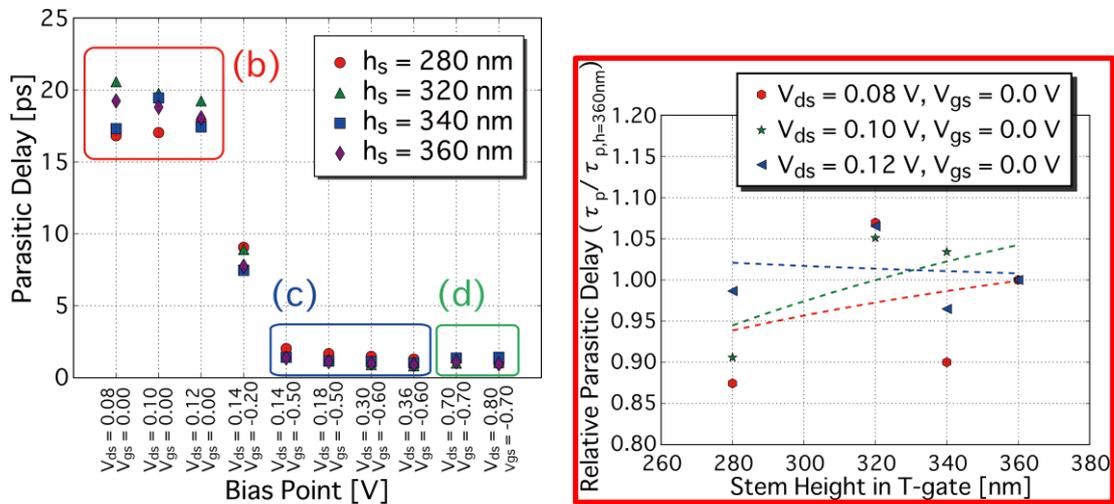


図 6.8: F 級増幅器の各素子についてのレイアウトと等価回路の関係.

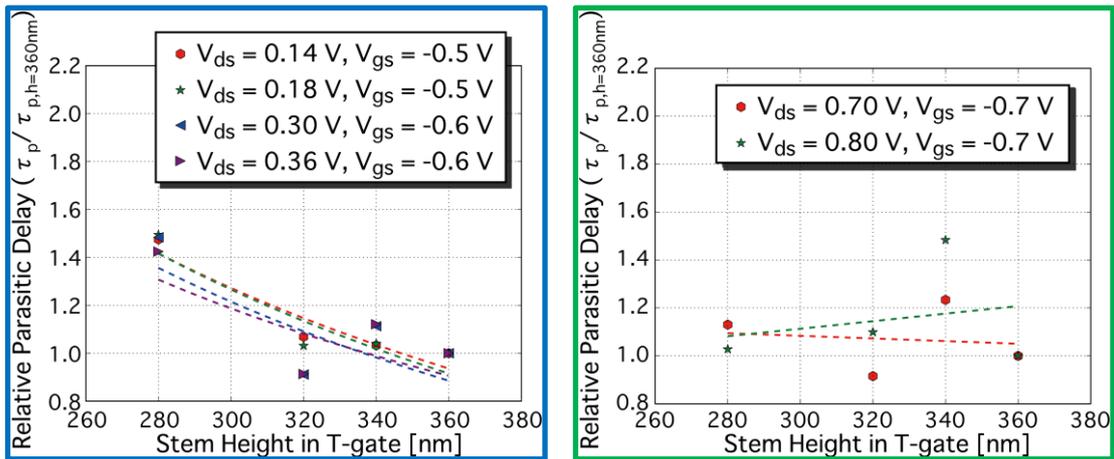
6.7 F 級増幅器のロードライン上における遅延時間解析

図 6.9 に図 6.3 で示した負荷線上の各点における遅延時間解析の結果を示す。図 6.9(a) が負荷線上の各バイアス点について寄生遅延時間をプロットした図、図 6.9(b)(c)(d)が図 6.9(a)の各色で分けた領域ごとに T 型ゲート電極脚部の高さに対する寄生遅延時間の依存性を示した図である。各寄生遅延時間の値は、脚部の高さが 360 nm の際の値を 1 として規格化している。低バイアス側から順に寄生遅延時間の依存性について考察を行う。図 6.9(a)



(a) 寄生遅延時間の負荷線上における遅延時間解析結果。

(b) 負荷線上の低バイアスにおける遅延時間解析結果。



(c) 負荷線上の中間バイアスにおける遅延時間解析結果。

(d) 負荷線上の高バイアスにおける遅延時間解析結果。

図 6.9: F 級増幅器の負荷線上における遅延時間解析結果とバイアス条件の違いによる T 型ゲート脚部の高さに対する寄生遅延時間に対する依存性の違い。

において赤枠で囲まれた低バイアス領域について、図 6.9(b)に示されるように、寄生遅延時間と T 型ゲート脚部の高さの間に明確な依存性は確認できない。原因としてはこのバイアス条件は線形領域であるため、以下で詳細については述べるが、ドレインコンダクタンスが寄生容量に対して大きな影響を与えているため、寄生容量の影響が見えなくなっている。図 6.9(a)において青枠で囲まれた中間バイアス領域について、図 6.9(c)に示されるように、本領域においては寄生遅延時間と T 型ゲート脚部の高さの間に依存性が存在する。本領域では寄生容量の影響が寄生遅延時間の依存性に現れており、本結果は 4.3.5 項での結果と矛盾しない。図 6.9(a)において緑枠で囲まれた高バイアス領域について、図 6.9(d)に示されるように、本領域においては寄生遅延時間と T 型ゲート脚部の高さとの間に再び依存性が見られなくなった。これは高ドレインバイアスが印加されることでゲートのドレイン端から空乏層が伸びることで、寄生容量が寄生遅延時間に対して与える影響が小さくなったことが原因である。本結果は 4.3.5 項の結果と一致し、バイアス条件によって T 型ゲート形状に起因した寄生容量が寄生遅延時間に与える影響が変化することを示している。

図 6.9(a)の各バイアス領域のうち赤枠で囲まれている低バイアス領域については、寄生遅延時間が大きいこと F 級増幅器動作に悪影響をおよぼす可能性がある。その原因を確認するために、寄生遅延時間のドレインコンダクタンスに対する依存性を確認した。その結果を図 6.10 に示す。破線は指数関数を用いた回帰直線である。本結果よりドレインコンダクタンスが大きい線形領域においては寄生遅延時間が大きいことがわかる。遅延時間が大きい場合高周波動作において悪影響をおよぼす可能性がある。線形領域を避けて負荷線を引くためには負荷線上の最小電圧を正にシフトさせる必要があるが、最小電圧と最大電圧の比が小さくなるため、そのままでは効率低下につながる。そこで最小電圧と最大電圧の比を維持もしくは改善しながら遅延時間の大きな線形領域を外して動作させるためには、オ

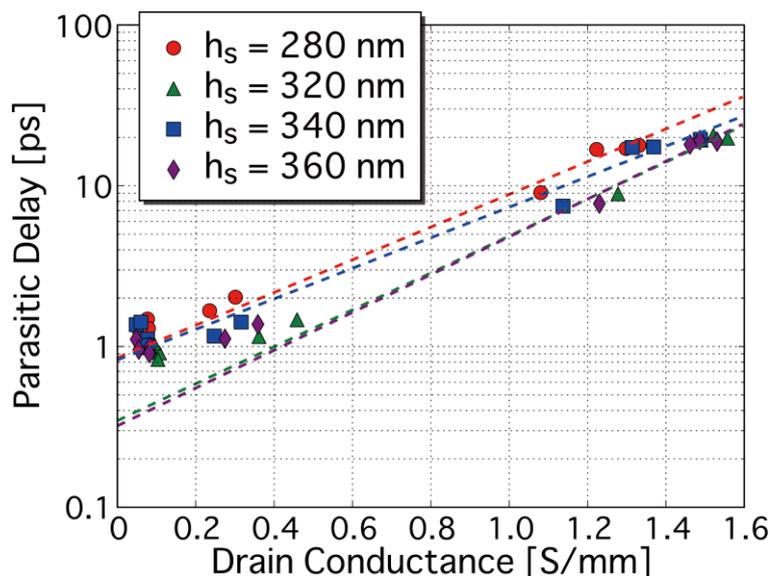


図 6.10: 寄生遅延時間のドレインコンダクタンスに対する依存性。

ン抵抗の低減と耐圧の向上が考えられる。オン抵抗の低減にはソース・ドレイン電極間隔の短縮が挙げられる。この手法では寄生容量の増大が一般的には問題となるが、図 6.9 の結果より、寄生容量による遅延時間への影響は比較的小さいと考えられるため、容量と抵抗の低減についてその優先度を比較した場合、抵抗の低減を優先するべきであると考えられる。したがって、抵抗の削減は有効であると考えられる。また耐圧の向上のためには、第 5 章で作製した FP 構造の採用が考えられる。FP 構造についても容量の増大が問題となるが、前述したとおり寄生容量増大による遅延時間への影響は限定的であると考えられる。

以上を踏まえた、F 級増幅器における HEMT の構造について図 6.11 に示す。図中の HEMT ではソース抵抗、ドレイン抵抗の低減のために電極間隔の短縮や、キャップ層のエッチング面積を低減している。また、高耐圧化のために傾斜 FP 構造を採用している。しかしながらその FP 構造頭部の長さ($L_{g,top}$)に関しては最適化が必要であり、 $L_{g,top}$ を変化させた時の高周波性能や耐圧の変化を今後調べる必要がある。絶縁膜の厚さと対応する FP 脚部の高さ(h_{FP})について、以下でさらなる考察を加える。最大チャンネル電界強度の絶縁膜厚依存性が [5.1]において示されている。ここから予測される絶縁破壊電圧の依存性と、本章の結果から得られた T 型ゲート電極脚部の高さに対する依存性についての概略図を図 6.12 に示す。[5.1]では、チャンネル及び絶縁膜における絶縁破壊を想定しているが InGaAs チャンネルの絶縁破壊耐圧は絶縁膜と比較して十分低いと考えられるため、本考察においてはチャンネルにおける絶縁破壊のみを考慮している。絶縁破壊電圧については、ある FP 脚部の高さにおいて最大となり、それ以降減少傾向を示す。FP 脚部の高さが低い場合において、耐圧が低い理由としては、FP 構造が有効に作用せず、通常のゲートにおいてゲート長を伸ばした場合と類似した電界分布となり、電界集中が緩和できないためと考えられる。一方で FP 脚部の高さを一定以上高くした場合について耐圧が減少する理由としては、フリッジ容量による

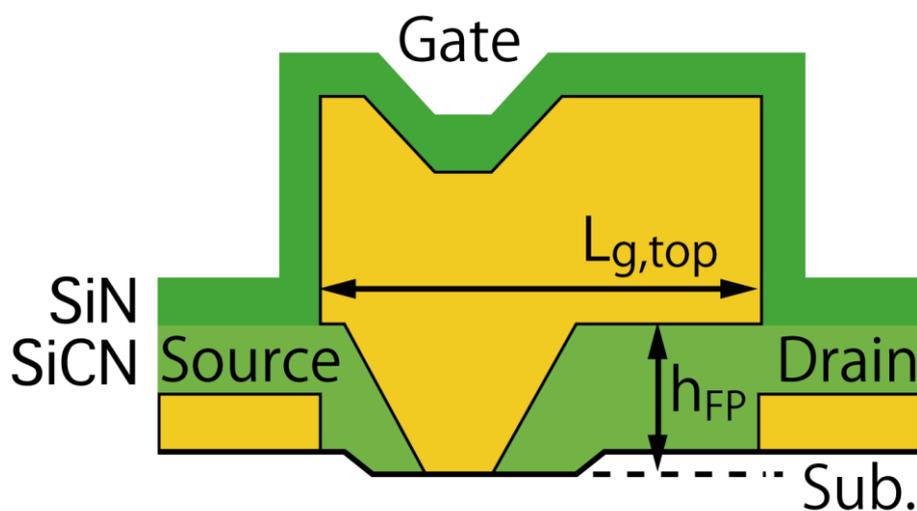


図 6.11: 本章で得られた結果を考慮した F 級増幅器における HEMT の最適構造。

電界集中の緩和効果が小さくなり、傾斜FPの効果が小さくなるためと考えられる。一方で、図中のFP脚部の高さに対する遅延時間の依存性については、中間のバイアス点における結果を想定しており、FP脚部の高さを高くすることにより遅延時間の改善が見込まれるが、その改善の程度は小さいと予測される。したがって、耐圧と f_T の積という観点からは、耐圧が最大となる時のFP脚部の高さが最適であるといえる。この点についてのさらなる考察が今後の課題となる。また、FP長である $L_{g,top}$ に関しても、ドレイン側に伸ばすに従って耐圧の改善が予測される一方で、遅延時間の増大が予測される。これらの間のトレードオフ関係について、さらなる考察が今後求められており、FP形状の設計には必要な高周波性能と耐圧を加味した設計が求められることとなる。

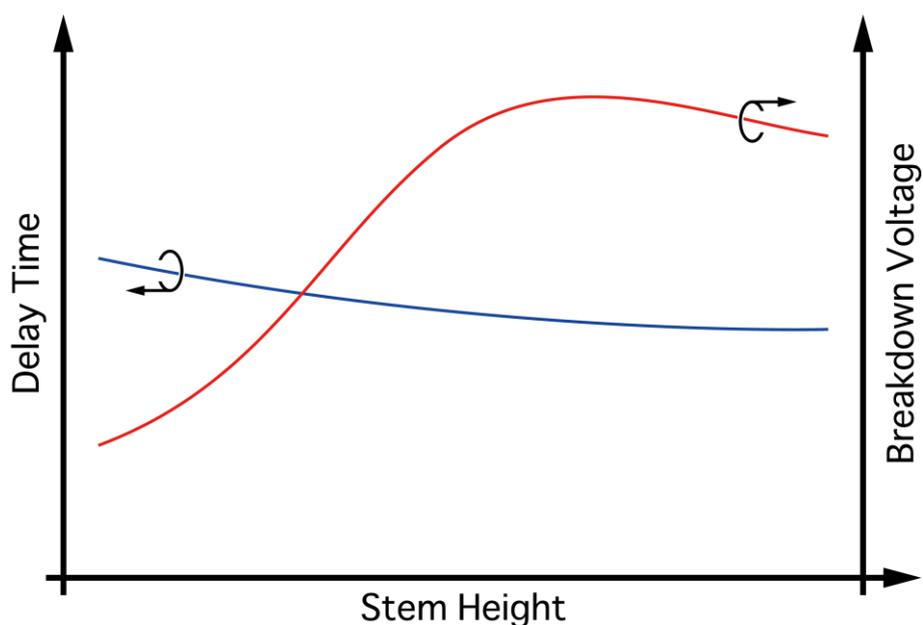


図 6.12: FP 脚部の高さに対する遅延時間及び絶縁破壊電圧の依存性に関する概略図。

6.8 本章のまとめ

第6章では、前章までに検討した高周波化・高耐圧化ゲート形状を有する InGaAs HEMT を実際の集積回路に導入・応用すべく、その前段階として東京理科大学 榎田洋太郎教授研究室において設計された F 級増幅器を通常の T 型ゲート電極を用いて作製した。設計された F 級増幅器は、シミュレーション値ではあるが、これまで 30%以下であった 60 GHz 帯での PAE を 50.8%まで改善させており、今後の発展が期待される。

また設計された F 級増幅器の負荷線上において、T 型ゲート脚部の高さが寄生遅延時間に対して与える影響について考察を行った。その結果、中間バイアス領域においては T 型ゲート脚部の高さが寄生遅延時間に対して影響を与える一方で、低・高バイアス領域においては T 型ゲート脚部の高さが寄生遅延時間に対して与える明確な影響は確認できなかった。しかしながら、寄生遅延時間はドレインコンダクタンスに対して大きな依存性を持っており、寄生遅延時間の大きな線形領域に負荷線を引く場合には、高周波動作に悪影響を及ぼす可能性がある。電力負荷効率に影響を与えずに、遅延時間の大きな線形領域を避けながら負荷線を引くためには、オン抵抗の低減や耐圧の向上が必要となる。オン抵抗の低減のためには、ソース・ドレイン間隔の短縮が有効な手段であり、これにより、高周波性能の改善も同時に可能である。一方で耐圧の向上のためには、第5章で作製した傾斜 FP 構造の導入が有効と考えられる。

以上を考慮して、F 級増幅器に適応する InGaAs-HEMT について、最適なデバイス構造について考察を行った。その結果、FP 構造の脚部高さ(SiCN 鍍型の絶縁膜厚)に関しては、福井大学 葛原正明教授のグループにより、ある高さにおいて耐圧が最大となることが示されており、一方で脚部をより高くすることで f_T の改善が見込まれる。これらの関係を考慮した時に、FP 構造の脚部を高くすることによる f_T の改善効果が、第5章で作製した FP 構造の脚部が 200 nm を超えるような領域では小さいと考えられるため、耐圧が最大となる脚部の高さが最適であるとの考察がなされた。また、FP 構造頭部の長さに関しては今後の最適化が必要であり、この長さを変化させた時の高周波性能と耐圧のトレードオフ関係については、実験的検討が必要である。

第7章 結論と今後の展望

本論文では、InGaAs-HEMT の高周波化およびミリ波帯増幅回路への応用を目的として、(1) T 型ゲート電極の断面形状制御手法(SiCN 鋳型プロセス)に関する研究、(2) SiCN 鋳型プロセスを利用した T 型ゲート電極の最適形状に関する研究、(3) T 型ゲート電極脚部の高さが寄生容量及び寄生遅延時間に対して与える影響の違いに関する研究、(4) SiCN 鋳型プロセスを応用した傾斜フィールドプレート構造の作製に関する研究、(5) InGaAs-HEMT の F 級増幅器への応用に関する研究を行った。具体的には、100 nm 以下のゲート長を持つ InGaAs-HEMT において、ミリ波帯(30 - 300 GHz)での動作と、オフ耐圧 10 から 20 V を両立するデバイスの作製を目的とするものである。特に、微細化スケーリングにおいて性能律速要因として顕在化するゲート寄生効果の抑止に有効な、ゲート形状およびゲートフィールドプレート構造の検討とこれを実現可能なプロセス技術の開発を行った。

第 1 章は序論、第 2 章は本研究の理論的背景である。

第 3 章では、T 型ゲート電極の断面形状を均一性良く制御する SiCN 鋳型プロセスを提案した。SiCN 鋳型プロセスは、これまでの 3 層レジストを用いた T 型ゲート作製プロセスと比較して、レジストを用いないため同一基板内での T 型ゲート形状の均一性の向上が期待される点、T 型ゲート脚部の高さについてもレジストを用いないため制御が容易である点、T 型ゲート脚部の断面を矩形ではなくテーパを持つ形状を実現できるため T 型ゲート電極の頭部金属の剥離による歩留まりの低下を抑制できる点で優位であると言える。また、T 型ゲート脚部の形状について、その制御性についても、これまで提案されている手法と比較して、PE-CVD による SiCN 膜の堆積条件を変更するという比較的簡便な手法で制御が可能である点は優位点となる。つづいて SiCN 鋳型プロセスを利用して T 型ゲート電極を作製し、その DC・RF 測定を行った。さらに遅延時間解析によって、T 型ゲート電極形状が RF 特性に与える影響を確認し、今回作製したゲート長 130 nm の脚部にテーパ形状を持つ 2 種類の T 型ゲートにおいて、より良いゲート形状について考察を行った。その結果、本試作において作製した T 型ゲート形状においては、テーパ角 θ を大きくすることで、寄生容量の低減を優先すべきであるという結論を得た。ただし、 θ を大きくすることで通常の T 型ゲート電極に近づくことになるため、その値については歩留まりや信頼性も考慮して決定する必要がある。寄生容量の削減を優先する理由としては、今回寄生容量とトレードオフ関係にあるゲート抵抗は、ゲート金属を厚くすることで一定程度であれば低減可能であるためである。さらに、静電場解析を用いて T 型ゲート電極の最適設計について考察を行った。本考察においては、3.3.3 項で作製したゲート形状を元に、ゲート電極アスペクト比の範囲が 1 から 2 となる範囲において T 型ゲート形状を設定した。本検討範囲においては、最適条件を f_{\max} が最大となる場合と定義した場合については T 型ゲート脚部の 1/5 から広が

り始める形状が、また、最適条件を f_T と f_{max} の積が最大となる場合と定義した場合については T 型ゲート脚部の 2/5 から広がり始める形状が最適設計条件であるという結果が得られた。上記結果は本検討範囲における最適形状であるが、本解析手法自体はどのような T 型ゲート形状においても解析可能な手法であり、これまで経験に依存していたゲート形状の設計について、比較的簡易な手法により 1 次近似的に T 型ゲート電極の最適形状を得ることが可能となった。つまり、本手法を用いることで、ゲート長を変更した場合や、T 型ゲート頭部の長さを変更した場合、テーパ角を変更した場合についても T 型ゲート電極の最適形状について考察が可能である。

第 4 章では、3.3.1 節において提案された SiCN 鋳型プロセスを改善し、ゲート形状の制御性の向上や懸念事項であったゲート抵抗が増大する可能性を除去した、改良型の SiCN 鋳型プロセスを示した。これまでには、T 型ゲート電極頭部の長さが寄生容量や寄生遅延時間に対して与える影響に関する研究は行われていたが[1.51]、その高さに着目した研究はされていなかった。そこで、第 4 章では、ゲート長 110 nm、その頭部長 600 nm の T 型ゲート電極について、T 型ゲート電極の高さが 280、320、340、360 nm である 4 種類の InGaAs-HEMT を作製した。この T 型ゲート電極についての設定では、ゲート電極アスペクト比を、前章での検討範囲よりもプロセス的には難易度が向上するがより大きな寄生容量低減効果が期待される範囲として、第 3 章で設定された 1~2 から、本章では 2.2~3.0 に拡大されている。さらに、これらの T 型ゲート電極を持つ InGaAs-HEMT について、その DC および RF 測定や遅延時間解析、回路パラメータの抽出を行うことで、T 型ゲート脚部高さが寄生容量や寄生遅延時間に与える影響を評価した。その結果、寄生容量は T 型ゲート電極の脚部が高くなるに従って減少した。この結果は、作製したゲート形状を元にしたゲートモデルを用いて静電場解析から導出した寄生容量の依存性とよく一致している。しかしながら、低ドレイン電圧では T 型ゲート脚部の高さに依存して変化していた寄生遅延時間が、高ドレイン電圧ではほぼ依存性を持たなくなった。本結果は、T 型ゲート電極脚部の高さが変化した際の、寄生容量と寄生遅延時間に対する依存性を示しており、どのような T 型ゲート電極に対しても、程度の違いはあれど、同様の結果を示すと考えられる。本結果から、HEMT の動作について、低バイアスで動作する際には遅延時間に対して T 型ゲート電極構造が影響を与えるため、その設計に注意が必要であるのに対して、高バイアス動作時にはその影響が小さくなるため、より大きな T 型ゲート電極頭部を使用可能である。つまり、T 型ゲート電極構造の設計においては応用用途におけるバイアス点を考慮することで最適な構造が決まる。HEMT の動作点と寄生遅延時間の関係については、その応用用途として想定される増幅器の負荷線上においてさらなる考察が必要である。この点に関しては、第 6 章で、InGaAs-HEMT の回路パラメータを用いて設計された F 級増幅器の負荷線上において、その関係性について考察を行った。

第 5 章では、SiCN 鋳型プロセスを用いて、膜厚が 200 nm 前後の SiCN 鋳型を用いて、ゲ

ート長が 200 nm 程度、FP 電極頭部の長さ($L_{g,top}$)が 1 μm の多段および傾斜 FP 構造を持つ InGaAs-HEMT を作製し、その特性について考察を行った。10 層 SiCN 鋳型を用いて作製した傾斜 FP 構造を持つ InGaAs-HEMT では 20.9 V であった。これは、キャリア濃度(FP 構造では $2.0 \times 10^{12} \text{ cm}^{-2}$ 、リセスゲート構造では $2.5 \times 10^{12} \text{ cm}^{-2}$)を除いて同等のエピタキシャル基板上に作製された、通常のリセスゲート構造を持つ InGaAs-HEMT の耐圧(5.6 V)と比較して 3.7 倍となった。単純な比較はできないが、傾斜 FP 構造を持つ InGaAs-HEMT では、通常の InGaAs-HEMT と比較して優れた耐圧特性を有すると言える。1、2、3、10 層 SiCN 鋳型を用いて多段および傾斜 FP 構造を作製した。これらの FP 頭部長はすべて $1\mu\text{m}$ と同様である。これらの FP 構造を持つ InGaAs-HEMT について、その回路パラメータを抽出し、考察した。その結果、SiCN 鋳型の段数を増やすことで寄生容量の低減が可能であることが示された。これは、FP 断面形状の違いに起因している。さらに、ゲート長のスケールリングを確認するために、短ゲート領域において各種 FP 構造を作製した。特に、2 層 SiCN 鋳型を用いて作製した傾斜 FP 構造では、そのゲート長が 65 nm と、これまで数百 nm オーダーであった傾斜 FP 構造のゲート長[1.63]を 100 nm 以下まで短縮し、SiCN 鋳型プロセスによって短ゲート領域においても傾斜 FP 構造が作製可能であることを示した。また、2 層 SiCN 鋳型を用いて作製したゲート長 65 nm の InGaAs-HEMT における f_T 、耐圧はそれぞれ 94 GHz、8.9 V であった。つづいて、2 層 SiCN 鋳型を用いて作製した、ゲート長が異なる InGaAs-HEMT を用いて、耐圧および f_T のゲート長依存性を測定・考察を行った。その結果、耐圧と f_T の積が最大となったのは、ゲート長 100 nm の時であり、このとき耐圧及び f_T 、これらの積はそれぞれ、11.9 V、90 GHz、1.07 THzV であった。また、短ゲート化によって f_T の改善と耐圧の劣化が確認され、耐圧と f_T の積に関しては最大となるゲート長が存在することが示された。耐圧と f_T のゲート長依存性はトレードオフ関係にあるため、耐圧と f_T の積が最大となるゲート長の存在は定性的には正しいと言える。さらに、2 層 SiCN 鋳型を用いて作製した FP 構造を持つ InGaAs-HEMT について、耐圧および f_T に関するベンチマークを行った。その結果、10 層 SiCN 鋳型を用いて作製した傾斜 FP 構造を持つ HEMT においては、2 層 SiCN 鋳型を用いた場合と比較して耐圧と f_T の積が少なくとも 2 倍程度までは改善が可能であるとの結果が得られた。

第 6 章では、前章までに検討した高周波化・高耐圧化ゲート形状を有する InGaAs HEMT を実際の集積回路に導入・応用すべく、その前段階として東京理科大学 榎田洋太郎教授研究室において設計された F 級増幅器を通常の T 型ゲート電極を用いて作製した。設計された F 級増幅器は、シミュレーション値ではあるが、これまで 30%以下であった 60 GHz 帯での PAE を 50.8%まで改善させており、今後の発展が期待される。また設計された F 級増幅器の負荷線上において、T 型ゲート脚部の高さが寄生遅延時間に対して与える影響について考察を行った。その結果、中間バイアス領域においては T 型ゲート脚部の高さが寄生遅延時間に対して影響を与える一方で、低・高バイアス領域においては T 型ゲート脚部の高さ

が寄生遅延時間に対して与える明確な影響は確認できなかった。しかしながら、寄生遅延時間はドレインコンダクタンスに対して大きな依存性を持っており、寄生遅延時間の大きな線形領域に負荷線を引く場合には、高周波動作に悪影響を及ぼす可能性がある。電力負荷効率に影響を与えずに、遅延時間の大きな線形領域を避けながら負荷線を引くためには、オン抵抗の低減や耐圧の向上が必要となる。オン抵抗の低減のためには、ソース・ドレイン間隔の短縮が有効な手段であり、これにより、高周波性能の改善も同時に可能である。一方で耐圧の向上のためには、第 5 章で作製した傾斜 FP 構造の導入が有効と考えられる。以上を考慮して、F 級増幅器に適應する InGaAs-HEMT について、最適なデバイス構造について考察を行った。その結果、FP 構造の脚部高さ(SiCN 鋳型の絶縁膜厚)に関しては、福井大学 葛原正明教授のグループにより、ある高さにおいて耐圧が最大となることが示されており、一方で脚部をより高くすることで f_T の改善が見込まれる。これらの関係を考慮した時に、FP 構造の脚部を高くすることによる f_T の改善効果が、第 5 章で作製した FP 構造の脚部が 200 nm を超えるような領域では小さいと考えられるため、耐圧が最大となる脚部の高さが最適であるとの考察がなされた。また、FP 構造頭部の長さに関しては今後の最適化が必要であり、この長さを変化させた時の高周波性能と耐圧のトレードオフ関係については、実験的検討が必要である。本章の研究は、横型トランジスタであれば様々な種類のトランジスタに適應が可能であり、将来に向けた高周波・高耐圧デバイスの開発に向けた、プロセス技術からのアプローチを示した。SiCN 鋳型プロセスでは、ゲート長の制御は比較的簡単に行えるため、耐圧と f_T の積が最大となるゲート長でデバイスの作製が可能である。今後の課題としては、傾斜 FP 構造の最適化やソース抵抗の低減、閾値の均一化が挙げられる。

結びに、本論文では SiCN 鋳型プロセスを中核技術として、T 型ゲート電極の最適設計や応用用途の違いによるデバイス設計の指針を示した。本指針は今後の HEMT の IC 応用において活かされることが期待される。また InGaA-HEMT を用いた F 級増幅器については、今後試作を重ねることで従来の増幅器を大きく超える効率が期待される。さらに SiCN 鋳型プロセスによるゲート形状制御技術を応用した傾斜 FP 構造は様々な横型トランジスタに応用可能であり、将来の高周波・高耐圧動作可能なトランジスタ実現に大きな役割を果たしうると期待される。

謝辞

本論文をまとめるにあたり、本研究の機会を与えていただくと共に、本研究を遂行するにあたり、日夜ご指導ご鞭撻を下さいました東北大学 電気通信研究所 ブロードバンド工学研究部門 超ブロードバンド信号処理研究室、尾辻泰一教授、同 末光哲也准教授、同 Stephane Albon Boubanga Tombet 准教授、佐藤昭助教に深く感謝いたします。

本論文をご審査していただき、熱心なご討論、助言をいただきました東北大学 電気通信研究所 佐藤茂雄教授、東北大学 大学院 工学研究科 電気エネルギーシステム専攻 遠藤哲郎教授に深く感謝いたします。

本研究を遂行するにあたり、共同研究として回路設計やご助言、研究成果のご提供をいただきました東京理科大学理工学部電気電子情報工学科煤田洋太郎教授、岸俊樹氏、小山雅史氏、渡邊邦彦氏に深く感謝いたします。

本研究を遂行するにあたり、HEMT 作製の設計から試作までの環境をご提供いただいた東北大学ナノ・スピン実験施設の森田伊織氏をはじめとする関係者の皆様に深く感謝いたします。また、HEMT 作製から試作まで折々ご助力いただきました、ナノ・スピン実験施設元職員の目黒敏靖氏、佐々木龍太郎氏、岩見友里香氏に深く感謝いたします。

本研究を遂行するにあたり、使用しました HEMT ウェハのエピタキシャル層構造を結晶成長していただきました、株式会社オプトランスの荒木賀行氏、横濱秀雄氏をはじめとする関係者の皆様に深く感謝いたします。

本研究を遂行するにあたり、共同で HEMT を作製して下さいました、鹿野優毅氏、小林健悟氏、畠山信也氏、安川奈那氏に深く感謝いたします。また、多くの議論とご指摘を下さいました、渡辺隆之氏、鷹林将氏、Adrian Dobroiu 氏に深く感謝いたします。研究の円滑な遂行のため陰ながらご助力頂いた上野佳代氏、菅原香織氏に深く感謝いたします。

本論文をまとめるにあたり、尾辻・末光研究室の平成 22 年度までの研究成果が大変有益なものとなりました。研究成果を提供して頂いた福田俊介氏、赤川啓介氏をはじめとする先輩諸氏に深く感謝いたします。

2 ヶ月間の米国における研究滞在をするにあたり、研究滞在の受け入れから、滞在期間中の研究指導、協力をいただいた、米国マサチューセッツ工科大学 Microsystems Technology Laboratories Jesús A. del Alamo 教授、Jorg Scholvin 氏、に深く感謝いたします。共同で実験に参加して下さった Jianqiang Lin 氏に深く感謝いたします。滞在中に多くのご助力を頂きま

した Elizabeth Kubicki 氏をはじめとする、Jesús A. del Alamo 研究室のメンバーに深く感謝いたします。

尾辻・末光研究室において、共に学んだ同期の谷本雄大氏に深く感謝いたします。また、尾辻・末光研究室での生活を共にして下さった西村拓也氏、姜顯澈氏、El Moutaouakil Amine 氏、唐澤宏美氏、小森常義氏、久保真人氏、福嶋哲也氏、小海麻美氏、江藤隆紀氏、栗田裕記氏、小嶋一輝氏、杉山弘樹氏、矢部祐平氏、Deepika, Yadav 氏、川崎鉄哉氏、小関勇氣氏、Mastura binti Hussin 氏、菅原健太氏、Stevanus Arnold 氏、田島裕章氏、玉虫元氏、若生洋由希氏、糟谷文月氏に深く感謝いたします。そしてこれまで、共に学び議論を交わした尾辻・末光研究室の皆様に深く感謝いたします。

最後に、私事ながらこれまでの生活を支えてくださいました、友人、家族に深く感謝いたします。

参考文献

- [1.1] 総務省, “我が国のインターネットにおけるトラヒックの集計・試算,” 2014年3月14日発表報道資料, 2014.
- [1.2] 宮本裕, 吉田英二, 富沢将人, “100Gbit/s 級チャネルを用いた大容量光ネットワークの技術動向,” 電子情報通信学会誌, Vol. 92, No. 9, pp. 775-781, 2009.
- [1.3] NTT Communications, “2012年6月21日: 日本初、国内基幹ネットワークの商用光ファイバケーブルにおいて超大容量な 100Gbps-DWDM 伝送に成功,” 報道資料発表, 2012.
- [1.4] E. Sano and Y. Yamane “InP Based Lightwave Communication ICs for 40Gbit/s and Beyond,” IEICE Trans. Electron., Vol. E82-C, No. 11, pp. 1879-1885, 1999.
- [1.5] K. Murata, K. Sano, S. Sugitani, H. Sugahara, and T. Enoki, “100 Gbit/s multiplexing and demultiplexing IC operations in InP HEMT technology,” Electronics Lett., Vol. 38, No. 24, pp. 1529-1531, 2002.
- [1.6] 総務省, “周波数再編アクションプラン (平成 25 年 10 月改定版),” 2013 年 10 月 9 日発表報道資料.
- [1.7] A. Hirata, R. Yamaguchi, T. Kosugi, H. Takahashi, K. Murata, T. Nagatsuma, N. Kukutsu, Y. Kado, N. Iai, S. Okada, S. Kimura, H. Ikegawa, H. Nishikawa, T. Nakayama, and T. Inada, “10-Gbit/s Wireless Link Using InP HEMT MMICs for Generating 120-GHz-Band Millimeter-Wave Signal,” Compound Semiconductor Integrated Circuit Symposium (CSICS), pp. 1-4, 2011.
- [1.8] 総務省, “第 3 世代及び第 3.9 世代携帯電話の契約者数の推移,” <http://www.soumu.go.jp/johotsusintokei/field/tsuushin02.html>.
- [1.9] A. M. Saleh, A. J. Rustako, and R. S. Roman, “Distributed Antennas for Indoor Radio Communications,” IEEE Trans. Commun., Vol. 35, No. 12, pp. 1245-1251, 1987.
- [1.10] M. V. Clark, T. M. Willes III, L. J. Greenstein, A. J. Rustako, Jr., V. Erceg, and R. S. Roman, “Distributed versus centralized antenna arrays in broadband wireless networks,” Proc. IEEE Vehicular Technology Conf., pp. 33-37, 2001.
- [1.11] L. Dai, S. Zho, and Y. Yao, “Capacity analysis in CDMA distributed antenna systems,” IEEE Trans. Wireless Commun. Vol. 4, No. 6, pp. 2613-2620, 2006.
- [1.12] W. Choi, and J. G. Andrews, “Downlink performance and capacity of distributed antenna systems in a multicell environment,” IEEE Trans. Wireless Commun., Vol. 6, No. 1 pp.69-73, 2007.
- [1.13] H. Matsuda, H. Tomeba, and F. Adachi, “Channel capacity of distributed antenna system using maximal ratio transmission,” Proc. 5th IEEE VTS Asia Pacific Wireless

- Communications Symposium, Sendai, Japan, 2008.
- [1.14] F. Adachi, K. Takeda, T. Obara, T. Yamamoto, and H. Matsuda, "Recent Advances in Single-Carrier Frequency-Domain Equalization and Distributed Antenna Network," *IEICE Trans. Fundamentals*, Vol. E93-A, No. 11, pp. 2201-2211, 2010.
- [1.15] J. Lin, C. C. Boon, X. Yi, W. M. Lim, "A Compact Single Stage V-Band CMOS Injection-Locked Power Amplifier With 17.3% Efficiency," *Microwave and Wireless Components Letters*, Vol. 24, No. 3, pp. 182-184, 2014.
- [1.16] H. Asada, K. Matsushita, K. Bunsen, K. Okada, A. Matsuzawa, "A 60GHz CMOS power amplifier using capacitive cross-coupling neutralization with 16% PAE," *Microwave Conference 2011 41st European*, pp. 1115-1118, 2011.
- [1.17] Y. Sun, G.G. Fischer, and J.C. Scheytt, "A Compact Linear 60 GHz PA with 29.2% PAE Operating at Weak Avalanche Area in SiGe," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 60, pp.2581-2589, 2012.
- [1.18] S. Glisic, M. Elkhoully, and C. Meliani, "A High-efficiency PA with Peak PAE of 32.9% and 12.7 dBm P1dB for 60 GHz Beamforming Applications in SiGe," *Proceedings of the 8th European Microwave Integrated Circuit Conference*, pp. 153-156, 2013.
- [1.19] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A new field-effect transistor with selectively doped GaAs/n-AlGaAs heterojunctions," *Jpn. J. Appl. Phys.*, Vol. 19, No. 5, pp. L225-L227, 1980.
- [1.20] L. D. Nguyen, L. E. Larson, U. K. Mishra, "Ultra-high-speed modulation-doped field effect transistors: a tutorial review," *Proc. of the IEEE*, Vol. 80, No. 4, pp. 494-518, 1992.
- [1.21] J. Batey and S. L. Wright, "Energy band alignment in GaAs:(Al,Ga)As heterostructures: The dependence on alloy composition," *J. Appl. Phys.*, Vol. 59, No. 1, pp. 200-209, 1986.
- [1.22] Q. S. Zhu, S. M. Mou, X. C. Zhou, and Z. T. Zhong, "Determination of the conductionband offset of a single AlGaAs barrier layer using deep level transient spectroscopy," *Appl. Phys. Lett.*, Vol. 62, pp. 2813-2814, 1993.
- [1.23] S. M. Sze, "High-Speed Semiconductor Devices," WILEY INTERSCIENCE, p. 25, 1990.
- [1.24] C. Y. Chen, A. Y. Cho, K. Y. Cheng, T. P. Pearsall, P. O'connor, and P. A. Garbinski, "Depletion mode modulation doped $\text{Al}_{0.48}\text{In}_{0.52}\text{As}-\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ heterojunction field effect transistors," *IEEE Electron Device Lett.*, Vol. 6, No. 6, pp. 152-155, 1982.
- [1.25] K. Y. Cheng, A. Y. Cho, T. J. Drummond, and H. Morkoc, "Electron mobilities in modulation doped $\text{Ga}_{0.47}\text{In}_{0.53}\text{As}/\text{Al}_{0.48}\text{In}_{0.52}\text{As}$ heterojunctions grown by molecular beam epitaxy," *Appl. Phys. Lett.*, Vol. 40, pp. 147-149, 1982.
- [1.26] I. Vurgaftman, J. R. Meyer, and L. R. Ram-Mohan, "Band parameters for III-V compound semiconductors and their alloys," *J. Appl. Phys.*, Vol. 89, pp. 5815-5875, 2001.
- [1.27] E.-Y. Chang, C.-I Kuo, H.-T. Hsu, C.-Y. Chiang, and Y. Miyamoto, "InAs Thin-Channel

- High-Electron-Mobility Transistors with Very High Current-Gain Cutoff Frequency for Emerging Submillimeter-Wave Applications,” *Appl. Phys. Exp.* Vol. 6, pp. 034001-1-3, 2013.
- [1.28] T. Akasaki, K. Arai, T. Enoki, and Y. Ishii, “Improved InAlAs/InGaAs HEMT characteristics by inserting an InAs layer into the InGaAs channel,” *IEEE Electron Device Lett.*, Vol. 13, pp. 325–327, 1992.
- [1.29] D. Xu, H. Heiß, M. Sexl, S. Kraus, G. Böhm, G. Tränkle, G. Weimann, and G. Abstreiter, “2 Smm Transconductance InAs-Inserted-Channel Modulation Doped Field Effect Transistors with a Very Close Gate-to-Channel Separation of 14.5 nm,” *Jpn. J. Appl. Phys.*, Vol. 36, pp. L470–L472, 2002.
- [1.30] A. N. Lepore, M. Levy, R. Tiberio, P. Tasker, H. Lee, E. Wold, L. Eastman, and E. Kohn, “0.1 μm gate length MODFETs with unity current gain cutoff frequency above 110 GHz,” *Electron Lett.* Vol. 24, No. 6, pp. 364-366, 1988.
- [1.31] U. K. Mishra, A. S. Brown, and S. E. Rosenbaum, “DC and RF performance of 0.1 μm gate length $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.38}\text{In}_{0.62}\text{As}$ pseudomorphic HEMTs,” *IEDM Tech. Dig.*, pp. 180-183, 1988.
- [1.32] U. K. Mishra, A. S. Brown, L. M. Jelloian, M. Thompson, L. D. Nguyen, S. E. Rosenbaum, “Novel high performance self-aligned 0.15 micron long T-gate $\text{AlInAs}/\text{GaInAs}$ HEMTs,” *IEDM Tech. Dig.*, pp. 101-104, 1989.
- [1.33] L. D. Nguyen, A. S. Brown, M. A. Thompson, and L. M. Jelloian, “50-nm self-aligned-gate pseudomorphic $\text{AlInAs}/\text{GaInAs}$ high electron mobility transistors,” *IEEE Trans. Electron Devices*, Vol. 39, No. 9, pp. 2007-2014, 1992.
- [1.34] T. Suemitsu, T. Ishii, H. Yokoyama, Y. Umeda, T. Enoki, Y. Ishii, and T. Tamamura, “30-nm-gate $\text{InAlAs}/\text{InGaAs}$ HEMTs lattice-matched to InP substrates,” *IEDM Tech. Dig.*, pp. 223-226, 1998.
- [1.35] A. Endoh, Y. Yamashita, M. Higashiwaki, K. Hikosaka, T. Mimura, S. Hiyamizu, and T. Matsui, “High f_T 50-nm-gate lattice-matched $\text{InAlAs}/\text{InGaAs}$ HEMTs,” *Indium Phosphide and Related Materials (IPRM) Proceedings*, pp. 87-90, 2000.
- [1.36] K. Shinohara, Y. Yamashita, A. Endoh, K. Hikosaka, T. Matsui, T. Mimura, T. Mimura, and S. Hiyamizu, “Ultrahigh-speed pseudomorphic $\text{InGaAs}/\text{InAlAs}$ HEMTs with 400-GHz cutoff frequency,” *Electron Device Lett.*, Vol. 22, No. 11, pp. 507-509, 2001.
- [1.37] Y. Yamashita, A. Endoh, K. Shinohara, K. Hikosaka, T. Matsui, S. Hiyamizu, T. Mimura, “Pseudomorphic $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ HEMTs with an ultrahigh f_T of 562 GHz,” *IEEE Electron Device Lett.*, Vol. 23, No. 10, pp. 573-575, 2002.
- [1.38] S.-J. Yeon, M. Park, J. Choi, and K. Seo, “610 GHz $\text{InAlAs}/\text{In}_{0.75}\text{GaAs}$ Metamorphic HEMTs with an Ultra-Short 15-nm-Gate,” *IEDM Tech. Dig.*, pp. 613-616, 2007.

- [1.39] D.-H. Kim, and J. A. del Alamo, "30-nm InAs Pseudomorphic HEMTs on an InP Substrate With a Current-Gain Cutoff Frequency of 628 GHz," *IEEE Electron Device Lett.*, Vol. 29, No. 8, 2008.
- [1.40] D.-H. Kim, and J. A. del Alamo, "30-nm InAs PHEMTs With $f_T = 644$ GHz and $f_{max} = 681$ GHz," *IEEE Electron Device Lett.*, Vol. 31, No. 8, pp. 806-808, 2010.
- [1.41] R. Lai, X. B. Mei, W. R. Deal, W. Yoshida, Y. M. Kim, P. H. Liu, J. Lee, J. Uyeda, V. Radisic, M. Lange, T. Gaier, L. Samoska, and A. Fung, "Sub 50 nm InP HEMT Device with F_{max} Greater than 1 THz," *IEDM Tech. Dig.*, pp. 609–612, 2007.
- [1.42] D.-H. Kim, B. Brar, and J. A. del Alamo, " $f_T = 688$ GHz and $f_{max} = 800$ GHz in $L_g = 40$ nm $In_{0.7}Ga_{0.3}As$ MHEMTs with $g_{m,max} > 2.7$ mS/ μ m," *IEDM Tech. Dig.*, pp. 319–322, 2011.
- [1.43] W. R. Deal, "InP HEMT for sub-millimeter wave space applications: Status and challenges," *39th International Conference on Infrared, Millimeter, and Terahertz waves (IRMMW) Proceeding*, pp. 1-3, 2014.
- [1.44] T. Takahashi, M. Sato, Y. Nakasha, T. Hirose, and N. Hara, "Noise Figure Improvement in InP-Based HEMTs," *IEEE Electron Device Lett.*, Vol. 33, No. 2, pp. 206-208, 2011.
- [1.45] S. Fukuda, T. Suemitsu, T. Otsuji, D. H. Kim, and J. A. del Alamo, "Analysis of Gate Delay Scaling in $In_{0.7}Ga_{0.3}As$ -Channel High Electron Mobility Transistors," *Jpn. J. Appl. Phys.*, Vol. 48, No. 4, pp.04C086-1-4, Sep, 2009.
- [1.46] A. Endoh, Y. Yamashita, K. Shinohara, M. Higashiwaki, K. hikosaka, T. Mimura, S. Hiyamizu and T. Matsui "Fabrication Technology and Device Performance of Sub-50-nm-Gate InP-Based High Electron Mobility Transistors," *Jpn. J. Appl. Phys.*, Vol. 41, pp. 1094-1098, 2002.
- [1.47] A. Sarkar, and B. Floyd, "A 28-GHz class-J Power Amplifier with 18-dBm output power and 35% peak PAE in 120-nm SiGe BiCMOS," *14th Topical Meeting on Silicon Monolithic Integrated Circuits in Rf Systems (SiRF)*, pp. 71-73, 2014.
- [1.48] K. Datta, J. Roderick, and H. Hashemi, "A 20 dBm Q-band SiGe Class-E power amplifier with 31% peak PAE," *Custom Integrated Circuits Conference (CICC) 2012*, 2012.
- [1.49] Y. Sun, G. G. Fischer, and J. C. Scheytt, "A Compact Linear 60 GHz PA with 29.2% PAE Operating at Weak Avalanche Area in SiGe," *IEEE Trans. on Microwave Theory and Techniques*, pp.2581-2589, 2012.
- [1.50] H.-C. Lin, and G. M. Rebeiz, "A 112–134 GHz SiGe amplifier with peak output power of 120 mW," *Radio Frequency Integrated Circuits Symposium*, pp. 163-166, 2014.
- [1.51] K. Akagawa, S. Fukuda, T. Suemitsu, T. Otsuji, H. Yokohama and G. Araki, "Impact of T-gate electrode on gate capacitance in $In_{0.7}Ga_{0.3}As$ HEMTs," *Physica Status Solidi C*, Vol. 8, No. 2, pp. 300-302, 2011.
- [1.52] N. Hara, K. Makiyama, T. Takahashi, K. Sawada, T. Arai, T. Ohki, M. Nihei, T. Suzuki, Y.

- Nakasha, and M. Nishi, "Highly uniform InAlAs-InGaAs HEMT technology for high-speed optical communication system ICs," *IEEE Trans. on Semiconductor Manufacturing*, Vol. 16, No. 3, pp. 370-375, 2003.
- [1.53] R. J. Trew, and U. K. Mishra, "Gate breakdown in MESFETs and HEMTs," *IEEE Electron Device Lett.*, Vol. 12, No. 10, pp. 524-526, 1991.
- [1.54] N.-Q. Zhang, S. Keller, G. Parish, S. Heikman, S. P. DenBaars, and U. K. Mishra, "High breakdown GaN HEMT with overlapping gate structure," *IEEE Electron Device Lett.*, Vol. 21, No. 9, pp.421-423, 2000.
- [1.55] J. Li, S. J. Cai, G. Z. Pan, Y. L. Chen, C. P. Wen, and K. L. Wang, "High breakdown voltage GaN HFET with field plate," *Electron Lett.*, Vol. 37, No. 3, pp. 196-197, 2001.
- [1.56] Y. Ando, Y. Okamoto, H. Miyamoto, T. Nakayama, T. Inoue, and M. Kuzuhara, "10-W/mm AlGaIn-GaN HFET with a field modulating plate," *IEEE Electron Device Lett.*, Vol. 24, No. 5, pp.289-291, 2003.
- [1.57] Y.-F. Wu, A. Saxler, M. Kuzuhara, M. Moore, R. P. Smith, S. Sheppard, P. M. Chavarkar, T. Wisleder, U. K. Mishra, and P. Parikh, "30-W/mm GaN HEMTs by field plate optimization," *IEEE Electron Device Lett.*, Vol. 25, No. 3, pp. 117-119, 2004.
- [1.58] S. Karmalkar, and M. S. Mishra, "Enhancement of breakdown voltage in AlGaIn/GaN high electron mobility transistors using a field plate," *IEEE Trans. Electron Devices*, Vol. 48, No. 8, pp. 1515-1521, 2002.
- [1.59] S. Karmalkar, M. S. Shur, G. Simon, M. A. Khan, "Field-plate engineering for HFETs," *IEEE Trans. Electron Devices*, Vol. 52, No. 12, pp. 2534-2540, 2005.
- [1.60] R. Chu, L. Shen, N. Fichtenbaum, D. Brown, Z. Chen, S. Keller, S. P. DenBaars, and K. Mishra, "V-Gate GaN HEMTs for X-Band Power Applications," *IEEE Electron Device Lett.*, Vol. 29, No. 9, 2008.
- [1.61] K. Asano, Y. Miyashi, K. Ishikura, Y. Nashimoto, M. Kuzuhara, and M. Mizuta, "Novel high power AlGaAs/GaAs HFET with a field-modulating plate operated at 35 V drain voltage," *IEDM Tech. Dig.*, pp. 59-62 , 1998.
- [1.62] H. Xing, Y. Dora, A. Chini, S. Heikman, S. Keller, U. K. Mishra, "High breakdown voltage AlGaIn-GaN HEMTs achieved by multiple field plates," *IEEE Electron Device Lett.*, Vol. 25, No. 4, pp. 161-163, 2004.
- [1.63] Y. Dora, A. Chakraborty, L. McCarthy, S. Keller, S. P. DenBaars, and U. K. Mishra, "High Breakdown Voltage Achieved on AlGaIn/GaN HEMTs With Integrated Slant Field Plates," *IEEE Electron Device Lett.*, Vol. 27, No. 9, pp. 713-715, 2006.
- [1.64] T. Deguchi, H. Tomita, A. Kamada, M. Arai, K. Yamasaki, and T. Egawa, "Suppression of Current Collapse of High-Voltage AlGaIn/GaN HFETs on Si Substrates by Utilizing a Graded Field-Plate Structure," *IEICE Trans. Electronics*, Vol. E95-C, No.8, pp. 1343-1347,

2012.

- [2.1] N. Maeda, H. Ito, T. Enoki, and Y. Ishii, "Dependence on channel potential structures of I-V characteristics in InAlAs/InGaAs pseudomorphic high electron mobility transistors," *J. Appl. Phys.*, Vol. 81, No. 3, pp. 1552-1565, 1997.
- [2.2] T. Akasaki, K. Arai, T. Enoki, and Y. Ishii, "Improved InAlAs/InGaAs HEMT characteristics by inserting an InAs layer into the InGaAs channel," *IEEE Electron Device Lett.*, Vol. 13, No. 6, pp. 325-327, 1992.
- [2.3] D. Xu, H. Heiß, M. Sexl, S. Kraus, G. Böhm, G. Tränkle, G. Weimann, and G. Abstreiter, "2 S/mm transconductance InAs-inserted-channel modulation doped field effect transistors with a very close gate-to-channel separation of 14.5 nm," *Jpn. J. Appl. Phys.*, Vol. 36, No. 4B, pp. L470-L472, 1992.
- [2.4] T. Enoki, H. Ito, K. Ikuta, and Y. Ishii, "0.1- μm InAlAs/InGaAs HEMTs with an InP-recess-etch stopper grown by MOCVD," *Proc. 7th Int. Conf. on Indium Phosphide and Related Materials*, pp. 81-84, 1995.
- [2.5] T. Suemitsu, T. Enoki, N. Sano, M. Tomozawa, and Y. Ishii, "An Analysis of the Kink Phenomena in InAlAs/InGaAs HEMT's Using Two-Dimensional Device Simulation," *IEEE Tans. Electron devices*, Vol. 45, No. 12, pp. 2390-2399, 1998.
- [2.6] G. Meneghesso, D. Buttari, E. Perin, C. Canali, and E. Zanoni, "Improvement of DC, low frequency and reliability properties of InAlAs/InGaAs InP-based HEMTs by means of an InP etch stop layer," *IEDM '98 Tech. Dig.*, pp. 227-230, 1998.
- [2.7] W. E. Spicer, P. W. Chye, P. R. Skeath, C. Y. Su, and I. Lindau, "New and unified model for Schottky barrier and III-V insulator interface states formation," *J. of Vacuum Science and Technology*, Vol. 16, No. 5, pp. 1422-1433, 1979.
- [2.8] J. M. Vandenberg, H. Temkin, R. A. Hamm, and M. A. DiGiuseppe "Structural study of alloyed gold metallization contacts on InGaAsP/InP layers," *J. Appl. Phys.*, Vol. 53, pp. 7385-7389, 1982.
- [2.9] P. Zwicknagl, S. D. Mukherjee, P. M. Capani, H. Lee, H. T. Griem, L. Rathbun, J. D. Berry, W. L. Jones, and L. F. Eastman, "Very low Resistance Au/Ge/Ni/Ag based ohmic contact formation to $\text{Al}_{0.25}\text{Ga}_{0.75}\text{As}/\text{Ga}_{0.47}\text{In}_{0.53}\text{As}/\text{GaAs}$ and $\text{Al}_{0.48}\text{In}_{0.52}\text{As}/\text{Ga}_{0.47}\text{In}_{0.53}\text{As}$ heterostructures: A behavioral comparison," *J. of Vacuum Science and Technology B*, Vol. 4, pp. 476-484, 1986.
- [2.10] S. Kuroda, N. Harada, T. Katakami, and T. Mimura, "HEMT with nonalloyed ohmic contacts using $\text{n}^+\text{-InGaAs}$ cap layer," *IEEE Electron Device Lett.*, Vol. 8, No. 9, pp. 389-391, 1987.
- [2.11] K. J. Chen, T. Enoki, K. Maezawa, K. Arai, and M. Yamamoto, "High-performance InP-based enhancement-mode HEMT's using non-alloyed ohmic contacts and Pt-based

- buried-gate technologies,” *IEEE Trans. Electron devices*, Vol. 43, No. 2, pp. 252-257, 1996.
- [2.12] K. Shinohara, Y. Yamashita, A. Endoh, I. Watanabe, K. Hikosaka, T. Matsui, T. Mimura, and S. Hiyamizu, “547-GHz f_t $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}/\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ HEMTs With Reduced Source and Drain Resistance,” *IEEE Electron Device Lett.*, Vol. 25, No. 5, pp. 241-243, 2004.
- [2.13] K. Lee, M. S. Shur, T. J. Drummond, and H. Morkoc, “Current-Voltage and capacitance-Voltage characteristics of modulation-doped field-effect transistors,” *IEEE Trans. Electron Devices*, Vol. ED-30, No. 3, pp. 207-212, 1983.
- [2.14] H. Rohdin, A. Nagy, V. Robbins, C.-Y. Su, C. Madden, A. S. Wakita, J. Seeger, T. Hwang, P. Chey, P. E. Gregory, S. R. Bahl, F. G. Keller, L. G. Studebaker, D. C. D’Avanzo, and S. Jonsen, “0.1- μm Gate-Length $\text{AlInAs}/\text{GaInAs}/\text{GaAs}$ MODFET MMIC Process for Applications in High-Speed Wireless Communications,” *Hewlett-Packard J.*, Vol. 49, No. 1, pp. 1-26, 1998.
- [2.15] T. Enoki, M. Tomizawa, Y. Umeda, and Y. Ishii, “0.05- μm -Gate $\text{InAlAs}/\text{InGaAs}$ High Electron Mobility Transistor and Reduction of its Short-Channel Effect,” *Jpn. J. Appl. Phys.*, Vol. 33, No. 1B, pp. 798-803, 1994.
- [2.16] T. Enoki, K. Arai, and Y. Ishii, “Delay Time Analysis for 0.4- to 5 μm -Gate $\text{InAlAs}/\text{InGaAs}$ HEMT’s,” *IEEE Electron Device Lett.*, Vol. 11, No. 11, pp. 502-504, 1989.
- [2.17] P. J. Tasker, and B. Hughes, “Importance of Source and Drain Resistance to the Maximum f_T of Millimeter-Wave MODFET’s,” *IEEE Electron Device Lett.* Vol. 10, No. 7, pp. 291-293, 1989.
- [2.18] U. Singiseti, M. A. Wistey, J. D. Zimmerman, B. J. Thibeault, M. J. W. Rodwell, A. C. Gossard, and S. R. Bank, “Ultralow resistance in situ Ohmic contacts to InGaAs/InP ,” *Appl. Phys. Lett.*, Vol. 93, pp. 183502-1-3, 2008.
- [2.19] D. Xu, T. Enoki, and Y. Ishii, “Selection of surface ohmic metal for fabrication 0.1 μm $\text{InAlAs}/\text{InGaAs}$ heterojunction FETs with wet-chemically-recessed gates,” *Electronics Lett.*, Vol. 33, No. 25, pp. 2160-2161, 1997.
- [2.20] G. C. DeSalvo, W. F. Tseng, and J. Comas, “Etch Rates and Selectivities of Citric Acid/Hydrogen Peroxide on GaAs , $\text{Al}_{0.3}\text{Ga}_{0.7}\text{As}$, $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$, $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$, $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$, and InP ,” *J. Electrochem. Soc.*, Vol. 139, No. 3, pp. 831-835, 1992.
- [2.21] Y. He, B. W. Liang, N. C. Tien, and C. W. Tu, “Selective Chemical Etching of InP Over InAlAs ,” *J. Electrochem. Soc.* Vol. 139, No. 7, pp. 2046-2048, 1992.
- [2.22] M. Matsumura, K. Tsutsui, and Y. Naruke, “Submicrometre lift-off line with T-shaped cross-sectional form,” *Electronics Lett.*, Vol. 17, No. 12, pp. 429-430, 1981.
- [2.23] P. C. Chao, W. H. Ku, P. M. Smith, and W. H. Perkins, “0.2 Micron length T-shaped gate fabrication using angle evaporation,” *Electron Device Lett.* Vol. 4, No. 4, pp. 122-124,

- 1983.
- [2.24] P. C. Chao, P. M. Smith, S. C. Palmeter, and J. C. M. Hwang, "Electron-beam fabrication of GaAs low-noise MESFET's using a new trilayer resist technique," *IEEE Trns. of Electron Devices*, Vol. 32, No. 6, pp. 1042-1046, 1985.
- [2.25] A. S. Wakita, C. Y. Su, H. Rohdin, H. Y. Liu, A. Lee, J. Seeger, and V. M. Robbins, "Novel high-yield trilayer resist process for 0.1 μm T-gate fabrication," *Journal of Vacuum Science & Technology B*, Vol. 13, pp. 2725-2728, 1995.
- [2.26] G. Dambrine, A. Cappy, F. Heliadora, and E. Playez, "A New Method for Determining the FET Small-Signal Equivalent Circuit," *IEEE Trans. Microwave Theory Techniques*, Vol. 36, No. 7, pp. 1151-1159, 1988.
- [2.27] 青木均, "パッケージトランジスタの S パラメータ測定," *電子情報通信学会論文誌 C-II*, Vol. J73, No.7, pp. 432-435, 1990.
- [2.28] T. Suemitsu, "An Intrinsic Delay Extraction Method for Schottky Gate Field Effect Transistors," *IEEE Electron Device Lett.* Vol. 25, No. 10, pp. 669-671, 2004.
- [3.1] A. Ohgishi, S. Motoyama, M. Sawai, T. Tatsuta, and O. Tsuji, "Deposition of Cathode Coupled Plasma Enhanced Chemical Vapor Deposition SiN Films Using Liquid Source Material," *Jpn. J. Appl. Phys.*, Vol. 42, No. 9A/B, pp. L1090-L1092, 2003.
- [5.1] 酒井亮輔, 岡井智隆, 塩島謙次, 葛原正明, "AlGaIn/GaN の最適フィールドプレート設計," *信学技報*, Vol. 108, No. 321, pp. 109-114, 2008.
- [5.2] L. Eastman, and U. Mishra, "The Toughest Transistor Yet" *IEEE Spectrum Magazine*, pp. 28-33, 2002.
- [5.3] T. P. Chow, and R. Tyagi, "Wide Bandgap Compound Semiconductors for Superior High-Voltage Unipolar Power Devices," *IEEE Trans. Electron Devices*, Vol. 41, No. 8, pp. 1481-1483, 1994.
- [5.4] V. Dmitriev, T. P. Chow, S. P. DenBaars, M. S. Shur, M. G. Spencer, and G. White, "High-Temperature Electronics in Europe", *TTEC Panel Report*, Section 7, pp. 97-143, 2000.
- [5.5] M. Higashiwaki, K. Sasaki, A. Kuramata, T. Masui, and S. Yamakoshi, "Gallium oxide (Ga_2O_3) metal-semiconductor field-effect transistors on single-crystal $\beta\text{-Ga}_2\text{O}_3$ (010) substrates," *Appl. Phys. Lett.*, Vol. 100, pp. 013504-1-4, 2012.
- [5.6] M. Golio, and J. Golio, "RF and Microwave Applications and Systems", *CRC Press*, p. 12-8, 2007.
- [5.7] K. Kobayashi, S. Hatakeyama, T. Yoshida, Y. Yabe, D. Piedra, T. Palacios, T. Otsuji, and T. Suemitsu, "Improved breakdown voltage and RF characteristics in AlGaIn/GaN high electron mobility transistors achieved by slant field plates," *Appl. Phys. Express*, Vol. 7, No. 9, pp. 096501-1-4, 2014.

- [5.8] T. Suemitsu, Y. K. Fukai, M. Tokumitsu, F. Rampazzo, G. Meneghesso, and E. Zanoni, "Improved stability in wide-recess InP HEMTs by means of a fully passivated two-step-recess gate," *IEICE Electronics Express*, Vol. 3, No. 13, pp. 310-315, 2006.
- [6.1] 小山雅史, 岸俊樹, 榎田洋太郎, 吉田智洋, 末光哲也, "InGaAs 系 HEMT を用いた 60GHz 帯 F 級増幅器の設計," *信学技報*, Vol. 113, No. 460, MW2013-220, pp. 133-138, 2014.
- [6.2] Agilent Technologies, "ADS Documentation, user manuals," Version ADS2009.

研究業績

査読付き学術論文 7 編 (主著 : 3 編, 共著 : 4 編)

1. Tomohiro Yoshida, Keisuke Akagawa, Taiichi Otsuji, and Tetsuya Suemitsu, "InGaAs HEMTs with T-gate electrodes fabricated using HMDS SiN mold," *Physica Status Solidi C*, Vol. 9, No. 2, pp. 354-356, 2012.
2. Tomohiro Yoshida, Kengo Kobayashi, Taiichi Otsuji, and Tetsuya Suemitsu, "InGaAs HEMTs with T-gate electrodes formed by multi-layer SiCN molds," *Physica Status Solidi C*, Vol. 10, No. 5, pp. 773-776, 2013.
3. Tomohiro Yoshida, Kengo Kobayashi, Taiichi Otsuji, and Tetsuya Suemitsu, "Impact of T-gate Stem Height on Parasitic Gate Delay Time in InGaAs-HEMTs," *Solid-State Electronics*, Vol. 102, pp. 93-97, 2014.
4. Kengo Kobayashi, Masaki Kano, Tomohiro Yoshida, Ryuji Katayama, Takashi Matsuoka, Taiichi Otsuji, and Tetsuya Suemitsu, "AlGaN/GaN MIS-Gate HEMTs with SiCN Gate Stacks," *Physica Status Solidi C*, Vol. 10, No. 5, pp. 790-793, 2013.
5. Myung-Ho Jung, Goon-Ho Park, Tomohiro Yoshida, Hirokazu Fukidome, Tetsuya Suemitsu, Taiichi Otsuji, and Maki Suemitsu, "High Performance Graphene Field-effect Transistors with Extremely Small Access Length using Self-aligned Source and Drain Technique," *Proceedings of the IEEE*, Vol. 101, No. 7, pp.1603-1608, 2013.
6. Kengo Kobayashi, Shinya Hatakeyama, Tomohiro Yoshida, Yuhei Yabe, Daniel Piedra, Tomás Palacios, Taiichi Otsuji, and Tetsuya Suemitsu, "Improved breakdown voltage and RF characteristics in AlGaN/GaN high electron mobility transistors achieved by slant field plates," *Applied Physics Express*, Vol. 7, No. 9, pp. 096501-1-4, 2014.
7. Kengo Kobayashi, Shinya Hatakeyama, Tomohiro Yoshida, Daniel Piedra, Tomás Palacios, Taiichi Otsuji, and Tetsuya Suemitsu, "Current collapse suppression in AlGaN/GaN HEMTs by means of slant field plates fabricated by multi-layer SiCN," *Solid-State Electronics*, Vol.101, pp.63-69, 2014.

査読付国際会議論文 11件（主著：5件，共著：6件）

1. Tomohiro Yoshida, Keisuke Akagawa, Taiichi Otsuji, and Tetsuya Suemitsu, “InGaAs HEMTs with T-gate electrodes fabricated using HMDS SiN mold,” The 38th International Symposium on Compound Semiconductors, Th-2B.5, Berlin, German, May. 22-26, 2011. (口頭発表)
2. Tomohiro Yoshida, Kengo Kobayashi, Taiichi Otsuji, and Tetsuya Suemitsu, “InGaAs HEMTs with T-gate electrodes formed by multi-layer SiCN molds,” The 39th International Symposium on Compound Semiconductors, Mo-P35, Santa Barbara, USA, Aug. 27-30, 2012. (ポスター発表)
3. Tomohiro Yoshida, Kengo Kobayashi, Shinya Hatakeyama, Taiichi Otsuji, and Tetsuya Suemitsu, “Fabrication of InGaAs-HEMTs with sub-100-nm T-gates by multi-layer SiCN molds,” 10th Topical Workshop on Heterostructure Microelectronics, 2-8, Hakodate, Japan, Sep. 2 - 5, 2013. (ポスター発表)
4. Tomohiro Yoshida, Kengo Kobayashi, Taiichi Otsuji, and Tetsuya Suemitsu, “Impact of T-gate Stem Height on Parasitic Gate Delay Time in InGaAs-HEMTs,” 43rd European Solid-State Device Research Conference, A6L-E, Bucharest, Romania, Sep. 16-20, 2013. (口頭発表)
5. Tomohiro Yoshida, Masashi Oyama, Kunihiko Watanabe, Yohtaro Umeda, Taiichi Otsuji, Tetsuya Suemitsu, “Impact of Drain Conductance in InGaAs-HEMTs Operated in a Class-F Amplifier,” 2014 Lester Eastman Conference on High Performance Devices, S3-P4, Ithaca, NY, USA, Aug. 5-7. (ポスター発表)
6. Hyun-Chul. Kang, Susumu Takabayashi, Keisuke Akagawa, Tomohiro Yoshida, Syunsuke Abe, Ryota Takahashi, Hirokazu. Fukidome, Tetsuya Suemitsu, Maki Suemitsu, and Taiichi Otsuji, “DC and RF characteristics of graphene FETs formed by thermal decomposition of SiC grown on silicon substrates,” ISGD Int. Symp. Graphene Devices Tech. Dig., W4-04, Sendai, Japan, Oct. 27, 2010. (口頭発表)
7. Myung-Ho Jung, Goon-Ho Park, Tomohiro Yoshida, Hirokazu Fukidome, Tetsuya Suemitsu, Taiichi Otsuji, and Maki Suemitsu, “High performance graphene field-effect transistors with extremely small access length using self-aligned source and drain technique,” 2012 Asia-Pacific Electromagnetic Compatibility Symposium, WE-PM-NANO 6-4, Singapore, May 21-24, 2012. (口頭発表)
8. Kengo Kobayashi, Masaki Kano, Tomohiro Yoshida, Ryuji Katayama, Takashi Matsuoka, Taiichi Otsuji, and Tetsuya Suemitsu, “AlGaIn/GaN MIS-Gate HEMTs with SiCN Gate Stacks,”

The 39th International Symposium on Compound Semiconductors, Mo-1B.3, Santa Barbara, USA, Aug. 27-30, 2012. (口頭発表)

9. Shinya Hatakeyama, Kengo Kobayashi, Tomohiro Yoshida, Taiichi Otsuji, and Tetsuya Suemitsu, “Fabrication of Slant Field Plates for AlGa_N/Ga_N HEMTs by Multi-layer SiCN,” 10th Topical Workshop on Heterostructure Microelectronics, 10-6, Hakodate, Japan, Sep. 2-5, 2013. (ポスター発表)
10. Kengo Kobayashi, Shinya Hatakeyama, Tomohiro Yoshida, Daniel Piedra, Tomás Palacios, Taiichi Otsuji, and Tetsuya Suemitsu, “Current Collapse Suppression in AlGa_N/Ga_N HEMTs by Means of Slant Field Plates Fabricated by Multi-layer SiCN,” International Semiconductor Device Research Symposium 2013, WP2-03, Maryland, USA, Dec. 11-13, 2013. (口頭発表)
11. Shinya Hatakeyama, Kengo Kobayashi, Tomohiro Yoshida, Taiichi Otsuji, Tetsuya Suemitsu, “RF Characteristics of AlGa_N/Ga_N HEMTs with Slant Field Plates,” 41st International Symposium on Compound Semiconductor, May11 - 15, Montpellier, France, 2014. (口頭発表)

国内学会発表

21 件（主著：7 件，共著：14 件）

1. 吉田智洋, 赤川啓介, 尾辻泰一, 末光哲也, “HMDS-SiN 鋳型により作製した T 型ゲート電極 InGaAs HEMT のゲート遅延解析,” 第 72 回応用物理学会学術講演会, 31a-A-3, 山形, Aug. 31, 2011. (口頭発表)
2. 吉田智洋, 鹿野優毅, 尾辻泰一, 末光哲也, “多層 SiCN 鋳型を用いた T 型ゲート電極の断面形状制御,” 第 59 回 応用物理学関係連合講演会, 18p-E2-3, 東京, Mar. 18, 2012. (口頭発表)
3. 吉田智洋, 佐藤昭, 尾辻泰一, 末光哲也, “InGaAs 系 HEMT における T 型ゲート形状の静電場解析,” 第 73 回 応用物理学会学術講演会, 11a-PA-5-4, 松山, Sep. 11, 2012. (ポスター発表)
4. 吉田智洋, 小林健悟, 尾辻泰一, 末光哲也, “多層 SiCN 鋳型を用いた T 型ゲート電極を持つ InGaAs HEMT,” 信学技報, Vol. 112, No. 380, ED2012-127, pp. 79-84, 2013. (口頭発表)
5. 吉田智洋, 小林健悟, 尾辻泰一, 末光哲也, “多層 SiCN 鋳型による 50nm 級 T 型ゲート InGaAsHEMT の作製,” 第 60 回 応用物理学関係連合講演会, 29a-G11-7, 神奈川, Mar. 29, 2013. (口頭発表)
6. 吉田智洋, 小林健悟, 畠山信也, 尾辻泰一, 末光哲也, “InGaAs-HEMT における寄生遅延

- 時間への T 型ゲート高さの影響,” 第 61 回 応用物理学関係連合講演会, 20a-D8-10, 神奈川, Mar. 20, 2014. (口頭発表)
7. 吉田智洋, 小山雅史, 渡邊邦彦, 榎田洋太郎, 尾辻泰一, 末光哲也, “F 級増幅器における InGaAs-HEMT ゲート寄生遅延時間の影響,” 第 75 回 応用物理学学会学術講演会, 17a-A27-20, 札幌, Sep. 17-20, 2014. (口頭発表)
 8. 赤川啓介, 吉田智洋, 尾辻泰一, 末光哲也, “HMDS-SiN を鋳型として用いた T 型ゲート電極の形成,” 第 58 回春季応用物理学学会, 24a-KS-5, 神奈川, Mar. 24, 2011. (口頭発表)
 9. 久保真人, 福嶋哲也, 姜顯澈, 赤川啓介, 吉田智洋, 高橋良太, 半田浩之, 鄭明鎬, 鷹林将, 吹留博一, 末光哲也, 末光眞希, 尾辻泰一, “HMDS-SiN をゲート絶縁膜として用いたグラフェン FET,” 第 58 回春季応用物理学学会, 27a-KQ-4, 神奈川, Mar. 27 2011. (口頭発表)
 10. 鹿野優毅, 小林健悟, 吉田智洋, 尾辻泰一, 片山竜二, 松岡隆志, 末光哲也, “SiCN をゲート絶縁膜として用いた AlGaIn/GaN HEMT,” 第 59 回 応用物理学関係連合講演会, 18a-GP7-3, 東京, Mar. 18, 2012. (ポスター発表)
 11. 朴君昊, 鄭明鎬, 全春日, 吹留博一, 吉田智洋, 末光哲也, 尾辻泰一, 末光眞希, “Graphene field effect transistor using a novel self-aligned technique for high speed applications,” 第 59 回 応用物理学関係連合講演会, 18a-GP7-3, 東京, Mar. 15-18, 2012. (口頭発表)
 12. 小林健悟, 吉田智洋, 尾辻泰一, 末光哲也, “AlGaIn/GaN MIS ゲート HEMT 形成における H₂ アニールの効果,” 第 73 回 応用物理学学会学術講演会, 11a-PA-5-9, 松山, Sep. 11, 2012. (ポスター発表)
 13. 小林健悟, 吉田智洋, 尾辻泰一, 片山竜二, 松岡隆志, 末光哲也, “SiCN ゲート絶縁膜を用いた AlGaIn/GaN MIS ゲート HEMT,” 信学技報, Vol. 112, No. 380, ED2012-127, pp. 75-78, 2013. (口頭発表)
 14. 小林健悟, 吉田智洋, 畠山信也, 尾辻泰一, 末光哲也, “多層 SiCN 絶縁膜による AlGaIn/GaN HEMT 用傾斜フィールドプレートの形成,” 2013 年電子情報通信学会 総合大会, C-10-7, 岐阜, Mar. 21, 2013. (口頭発表)
 15. 瀬川智子, 小山雅史, 榎田洋太郎, 吉田智洋, 末光哲也, “InGaAs 系 HEMT を用いた分布発振器の設計,” 2013 年電子情報通信学会ソサイエティ大会, C-2-6, 福岡, Sep. 17-20, 2013. (口頭発表)
 16. 青木俊周, 吉田智洋, 末光哲也, 金田直樹, 三島友義, 塩島謙次, “p 形 GaN ショットキー接触における水素プラズマ処理の影響,” 第 74 回 応用物理学学会学術講演会, 20a-D7-7,

京都, Sep. 16-20, 2013. (口頭発表)

17. 小山雅史, 岸俊樹, 榎田洋太郎, 吉田智洋, 末光哲也, “InGaAs 系 HEMT を用いた 60GHz 帯 F 級増幅器の設計,” 信学技報, Vol. 113, No. 460, MW2013-220, pp. 133-138, 2014. (口頭発表)
18. 小林健悟, 畠山信也, 吉田智洋, 矢部裕平, Daniel Piedra, Tomás Palacios, 尾辻 泰一, 末光 哲也, “多層 SiCN を用いて作製した傾斜型フィールドプレートによる AlGaIn/GaN HEMT における電流コラプスの抑制,” 第 61 回 応用物理学関係連合講演会, 19a-D8-9, 神奈川, Mar. 19, 2014. (口頭発表)
19. 畠山信也, 小林健悟, 吉田智洋, 尾辻泰一, 末光哲也, “InAlN/GaN HEMTs と AlGaIn/GaN HEMTs における相互コンダクタンスの周波数分散,” 第 61 回 応用物理学関係連合講演会, 18p-PG3-10, 神奈川, Mar. 18, 2014. (ポスター発表)
20. 畠山信也, 小林健悟, 吉田智洋, 尾辻泰一, 末光哲也, “傾斜型フィールドプレートを用いた AlGaIn/GaN HEMTs の RF 特性,” 第 75 回 応用物理学会学術講演会, 19p-PB2-7, 札幌, Sep. 17-20, 2014. (ポスター発表).
21. 川崎鉄哉, 吉田智洋, 菅原健太, Adrian Dobroiu, 渡辺隆之, 杉山弘樹, 若生洋由希, 可児淳一, 寺田純, 桑野茂, 吾郷浩樹, 河原憲治, 岩月勝美, 末光哲也, 尾辻泰一, “InGaAs チャンネル HEMT 及びグラフェンチャンネル FET を用いたミリ波帯フォトミキシング,” 信学技報, Vol. 114, No. 387, ED2014-100, pp. 9-13, 2014. (口頭発表)

付録 A 記号一覧表

本論文中で使用した記号とその意味、および単位を以下に示す。ただし単位における接頭辞については、特に明記されていない場合のものであり、本文中で明記されている場合についてはこの限りではない。

記号	意味	単位
j	虚数単位 ($\sqrt{-1}$)	
μ_e	電子移動度	$\text{cm}^2/(\text{Vs})$
ϵ	誘電率	F/m
ϵ_0	真空の誘電率	F/m
ϵ_r	比誘電率	
v	電子速度	cm/s
v_s	飽和電子速度	cm/s
q	電気素量	C
n_s	キャリア電子の面密度	C/cm^2
n_c	ゲートのソース・ドレイン端間の 2DEG の濃度差にほぼ対応する値	C/cm^2
η	変調効率	
N_D	ドーピング濃度	cm^{-3}
E_c	伝導帯の底	eV
E_f	フェルミ準位	eV
E_g	バンドギャップ	eV
ΔE_c	伝導帯におけるバンドオフセット	eV
ϕ_B	ショットキー障壁高さ	eV
ϕ_F	フェルミ準位とチャネルの伝導帯底の間のエネルギー差	eV
ϕ_D	拡散電位	eV
L_g	ゲート長	nm
ΔL	ドレイン側への空乏層の伸びた長さ	cm
$L_{g,\text{top}}$	T 型ゲート電極頭部の長さ FP 電極頭部の長さ	nm
$h_{g,\text{top}}$	T 型ゲート電極頭部の高さ	nm
h	テーパーを含まない T 型ゲート脚部の高さ	nm
h_0	T 型ゲート脚部全体からキャップ層の厚みを除いた高さ	nm
h_s	T 型ゲート脚部全体の長さ ($h_0 + h_c$)	nm

h_{FP}	FP 構造における脚部の高さ FP 構造に用いられる絶縁膜の厚さ	nm
h_c	キャップ層の膜厚に相当する T 型ゲート脚部の高さ	nm
θ	T 型ゲート脚部におけるテーパ角度 ($0^\circ < \theta < 90^\circ$)	deg.
W_g	ゲート幅	μm
W_{TLM}	TLM パターンのチャネル幅	μm
d	ゲート・チャネル間距離	cm
d_B	バリア層の厚さ	cm
d_D	キャリア供給層の厚さ	cm
d_S	スペーサ層の厚さ	cm
Δd	チャネルにおける接合界面から電子分布の中心までの実効的な距離	cm
d_{MIM}	MIM キャパシタにおける絶縁膜の膜厚	nm
A	MIM キャパシタにおける電極面積	μm^2
S_g	ゲート断面積	cm^2
h_{21}	電流利得	dB
Z	Z パラメータの行列	
Z_{11}	Z パラメータの 11 成分	Ω
Z_{12}	Z パラメータの 12 成分	Ω
Z_{21}	Z パラメータの 21 成分	Ω
Z_{22}	Z パラメータの 22 成分	Ω
S	S パラメータの行列	Ω
Y	Y パラメータの行列	
Y_{11}	Y パラメータの 11 成分	S
Y_{12}	Y パラメータの 12 成分	S
Y_{21}	Y パラメータの 21 成分	S
Y_{22}	Y パラメータの 22 成分	S
Y_{AM}	パッド電極を含む測定デバイスの Y 行列	
Y_{DUT}	パッド電極を除いた測定デバイスの Y 行列	
Y_o	オープンパターンの Y 行列	
Y_s	ショートパターンの Y 行列	
Y_{o2}	擬似オープン条件での Y 行列	
Y_{s2}	擬似ショート条件での Y 行列	
Y_i	デバイスの真性領域における Y 行列	
S_{11}	S パラメータの 11 成分	dB
S_{12}	S パラメータの 12 成分	dB

S_{21}	S パラメータの 21 成分	dB
S_{22}	S パラメータの 22 成分	dB
U_g	単方向電力利得	dB
K	安定化指数	
MAG	最大有能電力利得	dB
MSG	最大安定電力利得	dB
f	周波数	Hz
f_T	電流利得遮断周波数	Hz
f_{max}	最大発振周波数	Hz
ω	各周波数	rad/s
τ_i	真性遅延時間	s
τ_p	寄生遅延時間	s
τ	総遅延時間	s
V_{ds}	ドレイン・ソース間電圧	V
V_{gs}	ゲート・ソース間電圧	V
$V_{gs,bias}$	耐圧測定をした際のゲート・ソース間電圧	V
V_{th}	しきい値電圧	V
V_p	ピンチオフ電圧	V
BV_{gd}	破壊耐圧	V
I_{ds}	ドレイン電流	A
I_{gs}	ゲート電流	A
E_B	絶縁破壊電界	MV/cm
ρ	金属の抵抗率	Ωmm
R_c	コンタクト抵抗	Ωmm
R_{sh}	シート抵抗	$\Omega/\text{sq.}$
R_g	ゲート抵抗	Ω
R_s	ソース抵抗	Ω
R_d	ドレイン抵抗	Ω
R_i	ゲート直下での空乏層での抵抗	Ω
$Z_{g,p}$	ゲートインピーダンス	Ω
$Z_{s,p}$	ソースインピーダンス	Ω
$Z_{d,p}$	ドレインインピーダンス	Ω
g_m	相互コンダクタンス	S
$g_{m,max}$	相互コンダクタンスの最大値	S
g_{mi}	真性相互コンダクタンス	S
$g_{mi,max}$	真性相互コンダクタンスの最大値	S

g_d	ドレインコンダクタンス	S
C	容量	F
C_s	単位面積当たりの2次元電子ガスによる容量	F/mm
C_g	ゲート容量	F/mm
$C_{g,par}$	ゲート寄生容量	F/mm
$C_{g,f}$	ゲートフリンジ容量	F/mm
$C_{g,T}$	T型ゲート頭部-チャンネル間容量	F/mm
C_{gs}	ゲート-ソース間容量	F/mm
$C_{gs,p}$	ゲート-ソース間寄生容量	F/mm
C_{gd}	ゲート-ドレイン間容量	F/mm
$C_{gd,p}$	ゲート-ドレイン間寄生容量	F/mm
C_{ds}	基板を介したソース・ドレイン間容量	F/mm
$C_{ds,p}$	ソース・ドレイン間寄生容量	F/mm
$C_{g,int}$	真性ゲート容量	F/mm
C_{out}	出力容量	fF
C_m	整合回路における容量	fF
R_L	出力負荷抵抗	Ω
Z_0	特性インピーダンス (通常 50 Ω)	Ω
Z_1, Z_2, Z_m	インピーダンス	Ω
E_1, E_2, E_m	電気長	deg.

付録 B 外挿方法

付録 B-1 外挿値導出の数学的背景

本文中において、-20 dB/dec からの外挿によって、 f_T や f_{\max} を導出したが、その外挿における誤差を最小にするための手法について、最小二乗法を利用した手法について以下で述べる。

まず、線形グラフについて考える。回帰直線の方程式を、

$$y = ax + b \quad (\text{B.1})$$

と仮定する。つぎに測定データについて、外挿範囲に測定点が n 点あるとすると、任意の k 点での測定値は、

$$(x_k, y_k) \quad (1 \leq k \leq n) \quad (\text{B.2})$$

と表される。ここで k 番目のデータに対する誤差を ε_k とすると、二乗誤差は、

$$\varepsilon_k^2 = (ax_k + b - y_k)^2 \quad (\text{B.3})$$

と表される。外挿範囲における全データについての二乗誤差の和は、

$$\sum_{k=1}^n \varepsilon_k^2 = \sum_{k=1}^n (ax_k + b - y_k)^2 \equiv g(b) \quad (\text{B.4})$$

と表され、これが最小になれば良い。ここで、(B.4)における傾き a は既知であり、また、測定データである (B.2)も既知である。よって、(B.4)は下に凸な 2 次関数 $g(b)$ と定義できる。故に $g(b)$ が最小となる条件は、 $g'(b) = 0$ となり、

$$\begin{aligned}
g'(b) &= \sum_{k=1}^n 2(ax_k + b - y_k) \\
&= 2nb + 2 \sum_{k=1}^n (ax_k - y_k) = 0
\end{aligned} \tag{B.5}$$

と表される。故に、 $f(b)$ が最小となる時 b は、

$$\begin{aligned}
b &= -\frac{1}{n} \sum_{k=1}^n (ax_k - y_k) \\
&= \frac{\sum_{k=1}^n (y_k)}{n} - a \frac{\sum_{k=1}^n (x_k)}{n} \\
&= \bar{y} - a\bar{x}
\end{aligned} \tag{B.6}$$

と求められる。よって、二乗誤差の我が最小となる時、線形グラフにおける切片は、(B.6)で求められる。ここで、第一項は y_k の平均値、第二項は x_k の平均値に $-a$ をかけたものとなる。

以上を周波数と利得についてのグラフに適応する。まず、 x 軸を周波数 f 、 y 軸を利得 G_{dB} とする。利得をプロットする際には、周波数は $x_k = \log(f_k)$ 、利得は $y_k = G_{dB,k}$ 、傾き a は -20 とすれば良いので、

$$\begin{aligned}
b &= \frac{\sum_{k=1}^n (G_{dB,k})}{n} + 20 \frac{\sum_{k=1}^n (\log(f_k))}{n} \\
&= \overline{G_{dB}} + 20 \overline{\log(f)}
\end{aligned} \tag{B.7}$$

と求めることができる。ここで、利得は dB 表記であることに注意する必要がある。通常我々は、横軸を GHz オーダーで表しているなので、ここでの b は回帰直線における周波数が $1 GHz$ となる時の利得である。以上を用いて遮断周波数 f_{cutoff} を求めると、 $1 GHz$ での利得が b となる点から、 $-20 dB/dec$ で外挿した際に利得が $0 dB$ となる周波数が f_{cutoff} であるので、

$$f_{cutoff} = 10^{\frac{b}{20}} \tag{B.8}$$

と表される。

また測定値について、ばらつきの程度を表す標本分散は、

$$\begin{aligned}\sigma^2 &= \frac{1}{n} \sum_{k=1}^n (\bar{y} - y_k)^2 \\ &= \frac{1}{n} \sum_{k=1}^n (\overline{G_{dB}} - G_{dB,k})^2\end{aligned}\tag{B.9}$$

と表される。

付録 B-2 電流利得遮断周波数の外挿方法

一般に HEMT における電流利得遮断周波数は数百 GHz に及ぶため全周波数範囲において高周波測定を行うことは現実的ではない。そこで、ある一定の周波数範囲において RF 測定を行い、その結果を外挿することで電流利得遮断周波数は得られる。まず(2.29)より、 g_m と C_{gs} が周波数に依存しないと仮定すれば、 h_{21} は周波数 f と反比例の関係にある。ある周波数 f_1 と f_2 について h_{21} の比は、

$$\left| \frac{h_{21}(f_1)}{h_{21}(f_2)} \right| = \frac{f_2}{f_1} \quad (\because f_1, f_2 \text{ は実数})\tag{B.10}$$

と表せる。 f_T は h_{21} が 1 となる周波数であるので、 $f_1=f_2$ とすると(B.10)は、

$$\left| \frac{h_{21}(f_1)}{1} \right| = \frac{f_T}{f_1}\tag{B.11}$$

と表せる。両辺をデシベル表示すると、

$$20\log\{h_{21}(f)\} = 20\log\{f_T\} - 20\log\{f\}\tag{B.12}$$

と表される。回帰直線を $y = b + ax$ とし、(B.12)と比較すると、 $y = 20\log\{h_{21}(f)\}$ 、 $b = 20\log\{f_T\}$ 、 $a = -20$ 、 $x = \log\{f\}$ となり、 f_T は周波数に対する電流利得の -20 dB/dec による外挿から得られ

る。最小二乗法を利用して誤差が最小になるように、ある周波数範囲で回帰直線を引き f_T を導出するには、その周波数範囲における h_{21} と $\log(f)$ の平均値を用いて、

$$b = \overline{(h_{21})_{dB}} + 20\overline{\log(f)} \quad (\text{B.13})$$

$$f_T = 10^{\frac{b}{20}} \quad (\text{B.14})$$

と表される。

付録 B-3 最大発振周波数の外挿方法

f_{\max} についても、 f_T と同様に -20 dB/dec の外挿より求められ、回帰直線を引く周波数範囲における U_g と $\log(f)$ の平均値を用いて、

$$c = \overline{(U_g)_{dB}} + 20\overline{\log(f)} \quad (\text{B.15})$$

$$f_{\max} = 10^{\frac{c}{20}} \quad (\text{B.16})$$

と表される。

付録 C 各種行列の相互変換

本付録においては、ネットワークアナライザの出力である S パラメータと、等価回路計算において、パッド電極の影響の校正や、各種デバイスパラメータの導出に用いられる Z 、 Y パラメータとの相互変換について示す。本付録における Z_0 は特性インピーダンスであり、通常 50Ω である。

- $S \rightarrow Y$ 変換

$$Y_d = (1 + S_{11})(1 + S_{22}) - S_{12}S_{21} \quad (C.1)$$

$$Y_{11} = \frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{Y_d Z_0} \quad (C.2)$$

$$Y_{12} = -\frac{2S_{12}}{Y_d Z_0} \quad (C.3)$$

$$Y_{21} = -\frac{2S_{21}}{Y_d Z_0} \quad (C.4)$$

$$Y_{22} = \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{Y_d Z_0} \quad (C.5)$$

- $S \rightarrow Z$ 変換

$$Z_d = (1 - S_{11})(1 - S_{22}) - S_{12}S_{21} \quad (C.6)$$

$$Z_{11} = \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{Z_d} Z_0 \quad (C.7)$$

$$Z_{12} = \frac{2S_{12}}{Z_d} Z_0 \quad (C.8)$$

$$Z_{21} = \frac{2S_{21}}{Z_d} Z_0 \quad (C.9)$$

$$Z_{22} = \frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{Z_d} Z_0 \quad (C.10)$$

- Y→S 变换

$$Y_{ij,n} = Y_{ij}Z_0 \quad (\text{C.11})$$

$$S_d = (Y_{11,n} + 1)(Y_{22,n} + 1) - Y_{12,n}Y_{21,n} \quad (\text{C.12})$$

$$S_{11} = \frac{(1 - Y_{11,n})(1 + Y_{22,n}) + Y_{12,n}Y_{21,n}}{S_d} \quad (\text{C.13})$$

$$S_{12} = -\frac{2Y_{12,n}}{S_d} \quad (\text{C.14})$$

$$S_{21} = -\frac{2Y_{21,n}}{S_d} \quad (\text{C.15})$$

$$S_{22} = \frac{(1 + Y_{11,n})(1 - Y_{22,n}) + Y_{12,n}Y_{21,n}}{S_d} \quad (\text{C.16})$$

- Y→Z 变换

$$Y_d = Y_{11}Y_{22} - Y_{12}Y_{21} \quad (\text{C.17})$$

$$Z_{11} = \frac{Y_{22}}{Y_d} \quad (\text{C.18})$$

$$Z_{12} = -\frac{Y_{12}}{Y_d} \quad (\text{C.19})$$

$$Z_{21} = -\frac{Y_{21}}{Y_d} \quad (\text{C.20})$$

$$Z_{22} = \frac{Y_{11}}{Y_d} \quad (\text{C.21})$$

● Z→S 変換

$$Z_{ij,n} = \frac{Z_{ij}}{Z_0} \quad (\text{C.22})$$

$$S_d = (Z_{11,n} + 1)(Z_{22,n} + 1) - Z_{12,n}Z_{21,n} \quad (\text{C.23})$$

$$S_{11} = \frac{(Z_{11,n} - 1)(Z_{22,n} + 1) - Z_{12,n}Z_{21,n}}{S_d} \quad (\text{C.24})$$

$$S_{12} = \frac{2Z_{12,n}}{S_d} \quad (\text{C.25})$$

$$S_{21} = \frac{2Z_{21,n}}{S_d} \quad (\text{C.26})$$

$$S_{22} = \frac{(Z_{11,n} + 1)(Z_{22,n} - 1) - Z_{12,n}Z_{21,n}}{S_d} \quad (\text{C.27})$$

● Z→Y 変換

$$Z_d = Z_{11}Z_{22} - Z_{12}Z_{21} \quad (\text{C.28})$$

$$Y_{11} = \frac{Z_{22}}{Z_d} \quad (\text{C.29})$$

$$Y_{12} = -\frac{Z_{12}}{Z_d} \quad (\text{C.30})$$

$$Y_{21} = -\frac{Z_{21}}{Z_d} \quad (\text{C.31})$$

$$Z_{22} = \frac{Z_{11}}{Z_d} \quad (\text{C.32})$$