

平成 27 年度博士学位論文

LSI チップ間光インターコネクト用 Si フォトニック
デバイスに関する研究

東北大学大学院工学研究科 通信工学専攻

藤方 潤一

Study on Silicon Photonic Devices for LSI Chip-to-Chip Optical Interconnection

Abstract

1. Introduction

Silicon photonics has recently attracted much attention because it offers low cost, low power consumption, and high bandwidth for optoelectronic solutions for applications ranging from telecommunications to chip-to-chip interconnects. To realize an effective photonics-electronics convergence system, it is very important to achieve a high-speed and high-efficiency Si optical modulator and Ge photodetector with low power consumption.

2. Si Optical Modulator (Si-MOD)

For MOS (metal-oxide-semiconductor) capacitor type Si-MODs, high efficiency would be achieved by accumulating free-carriers at the gate-oxide/silicon interface. But, the improvement of overlap between optical field and carrier accumulation region is very important to obtain the enough modulation efficiency, because the carrier accumulation region is very thin. In addition, the conductivity and optical loss of poly-silicon (poly-Si) waveguides have been reported to affect high-speed and optical-loss properties.

I studied the small thickness of the device cross-section and the projection MOS junction structure, and obtained very high efficiency of 0.16 Vcm for $V_{\pi}L$. I also studied the poly-Si fabrication process, and low optical loss of 1dB/mm and high conductivity, comparable to that of a single crystalline Si. By using this high quality of poly-Si, high-speed of 25 Gbps and low optical loss (α) of 3.5 to 4.5 dB/mm were obtained. Figure of merit for $\alpha V_{\pi}L$ is around 7dBV, which is the most efficient among the Si-MODs. In addition, a MOS type Si-MOD integrated with a Ge-PD is a challenge, because the poly-Si gate fabrication process would affect the quality of a selective epitaxial growth of a Ge layer on a SOI (silicon-on-insulator) layer. I present a high-speed and high-efficiency Si-MOD with a MOS junction, and demonstrate a MOS-capacitor type Si-MOD integrated with a Ge PD at 1.3 μm wavelength. We also demonstrate high-speed operation with CMOS driver at 1.3 μm wavelength.

For further improvement in modulation efficiency, it has been proposed that strained SiGe modulators to enhance the plasma dispersion effect by reducing effective mass of holes in SiGe because the effect is inversely proportional to the effective carrier mass. I designed the optimum Si-MOD structure with applying p-type-doped strained SiGe and demonstrate a very high modulation efficiency of 0.78-0.81 Vcm, which is one of the most efficient in the Si-MODs with a pn junction. We also demonstrate a high speed operation of 25 Gbps for the Si-MOD at around 1.3 μm wavelengths.

3. Ge photodetector (Ge-PD)

As for the Ge-PDs, very efficient photodetection has been demonstrated for the past several years. Although developments of high speed and high efficiency Ge-PDs have been reported, smaller footprint and higher performance have not been achieved by practical fabrication process. A waveguide-integrated pin Ge-PD is one of the candidates for the future high-density optical interconnects. In this report, I studied a Si waveguide-integrated pin-type Ge-PD, which shows low dark current density with high efficiency and high speed, by using a Si capping layer. I also report on its zero-bias voltage high-speed operation. As for the passivation layer, Si capping layer is effective and very low dark current density of around 0.4 nA/ μm^2 was obtained. I also studied the effect of $\text{Si}_{90}\text{Ge}_{10}$ capping layer and obtained low dark current density, and also more uniform characteristics than that in case of Si capping layer.

I also studied the butt-joint Ge-PD with Si waveguide, and very high-speed of 35 GHz with zero-bias voltage. Very thin Ge-layer of 500 nm would contribute to larger built-in voltage in the Ge layer. The butt-joint Ge-PD has very small electrical capacitance of several fF and small foot print of 5 to 10 μm length. These characteristics will realize the high-density of integrated circuit and also low power consumption.

4. Si nano-photodiode with surface plasmon antenna and its application to intra-chip interconnection

I studied the Si nano-photodiode with a surface plasmon antenna and its application to intra-chip interconnection. I designed the surface plasmon resonance structure which realize a very efficient optical transmission and also near-field enhancement effect. Two types of surface plasmon antennas were studied, that is vertically illumination type and SiON_x waveguide integration type, respectively. As for Si nano-photodiode of SiON_x waveguide integration type, high efficient optical coupling efficiency was obtained for a relatively broad wavelength band by the electro-magnetic simulation. I applied this Si nanophotodiode to the on-chip optical interconnect and demonstrated 10 GHz clock distribution and also WDM (wavelength division multiplex) optical signal conversion into the electric signal with 5 GHz by trans-impedance amplifier circuit based on CMOS LSI. I hope these results would contribute to the lower power and delay product characteristics than that of global electric wiring in an LSI circuit.

5. Conclusions

I reported on silicon photonic devices of the high-efficient and high-speed Si-MOD and Ge-PD for chip-to-chip optical interconnect. The MOS capacitor type Si-MOD shows a very efficient and low optical loss characteristics, which contributes to low power optical interconnect. I also report on the high-performance Ge-PD with very low dark current. I developed the SiGe passivation technique, and very uniform characteristics of dark current

value. These characteristics would contribute to high-density of the silicon photonics integration circuit, and also satisfy the growing demand for data transmission density.

As for intra-chip optical interconnect by Si nano-photonics with surface-plasmon techniques, architecture of LSI is very important. I believe these demonstration results contribute to the future high-performance CMOS-LSI.

目次

第1章 序論	1
1-1 本研究の背景	1
1-2 本研究の目的	4
1-3 本論文の構成	6
第1章の参考文献	8
第2章 LSI チップ間光インターコネク用 Si フォトニクスに関して	9
2-1 Si フォトニクスの研究動向と本論文の位置づけ	9
2-2 Si 光変調器の研究動向	11
2-3 Ge 受光器の研究動向	15
2-4 Si 光変調器および Ge 受光器の今後の展望	18
2-5 表面プラズモンアンテナに関して.....	19
2-5-1 一次元金属スリットアレイ構造による表面プラズモン共鳴効果	19
2-5-2 表面プラズモンによる光透過率増大効果	20
2-6 まとめ	23
第2章の参考文献	25
第3章 LSI チップ間光インターコネク用 Si 光変調器の検討	31
3-1 MOS 型光変調器の検討	31
3-1-1 低損失多結晶 Si 膜の検討	31
3-1-2 MOS 型光変調器の高効率化の検討	38
3-1-3 MOS 型光変調器と Ge 受光器の集積化	58
3-1-4 CMOS ドライバーによる MOS 型光変調器の高速動作	59
3-1-5 キャリア蓄積モードを利用したより高効率な動作検討	61

3-2 歪 SiGe 層を用いた高効率化の検討	63
3-3 まとめ	75
第3章の参考文献	77
第4章 LSI チップ間インターコネク ト用 Ge 受光器の検討	81
4-1 Si キャップ付き Si 導波路結合 Ge 受光器の検討	81
4-1-1 Si キャップ付き MSM 型 Ge 受光器の検討	83
4-1-2 Si キャップ付き pin 型 Ge 受光器の検討	86
4-1-3 差動受信回路の検討	90
4-2 SiGe キャップによる高均一 MSM 型 Ge 受光器の検討	92
4-3 pin 型およびショットキー型 Ge 受光器の検討	96
4-4 小型 pin 型 Ge 受光器の高性能化	99
4-5 面入射 pin 型 Ge 受光器の検討	101
4-6 新 CVD プロセスを用いた butt 接合型 Ge 受光器の開発	104
4-7 CMOS-TIA 回路の設計および pin 型 Ge 受光器との接続評価	108
4-8 まとめ	111
第4章の参考文献	113
第5章 表面プラズモン共鳴効果を利用した Si ナノフォトダイオードの検討	116
5-1 bull's eye 型表面プラズモンプラズモンアンテナの検討	118
5-2 bull's eye 型表面プラズモンプラズモンアンテナの光透過率の改善.....	122
5-3 表面プラズモンエンハンス効果による面入射型Siナノフォトダイオード	124
5-4 表面プラズモン共鳴を利用した導波路結合型Siフォトダイオード.....	130
5-5 オンチップクロック配信の検討	133

5-6 オンチップ波長多重信号配信の検討	135
5-7 まとめ	140
第5章の参考文献	141
第6章 結論	143
研究業績	146
謝辞	164

第1章 序論

1-1 研究背景

近年、主にデータセンターにおけるコンピューティングシステムにおけるトレンドを観た時、いくつかの要件を指摘することが出来る。アプリケーションの観点からは、最も大きなトレンドとしては、爆発的なデータ量である。IBM のレポートによれば、世界のデータの 90%がこの 2 年間だけで創出されたとのことである。¹⁾ これは、近年のデータ爆発におけるスピードを理解するには、非常に分かり易い事実である。このデータ爆発のスピードは、ビッグデータや Internet of Things (IoT)を使用するデータ解析の普及により、益々急速に発展することが容易に想像出来る。なぜなら、これらのアプリケーションは、従来のウェブ検索や画像データ配信をはるかに凌ぐ大量のデータを扱うからである。データセンターは、まさにこのデータ爆発に対応するという大きな課題に直面している。これらのトレンドは、データセンターにおける **data-centric computing** へとシフトすべきことを示していると考えられる。²⁾

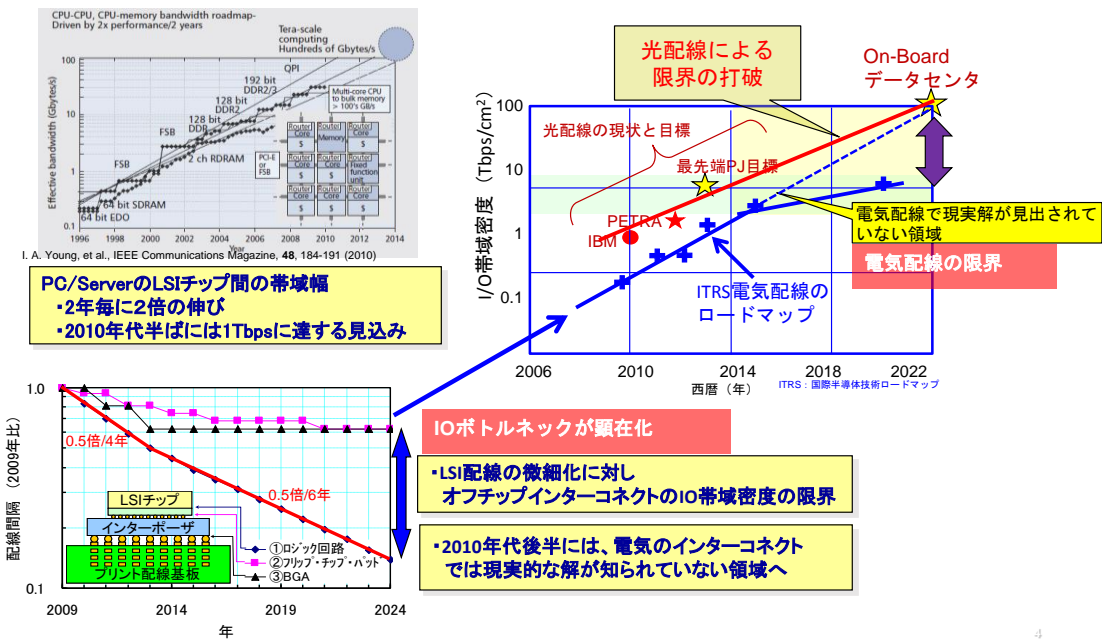
システムレイヤから考えると、プロセッサ、メモリー、ストレージ、ネットワークをよりフレキシブルに、よりスケーラブルに、そしてまたより効率的にするために計算リソースの “disaggregation”が、**data-centric computing** と同様に注目すべき新しいトレンドであると考えられる。これらのトレンドは、デバイス間のインターコネクトをより広帯域に、より長距離へとすることを要求している。

デバイス/モジュールレイヤにおいては、3つのトレンドが示されている。1つ目は、トランジスターサイズのスケールアップが Moore の法則に従って、さらに進んでいる一方で、そのクロック周波数は頭打ちになっていることである。³⁾ このトレンドは、結果としてメニーコア・プロセッサに並列処理によるパフォ

パフォーマンスの向上を要求している。結果として、プロセッサ内部で扱うデータ量は、依然として伸びている。2 つ目のトレンドは、3 次元パッケージ化である。すなわち、Wide I/O ²⁴⁾ や High Bandwidth Memory (HBM)⁵⁾ や Hybrid Memory Cube (HMC)⁶⁾ のような積層 3 次元メモリーが登場し、シリコン貫通ビア(TSV)などにより、大容量かつ広帯域なチップ間あるいはモジュール内のインターコネクートを可能としていることである。3 次元パッケージは、フラッシュメモリーなどの不揮発性メモリー容量を増加させるために導入され、データストレージのための solid state drive (SSD) として利用されている。結果として、メモリーモジュール内で扱うデータ量もまた増加しているのである。3 つ目のトレンドは、system in package (SiP) あるいは multi-chip module (MCM) である。これは、シングルパッケージの中の複数チップや system on a chip (SoC) よりもより高い flexibility や短い開発期間が可能である。一般的に SiP は、2.5 次元のパッケージングにより実現可能である。すなわち、ベアダイを垂直に積層したりいくつかのシングルチップやモジュールをインターポーザ上に横置きしたりするものである。これら 3 つのいずれのトレンドにおいても、チップ間インターコネクートの広帯域化がデバイスやモジュールに要求される。

上記のようにアプリケーションやデバイス/モジュールの観点から、チップ間のインターコネクートにおいて、広帯域化が要求されているが、従来の電気配線によるインターコネクートのバンド幅は、チャンネル当たりのビットレートが遅いことや I/O ピンボトルネック、すなわち伝送密度に限界があることが課題である。例えば、チップ間インターコネクートに必要なバンド幅は、2010 年代の半ばには、数十 Tbps になると見積られるが、LSI におけるフリップチップ実装されるような I/O パッドのピッチは、100 μ m 程度のみである。⁷⁾ これにより、チップ間インターコネクートに要求されるチャンネル当たりのビットレートは、

40Gbps を超えると見積られるが、現在のところ PCB (printed circuit board)⁷⁾ における電気配線によるインターコネクタでは、このビットレートを実現する解はないと考えられる。また、高いビットレートの電気配線の長さは、PCB 上での伝送ロスやコネクタなどによる反射の影響により律速されると考えられる。

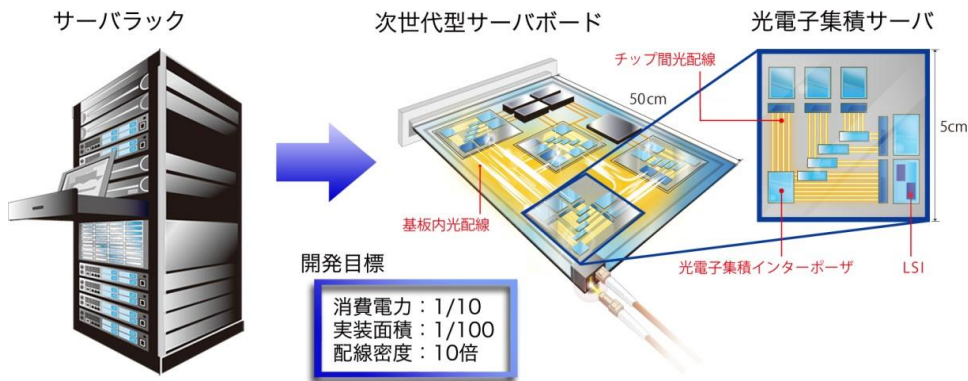


1-2 研究目的

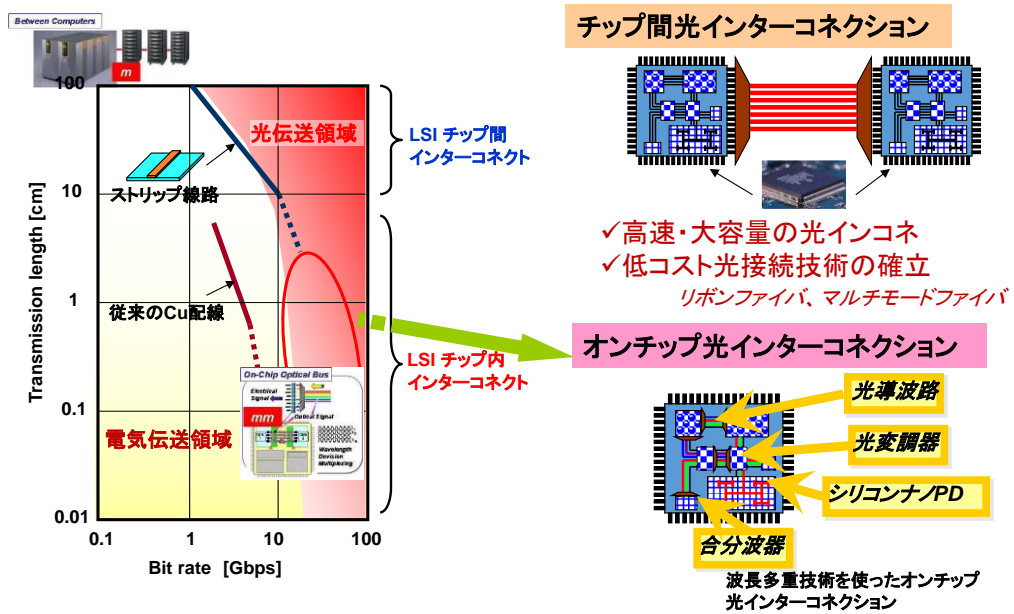
シリコンフォトニクスによる光インターコネクトは、前節で述べたような伝送帯域のボトルネックや光の特徴である伝送距離の問題を解決する候補の一つであると考えられる。シリコンフォトニクスには、3つの大きな利点があると考えられる。1つ目は、広帯域、低いレーテンシー、低消費電力、そして電気信号のそれと比較して、チャンネル間のクロストークが小さいという光の本質的な特徴である。2つ目は、設計、量産、検査やサプライチェーンの構築などシリコンの産業的なメリットがあることである。我々は、EDA (electronic design automation)やエレクトロニクスと同様 300mm ウェハを使用したファウンドリサービスを利用出来、光と電気の共通プラットフォームを光電子融合という形で提供可能である。3つ目は、シリコンという高屈折率材料を用いることによる高集積化にある。光デバイスを小型化にすることは、光デバイスだけではなく、電気 IC を含めたトータルのパフォーマンスやコストを低減出来るポテンシャルを有している。

本研究においては、シリコンフォトニクスの上記で述べた特徴を実現するためのキーデバイスである、シリコン製の外部光変調器(Si 光変調器)の高性能化および、シリコン基板上にゲルマニウム(Ge)層を選択成長することにより実現される Ge 受光器の高性能化に関して検討し、伝送ボトルネックの課題や低消費電力化に向けた高効率・高速化および小型化を実現することを目的とする。また、将来のチップ内インターコネクトの可能性として、表面プラズモンによるナノフォトニクスの LSI オンチップ光配線への適用可能性についても検討し、オンチップ光配線アーキテクチャとして光クロック配信および波長多重信号伝送を初期実証したので報告する。

- ◆ 電子機器のデータ伝送に関して、電気配線を用いる場合に比べて**1/10の低消費電力化**と通信速度あたりの面積比で**1/100以下の小形化**を実現し、電気配線を用いたサーバボードと比較して**消費電力を3割削減**でき、データセンターレベルでの運用が可能な**光電子融合サーバ**を実現するための**構成要素デバイス技術を確立**する



光伝送の短距離への展開



- ✓魅力: 高速、大容量 + 低クロストーク、高品質、耐EMI*
- ✓課題: オンチップの光素子: 小型化、低コスト化

*EMI: Electromagnetic Interference

1-3 本論文の構成

本論文は6章から構成されており、最初の1章は序論として、急速に拡大するデータセンターなどにおけるデータ伝送容量に対する電気配線の課題およびSiフォトリソグラフィをLSIチップ間配線に適用する目的やメリットに関して紹介した。

第2章は、Siフォトリソグラフィの特徴および研究動向について紹介する。また、本論文において検討した、光送信器に用いるSi光変調器の研究動向、ならびに光受信器に用いるGe受光器の研究動向に関して紹介する。さらに、光受信器をLSIチップ内配線へ導入することを可能とする、表面プラズモン共鳴効果による光透過率増大効果および近接場光増大効果についても紹介する。

第3章は、Siフォトリソグラフィにおいて、信号伝送効率および大容量化、さらには低消費電力化のキーとなるデバイスとして、Si光変調器に関して検討した内容を紹介する。本検討においては、まずLSIのトランジスタ構造と類似したMOS(metal-oxide-semiconductor)型光変調器構造に関して検討を行い、世界最高レベルの光変調振幅を得るためのデバイス設計、および多結晶シリコンの材料開発に関して紹介する。また、Siのキャリアプラズマ効果をさらにエンハンスするため、自由キャリアの有効質量が小さく、キャリアプラズマ効果を大きく出来る歪SiGe層を用いたSi光変調器に関して検討し、Siのキャリアプラズマ効果の性能限界を打破することを実証すると共に、将来に向けた課題についても紹介する。

第4章は、光信号を電気信号に変換するGe受光器に関して検討した。Ge受光器は、Ge層をSi導波路上に選択成長するだけでなく、保護層を均一に成膜することも重要課題として挙げられるため、従来検討されてきているSiキャッ

プ層に加えて、Ge層との格子不整合の小さいSiGe層をキャップ層として用いたGe受光器に関して検討した。これにより、顕著な均一性の改善と共に、高速・高効率動作も同時に実現した。さらに、将来の超省電力化に向けて、Si導波路中にGe層を埋め込んだバット結合タイプのGe受光器に関する検討も行った。また、ゼロバイアスで35GHzの世界最高レベルの高速化と低電気容量化の実証を行った。

第5章は、表面プラズモン共鳴を利用した近接場光および透過光のエンハンス効果と、これと微小なSi光吸収層を組み合わせた新しいコンセプトであるSiナノフォトダイオードに関して紹介する。また、Siナノフォトダイオードと低損失なSiON_x光導波路を光結合させることにより、オンチップ光クロック配信や波長多重信号伝送の初期実証を行った内容に関して報告する。

第6章は、本論文の結論として、LSIチップ間インターコネクトを実現するSiフォトニックデバイスにおいて、目標仕様に対する本検討の達成状況や今後に向けた課題や展望に関して紹介する。さらに、将来LSIのグローバル配線への光配線導入の課題や表面プラズモンによるナノフォトニクスを活用することの位置づけと将来展望に関して紹介する。

第 1 章の参考文献

- 1) “What is big data?,” <http://www-01.ibm.com/software/data/bigdata/what-is-big-data.html>.
- 2) “Intel, Facebook Collaborate on Future Data Center Rack Technologies,” http://newsroom.intel.com/community/intel_newsroom/blog/2013/01/16/intel-facebook-collaborate-on-future-data-center-rack-technologies.
- 3) “ISSCC 2014 TRENDS,” http://isscc.org/doc/2014/2014_Trends.pdf.
- 4) “JEDEC Publishes Wide I/O 2 Mobile DRAM Standard,” <http://www.jedec.org/news/pressre-leases/jedec-publishes-wide-io-2-mobile-dram-standard>.
- 5) J. Kim and Y. Kim, “HBM: Memory Solution for Bandwidth-Hungry Processors,” *Hot chips 26*, 2014, http://www.hotchips.org/wp-content/uploads/hc_archives/hc26/HC26-11-day1-epub/HC26.11-3-Technology-epub/HC26.11.310-HBM-Bandwidth-Kim-Hynix-Hot%20Chips%20HBM%202014%20v7.pdf.
- 6) M. Black, “Hybrid Memory Cube,” *Electronic Design Process Symposium*, 2013, <http://www.eda.org/edps/edp2013/Papers/3-3%20FINAL%20for%20Mike%20Black.pdf>.
- 7) International Technology Roadmap for Semiconductors 2009 Edition, Assembly and Packaging, Table AP2 and AP3, http://www.itrs.net/Links/2009ITRS/2009Chapters_2009Tables/2009Tables_FOCUS_E_ITRS.xls.

第2章 LSI チップ間光インターコネク用 Si フォトニクスに関して

2-1 Si フォトニクスの研究動向と本論文の位置づけ

Si フォトニクスは、Si 材料および Ge 等のIV族材料と CMOS(complementary metal-oxide-semiconductor)半導体の作製プロセスをベースとして、光素子ならびに光集積回路を実現する技術である。図 2.1 は光集積回路のサイズと導波路コアとクラッドとの比屈折率差の関係を示したものである。従来実用化されているシリカ(SiO₂)導波路を用いた光集積回路では、導波路コアであるシリカとクラッド材料である SiO₂ 膜の光学屈折率差が 1%以下と非常に小さいために、シリカ導波路の曲げ半径が mm のオーダーとなり、集積回路のサイズが数 cm 角オーダーとなる。一方、Si 細線導波路を光配線とした Si フォトニクス集積回路においては、導波路コア材料である Si とクラッド材料である SiO₂ 膜の光学屈折率差が 20%以上と大きいために、数μm の曲げ半径においても十分な低光損失化が実現可能であり、CMOS-LSI 回路チップと同等のサイズで光集積回路を実現することが可能である。

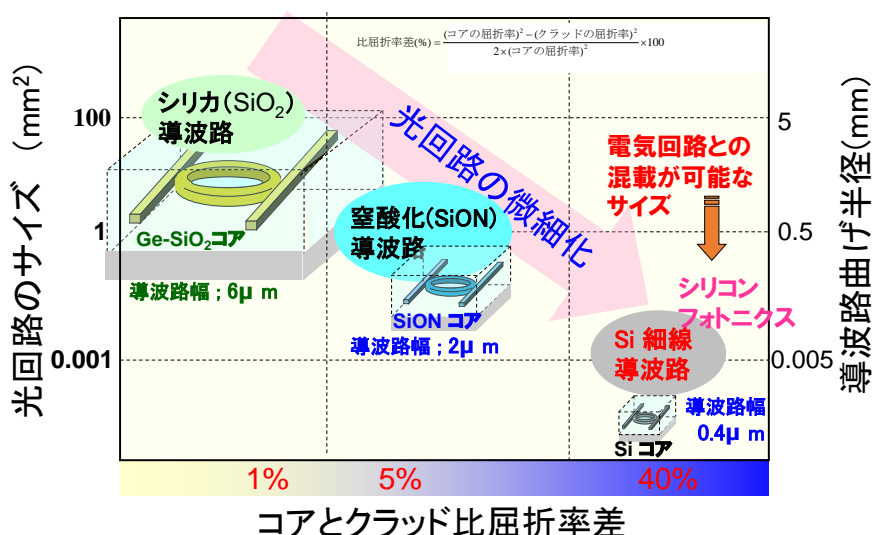


図 2.1 シリコンフォトニクスによる光集積回路サイズの小型化

既にSiフォトニクスの特徴を生かした製品が米国のLuxtera社から発表されており、光源以外の光回路と、ドライバーやアンプなどの電気回路をSiフォトニクス技術で1チップ上に集積した、データ伝送容量が40Gビット/秒の送信器が実現されている。このような製品は、2009年に東京工業大学のスーパーコンピュータであるTSUBAME2.0の筐体間を接続する約7000本の光インターコネクに採用されている。¹⁾

このようなSiフォトニクスによる光集積回路は、CMOSラインによる量産化が可能であり、従来の化合物半導体を用いたディスクリートな光部品のアセンブリからなる送受信器に比較して、低コスト化が期待され、またその集積度から高密度・大容量信号伝送への展開も可能であると考えられる。また、低消費電力化の観点から更なる小型化・高性能化が進展してきており、本論文で紹介するSi光変調器およびGe受光器は、Siフォトニクス集積回路におけるキーデバイスとして捉えられ、欧米のみならず韓国、中国の研究機関、さらには日本国内での大型プロジェクト(内閣府FIRSTプログラムPECST: Photonics Electronics Convergence System Technogy)など、各国および通信メーカーやLuxteraなどのベンチャー企業がしのぎを削って開発を行ってきている。米国ではUNIC(Ultraperformance Nanophotonic Intrachip Communication Program)プロジェクト、欧州ではHELIOSプロジェクトの他、EUの支援を受けた10件前後のプロジェクトがある。

共通する目標としては、「テラビット・オンチップ」、「オンチップ・サーバー」、「オンチップ・データ・センター」などと呼ばれるLSIの高性能化であり、主にデータセンターやハイパフォーマンスコンピューターの通信ボトルネックを打破するAOC(Active Optical Cable)やイーサネットなどのデータ通信における高性能化をターゲットにしたものである。

本論文で検討したSi光変調器およびGe受光器は、現在では成熟しつつある技術であるが、Si光変調器においては低電力化・小型化さらにレーザ光源からのパワーを有効活用するための低損失化に関して報告する。

一方、Ge受光器は、Si導波路との組み合わせにより、小型化が非常に進んできており、従来の化合物半導体デバイスに比較して低電圧で駆動可能であり、CMOS回路との整合性も優れている。一方、Ge受光器に使用されているGeは表面欠陥や貫通転移などの結晶欠陥に起因して、リーク電流が大きいことが課題であり、これを抑制するパッシベーション技術や素子特性の均一性を生かした差動受信回路に関しても提案・検討したので報告する。

2-2 Si光変調器の研究動向

シリコン光変調器に関しては、シリコンのキャリア・プラズマ効果を利用したデバイス提案が1987年になされている²⁾。2004年にこの効果を利用して1Gbps以上のシリコン光変調器が報告され³⁾、現在までに10-40Gbpsの高速動作が様々な研究機関から発表されてきている。また、米国のベンチャー企業からは、シリコン光変調器を用いた集積トランシーバの製品が発表されている。

Siのキャリア・プラズマ効果に関しては、SorefとBennettにより1987年に実験的な検証結果が報告され²⁾、比較的広いelectron密度およびhole密度に対して屈折率変化と光吸収係数の変化が評価されている。例えば、波長1.55 μm におけるキャリア密度に対する屈折率変化量と光吸収係数の変化量は、下記のように表される²⁾。

$$\Delta n = \Delta n_e + \Delta n_h = -[8.8 \times 10^{-22} \times \Delta N_e + 8.5 \times 10^{-18} \times (\Delta N_h)^{0.8}]$$
$$\Delta \alpha = \Delta \alpha_e + \Delta \alpha_h = 8.5 \times 10^{-18} \times \Delta N_e + 4.0 \times 10^{-18} \times \Delta N_h$$

ここで、 Δn_e と Δn_h は、それぞれ電子密度変化(ΔN_e)とホール密度変化(ΔN_h)に起因する屈折率変化、 $\Delta \alpha_e$ と $\Delta \alpha_h$ は電子密度変化とホール密度変化に起因する光吸収係数の変化である。

Si 導波路中を伝搬する光をキャリア・プラズマ効果により変調させるためには、表 I に示したような 3 つのタイプの制御構造があり、PIN、MOS、PN 接合に対して電圧を印加することにより、キャリアの注入、蓄積、空乏化が行われる。

シリコン光変調器の初期検討では MHz オーダの動作が一般的であったが、近年 GHz オーダで高速動作するシリコン光変調器の報告が多くなされるようになってきている。表 I に近年各研究機関から報告されているシリコン光変調器の性能比較を示した³⁻¹²⁾。

表 I 各種シリコン光変調器の方式と性能比較

研究機関	MIT ⁴⁾	IBM ⁵⁾	Fujitsu ⁶⁾	Intel ⁷⁾	Sandia ⁸⁾ National Lab.	Kotura, Sun ⁹⁾	Intel ¹⁰⁾	Lightwire ¹¹⁾	NEC ¹²⁾
デバイスタイプ	PIN (forward bias)			PN (reverse bias)			MOS capacitor		
変調効率 ($V_p L: V \cdot \text{cm}$)	$\frac{0.0025 @ \text{DC}}{\text{C}}$	0.036@DC	$\frac{0.4}{1 @ 10\text{GHz}}$	4	1	1.4	3.3	NA	0.39-0.5
位相変調器長 (mm)	0.5	0.2	0.25-1	1	0.5	1,0.25	3.45	0.5	0.12
駆動電圧 V_{pp}	NA	8	1~3	6.2	5	8	1.4x2	1.2x2	2.5
光損失 (dB)	NA	6~8	1.2	1.8	3.1@0V, 2@5V	1.9	5	NA	7
Bit rate (Gbps)	NA	10	10	40	10	12.5~30	10	10	25

PIN 型に関しては、i 層からなる導波路コアにキャリアを注入することにより光変調を生じさせる。この時キャリア密度の変調が主に拡散により行われること、および少数キャリアの再結合寿命が長いことにより高速動作は難しく、キャリア密度の飽和時間は通常 ns のオーダである。一方、上記のような周波数特性を改善するため、近年 pre-emphasis 駆動方式が提案され、10GHz 程度の高速動作が実現されて来ている^{5),13)}。

MOS 型については、SOI 上にゲート酸化膜と poly-Si ゲートを形成したキャ

パンタ構造からなる光導波路に、順方向に電圧印加して、ゲート酸化膜近傍のキャリア密度を変化させることにより光変調を生じる。MOS型では、p、nドーピング領域がゲート酸化膜により分離されているため、動作速度が少数キャリアの再結合寿命に律速されない。すなわち、動作周波数帯域は、CR 時定数で決まり、コンパクトな導波路断面構造を設計することにより、10GHz 以上の高速動作が実現されて来ている¹⁰⁻¹²⁾。また、変調効率は、PIN型同様比較的高い値が得られている^{11,12)}。

PN型に関しては、PN接合に逆バイアスを印加して、キャリア空乏層領域を広げることにより光変調が生じる。この方式においても、少数キャリアの再結合寿命の問題が回避出来る。PN型ではキャリアドリフトが高速に行われることにより、30GHzを超える高速動作が実証されて来ている⁷⁾。しかしながら、変調効率が比較的小さく、デバイスサイズや駆動電圧が大きいという課題がある。最近ではPN接合を有するリング共振器構造を用いた超小型変調器の検討も行われて来ている⁹⁾。

小型化を実現するリング共振器構造に関しては、波長帯域が0.1 nm程度であり実用上問題となる。これに対して、リング共振器をカスケード化することにより、波長帯域が0.5-2 nm程度に改善される。しかしながら、Siの屈折率の温度係数が大きいことも考慮すると、実際に適用するには高精度な温度調整が必要である。

また、Si変調器のデバイスサイズを小さくする方法として、スローライト効果を用いることも提案されている¹⁴⁻¹⁶⁾。スローライト効果は周期構造を光が伝搬する時に生じる共鳴効果であり、光の群速度の低減に応じて、より大きな位相変化が得られることを特徴とする。スローライト効果を実現する構造としては、フォトニック結晶構造¹⁴⁻¹⁵⁾やグレーティング構造¹⁶⁾を付加した導波路構造、ある

いはリング共振器構造を利用した提案もなされている⁶⁾。スローライト効果についても、共振器構造を利用するため、波長帯域が狭いことが課題である。これに対して、フォトニックバンド・エンジニアリングの検討により、10 nm 程度の波長帯域が得られるとする報告例もあり¹⁴⁾、今後広帯域化と高速化に向けた展開が期待される。

一方、より高い光変調効率を得るために、シリコンプロセスと整合する Ge 材料を用いた光変調器の提案も行われている。例えば、Franz-Keldysh 効果¹⁶⁾や量子閉じ込め Stark 効果(QCSE)¹⁸⁾による吸収型の光変調器の開発が報告されている。QCSE は、Franz-Keldysh 効果に比較してより波長感度が高く、より大きな光吸収変化が得られるが、光吸収波長の温度依存性や Si 光導波路との光結合が課題である。また、Franz-Keldysh 効果や QCSE は、原理的に 50GHz 以上の高速動作の可能性があると報告されている¹⁸⁾。

また、Si に結晶歪を導入することにより、Pockels 効果を発現させる提案もなされている¹⁹⁾。歪導入のため Si 上に Si₃N₄ を積層してフォトニック結晶構造を利用することにより、非線形光学定数 $\chi^{(2)}$ として 830 pmV⁻¹ という比較的大きな値が得られたと報告されている。今後、理論と実験の両面でより詳細な検証が必要であると考えられる。

2-3 Ge 受光器の研究動向

シリコン光検出器としては、Si のバンドギャップが約 1.1eV であることから、Si を光吸収材料として短波長の領域での光検出を行うデバイス開発と、Si プロセスと整合性のある Ge を光吸収材料として、短波長および通信帯の波長を検出するデバイス開発の両方が行われている。

Si を利用した光検出器に関しては、Si の光吸収係数が一般的に利用されている GaAs などの III-V 材料に比較して 1 桁以上小さいことが課題であり、小型・高速化のためには、共振器構造や表面プラズモンによる光局在効果を利用したデバイス開発²⁰⁾が行われている。また、Si に結晶欠陥を導入して、長波長側で受信感度を持たせる検討も最近行われている。このような結晶欠陥を導入するプロセスとしては、Si⁺イオンや Ar⁺イオン照射を利用した検討結果が報告されており^{21),22)}、高効率化・高速化に向けた検討も報告されている²³⁾。

Ge をベースとした光検出器に関しては、Si 上に形成する際、Si と Ge の格子ミスマッチが 4.2%程度あることが大きな課題であった。しかしながら、近年になって Si 上に高品質な Ge 層をエピタキシャル成長した例が数多く報告されるようになってきた。格子ミスマッチは、Stransky-Krastanov 成長に起因した表面ラフネスや貫通転位を引き起こす。これに対し、低温で数十 nm オーダの Ge 層をシード層として成長させることにより、Ge の島状成長を抑制し、さらにこの上に 600°C 以上で比較的厚い Ge 層を成長させる 2 ステップの成長プロセス、さらに成長後の 750°C 以上のアニール処理により、貫通転位密度を 2 桁程度低減可能なことが報告されている²⁴⁾。このような成長後のアニールは、Si と Ge 層の相互拡散を伴うという問題はあるが、光検出器では Ge 吸収層が比較的厚いため高いパフォーマンスが得られている²⁵⁾。また、その他の方法としては成長後に H₂ アニールをして表面ラフネスや貫通転位を低減するプロセス²⁶⁾や、薄い

SiGe バッファ層上に Ge 層を成長させる²⁷⁾などの報告がある。

Ge を光デバイスへ適用する際には、結晶歪がデバイス性能に大きく影響を及ぼす。Si 上に Ge を成長した際には、成長時の歪は 600°C 付近で成長させることにより緩和されるものの、Ge の熱膨張係数が Si に比較して大きいため、引張り歪が導入される。これにより、約 0.25% の引張り歪が実現されている。このような歪導入は、バンドギャップを小さくすると共に、間接遷移型のバンドギャップから直接遷移型のバンドギャップへとバンド構造を変化させる。すなわち、引張り歪の導入により、通信波長帯の C バンドと L バンドに適用可能な受信感度特性を実現することが可能である²⁸⁾。

Ge 受光器を集積化するためには、Ge 層を Si 基板上の指定されたエリアに選択的に成長することが望まれる。Ge 層の選択成長に関しては、通常 SiO₂ あるいは Si₃N₄ のような誘電体マスクを用いて、行われる。特に SiO₂ は、高真空中で SiO₂ と原料ガスである GeH₄ や Ge 原子との間で揮発性の GeO を形成すると考えられており、SiO₂ 上への多結晶 Ge の核生成を抑制する。酸化膜マスクが Si の <011> 方向に形成されれば、(111) および (113) のファセットが支配的である²⁹⁾。

このような Si 上への Ge 選択エピ成長技術を利用して、多くの高性能な Ge フォトダイオードの報告がなされている。結晶性の高い Ge は受光器の高性能化、特に暗電流の低減に必要である。一方、フォトキャリアの移動は主に拡散ではなく、電界によるドリフトにより行われ、結晶欠陥における再結合の影響を無視できることになる。従って、RC 時定数と電極間のキャリアドリフト距離を設計することにより、高速な Ge フォトダイオードが実現可能である。また、n⁺-Si/i-Ge/p⁺-Si ヘテロ構造により built-in 電場がエンハンスされ、ゼロバイアスで 650nm-1340nm の比較的広い波長範囲において、90% 以上の内部量子効率が得

られている³⁰⁾。

暗電流密度は、典型的な値としては数 $10\text{mA}/\text{cm}^2$ のオーダーである。通信デバイスとして適用する際には、 70°C 程度までの動作を補償する必要があり、Ge フォトダイオードの暗電流や受信感度の温度依存性に関して、いくつか検討がなされており、 10°C で 1.6 倍程度増加することが報告されている³¹⁾。暗電流の活性化エネルギーは、Ge のバンドギャップエネルギーの約半分の値を示し、その値は逆バイアス電圧の増加により減少する傾向を示す。すなわち、band-traps-band tunneling 効果に関する報告例もある³²⁾。一方、受信感度に関しては、温度上昇とともに、直接遷移のバンドギャップに相当する光波長以上の領域で大きく改善される。

シリコン光集積回路を実現するためには、導波路タイプの受光器が必要とされる。導波路タイプの受光器は、高い量子効率と高い周波数帯域を実現する構造設計が可能であり、さらに面入射型に比較して素子面積が小さいことから、暗電流値を小さくすることも可能である。導波路タイプの Ge 受光器には 3 つの構造が提案されており、1 つ目は導波路上に Ge を積層する構造、2 つ目は Ge 上に導波路を積層する構造であり、光モードの導波路とのエバネッセント結合を基本としている。そして、3 つ目は導波路と Ge 層とのバット結合構造であり、これが最も光結合長が小さい設計となる。Si 光回路との集積が容易なことから、Si 導波路上に Ge 受光器を選択的に積層する構造が最も一般的であり、高速に動作する Ge 受光器が多く報告されるようになってきている³³⁾。

CMOS 回路との集積に関しては、フロントエンドラインでのトランジスタとの集積をターゲットとした開発、バックエンドラインを意識した開発、および LSI と光回路との 3D 実装を利用した開発の 3 つが行われている。フロントエンドラインでの集積では、サーマルバジェットの低減、さらにバックエンドでは、

多結晶 Ge の検討が行われ、3D 実装は光回路と LSI のフリップチップ実装がそれぞれ実証されている³⁴⁾。

Ge を光吸収層としたアバランシェフォトダイオード(APD)の検討も、数多く報告されてきている。APD は pin フォトダイオードに比較して、5-10dB 程度高い受信感度が得られる。特に Si のキャリア増倍特性が非常に優れているため、Si キャリア増倍層と Ge 光吸収層を積層した Ge/Si APD の検討が数多くなされている³⁵⁾。増倍層を特徴付ける材料定数として、肩方のキャリアに対するもう一方のキャリアの増倍係数の比 k が挙げられ、Si はこの係数が III-V 族半導体($k \sim 0.5$)に比較して、非常に小さい($k < 0.1$)という特徴を持つ。また、最近では Ge 層を光吸収層およびキャリア増倍層として、薄層化した構造で 1V 程度のバイアス電圧でアバランシェ効果が得られたとする報告もある³⁶⁾。受光器の受信感度は、光回路のパワーバジェット特に光源パワーに大きく影響するため、シリコンフォトニクス光集積回路における Ge-APD の開発は今後重要になって来ると考えられる。

2-4 Si 光変調器および Ge 受光器の今後の展望

Si 光変調器および Ge 受光器の現状について報告した。Si 光変調器については、10Gbps 以上のデータ伝送は可能と考えられ、光通信市場における既存光デバイスとのすみ分けが今後重要となると考えられる。また、一方でアクティブケーブルや光インターコネクションといったスパコン・サーバ向けのアプリケーションもターゲットとなると考えられ、低電力化とともに高集積化の検討が今後進展して行くと考えられる。

一方、Ge 受光器に関しては Ge のエピ成長技術は進化してきており、on-chip レシーバとして集積化することも可能なレベルとなってきている。その一方で、Si 半導体を利用して通信波長帯を受信しようとする受光デバイス技術も重要な

テーマであると考えられ、集積化におけるサーマルバジェットや信頼性の観点から、より詳細な検討が必要であると考えられる。また、Ge については APD として通信デバイスへの適用も注目されてきており、化合物半導体を用いた APD との性能比較や Si 光回路との集積化のメリットが、今後議論されると思われる。

2-5 表面プラズモンアンテナに関して

2-5-1 一次元金属スリットアレイ構造による表面プラズモン共鳴効果

まず、フォトダイオードに適用されている、表面プラズモンによるアンテナの効果について紹介する。図 2.2 に一次元金属スリットアレイ構造に対して、垂直な電場成分(すなわち平行な磁場成分)を持つ TM(transverse magnetic)波を入射した時の表面プラズモン共鳴モードに関する模式図を示す。金属アレイの周期が表面プラズモンの分散関係に対して波数保存則を満たす時、horizontal surface plasmon mode (HSP モード)と呼ばれる表面プラズモン共鳴が金属アレイ上に発生する³⁷⁾。HSP モードは、光の進行方向に波数を持たない、すなわち入射光に対して垂直方向に電場と磁場成分をもつモードであり、光は HSP モードに変換された後、透過せずに反射光として放射される。

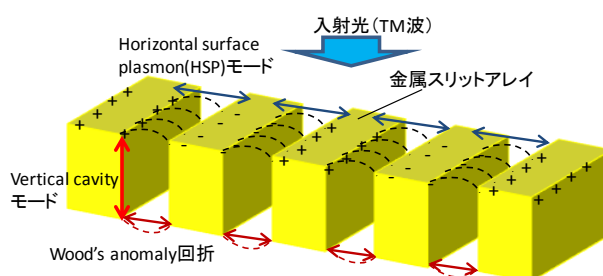


図 2.2 一次元金属スリットアレイ構造

一方、金属スリットアレイにおいては、金属ギャップにおいて、表面プラズモンによる電荷の共振が発生し、光の進行方向すなわち金属の膜厚方向に表面プラズモン・ポラリトンの伝搬モードが発生する。このような表面プラズモンの伝搬モードは、膜厚と共に周期的に共鳴し、半波長の周期で強くなる。この膜厚方

向への共鳴モードのことを **vertical cavity mode** と呼ぶ。vertical cavity mode は、金属アレイ周期によらず、金属ギャップ単体でも発生する表面プラズモン共鳴モードである。5-2 節では、上記の HSP モードと vertical cavity mode を組み合わせることによる、Si フォトダイオードの小型化に関して紹介する。

また、金属スリットアレイのようなグレーティング構造においては、回折波の回折角が 90 度に近づくと、反射光が非常に小さくなる現象が観測されている。このような現象は、Wood's anomaly(Wood の異常回折)と呼ばれ、TE 偏光を入射した場合にも観測される³⁸⁾。

2-5-2 表面プラズモンによる光透過率増大効果

表面プラズモンによる光透過率増大効果は、1998 年に T. W. Ebbesen らにより初めて報告された³⁹⁾。従来、光学の分野では、表面プラズモン共鳴による光吸収やこれに伴う近接場増強などが報告されているが⁴⁰⁾、波長以下の微小開口を透過するエバネッセント波の強度が表面プラズモンにより増大することは、1944 年に報告された Bethe による aperture theory で予測される理論値を大きく打破する現象であり、画期的な発見であると紹介された⁴¹⁾。図 2.2 は、表面プラズモン共鳴により光透過率増大効果が現れるとして報告されている典型的な構造を示したものである。図中(a)は微小開口をアレイ状に配列した hole-array と呼んでいる構造であり、(b)は微小開口の周囲にプラズモン共鳴を生じさせるグレーティング構造を形成した構造で、弓矢の的と似ていることから bull's eye 構造と呼んでいる構造である。hole array 構造については、既に数多くの理論解析および実験結果が報告されているため詳細は割愛するが、表裏のプラズモン共鳴モードが微小開口におけるエバネッセント波を介して結合している点が重要である。従って、高い光透過率を得るためには、表裏のプラズモン共鳴モードが同じ周波数および位相で生じること、すなわち表裏が対称

な構造をしていることが理想である。

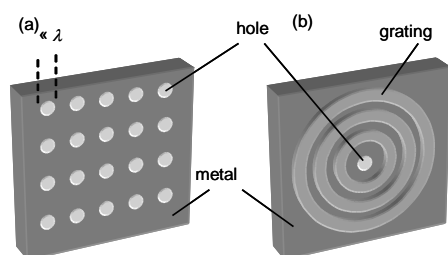


図 2.3 (a) hole-array 構造, (b) bull's eye 構造

一方、bull's eye 構造に関しては、表裏のグレーティングの機能という観点でプラズモン共鳴による光透過率増大効果を捉えることが可能である。図 2.4 は有限差分時間領域法(Finite Difference Time Domain method : FDTD 法)を用いて、bull's eye 形状における共鳴状態を計算した例である。図中(a)はアンテナ表面の電界強度分布、(b)は断面の電界強度分布を示したものである。同心円状のグレーティング形状は、入射光を表面プラズモンポラリトンとしてグレーティングに結合させる機能とこれを中心部に集光するレンズ機能を有する。また、微小開口部に集光された表面プラズモンポラリトンは、微小開口部のエバネッセント波を介して、裏側に伝わり、さらに裏側のグレーティングにより Bragg 反射されて伝播モードにつながることになる。この時、裏側のグレーティング構造は、伝播光の指向性に寄与し、プラズモン共鳴モードの位相を制御することにより、beaming と呼ばれる指向性のある透過光を生じさせる機能がある。これはグレーティングに垂直入射された光が表面プラズモンポラリトンに変換されるプロセスと同じメカニズムで、逆のプロセスが裏側で生じているものと捉えることが可能である。

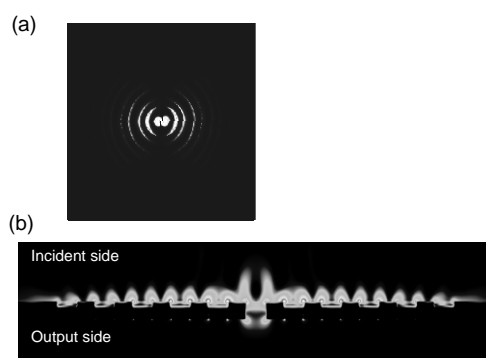


図 2.4 bull's eye 構造における(a)アンテナ表面の電界強度分布(b) 断面の電界強度分布.

2-6 まとめ

本章においては、1. Si フォトニクスの研究動向と本論文の位置づけ、並びに 2. Si 光変調器の研究動向、3. Ge 受光器の研究動向、4. 表面プラズモンによる光透過率および近接場増強効果に関して紹介した。

Si フォトニクスは、Si 導波路とクラッド層として用いる SiO₂ 層との比屈折率差が大きいことから、高集積な光回路を実現可能であり、電子回路との整合性に関しても、従来のシリカ系平面光回路路に比較して優れているという特徴がある。このような特徴を生かして、テラビット級のデータ伝送を 1 チップで行う実証が欧米を中心として、世界中で行われてきており、データセンターや高性能コンピュータへの適用が進められてきている。

本論文で検討した Si 光変調器および Ge 受光器は、Si フォトニクスが提案された 1980 年代後半から検討されてきたが、特に最近の 10 年間での性能改善は目覚ましく、10 Gbps 以上の高速信号を送受することが多くの研究機関およびベンチャー企業などで実証されている。一方、小型・高集積化さらに低消費電力化に向けた Si 変調器および Ge 受光器の性能改善は、Si フォトニクス集積回路チップの性能を左右するともいえる重要な課題であり、本論文においても Si のキャリアプラズマ効果を最大限利用した MOS 型 Si 光変調器および小型 Ge 受光器に関して検討した。

Si フォトニクスは、将来的にはチップ間のみならずチップ内にも導入される可能性があり、表面プラズモン共鳴効果を利用したナノフォトニクスは、Si フォトニクスをさらに高集積化する候補の一つとして考えられる。従来、表面プラズモンは、光損失の主要因とされてきたが、波長以下のサイズにおける近接場増強と Si との光結合を利用することにより、第 5 章で紹介するような LSI

チップ上での光信号受信が可能となり、チップ間光インターコネクと接続して、LSI 内でシームレスにデータ配信する可能性も期待される。

第2章の参考文献

- 1) NIKKEI ELECTRONICS 2011. 7. 11, pp.65-76, “光配線があらゆる機器へ光と電気をチップで融合.”
- 2) R. A. Soref and B. R. Bennett, “Electrooptical effects in Silicon”, IEEE J. Quantum Electron. QE-23, 123-129 (1987).
- 3) A. Liu, R. Jones, L. Liao, D. Samara-Rubio, D. Rubin, O. Cohen, R. Nicolaescu, and M. Paniccia, “A high-speed silicon optical modulator based on a metal-oxide-semiconductor capacitor”, Nature 427, 615-618 (2004).
- 4) G-R Zhou, M. W. Geis, S. J. Spector, F. Gan, M. E. Grein, R. T. Shulein, J. S. Orcutt, J. U. Yoon, D. M. Lennon, T. M. Lyszczarz, E. P. Ippen, and F. X. Kartner, “Effect of carrier lifetime on forward-biased silicon Mach-Zehnder modulator”, Opt. Express 16, 5218-5226 (2008).
- 5) W. M. J. Green, M. J. Rooks, L. Sekaric, and Y. A. Vlasof, “Ultra-compact, low RF power, 10Gb/s silicon Mach-Zehnder modulator”, Opt. Express 15, 17106-17113 (2007).
- 6) S. Akiyama, T. Kurahashi, T. Baba, N. Hatori, T. Usuki, and T. Yamamoto, “A 1V Peak-to-Peak Driven 10-Gbps Slow-Light Silicon Mach-Zehnder Modulator using Cascaded Ring Resonators”, Appl. Phys. Express 3, 072202 (2010).
- 7) A. Liu, L. Liao, D. Rubin, H. Nguyen, B. Ciftcioglu, Y. Chetrit, N. Izhaky, and M. Paniccia, “High-speed optical modulation based on carrier depletion in a silicon waveguide”, Opt. Express 15, 660-668 (2007).
- 8) M. R. Watts, W. A. Zortman, D. C. Trotter, R. W. Young, and A. L. Lentine, “Low-Voltage, Compact, Depletion-Mode, Silicon Mach-Zehnder

- Modulator”, IEEE J. Sel. Top. Quantum Electron. 16, 159-164 (2010).
- 9) N-N Feng, S. Liao, D. Feng, P. Dong, D. Zheng, H. Liang, R. Shafiha, G. Li, J. E. Conningham, A. V. Krishnamoorthy, and M. Asghari, “High speed carrier-depletion modulators with $1.4\text{V}\cdot\text{cm}$ $V_{\pi}L$ integrated on $0.25\mu\text{m}$ silicon-on-insulator waveguides”, Opt Express 18, 7994-7999 (2010).
- 10) L. Liao, D. Samara-Rubio, M. Morse, A. Liu, D. Hodge, D. Rubin, U. D. Keil, and T. Franck, “High speed silicon Mach-Zehnder modulator”, Opt. Express 13, 3129-3135 (2005).
- 11) http://www.ofcnfoec.org/conference_program/2009/images/09-DAndrea.pdf
- 12) J. Fujikata, J. Ushida, Y. Ming-Bin, Z. S. Yang, D. Liang, P. Lo Guo-Qiang, D-L Kwong, and T. Nakamura, “25 GHz operation of Si modulator with projection MOS junction structure”, Optical Fiber Conf. 2010, OMI3.
- 13) Q. Xu, S. Manipatruni, B. Schmidt, J. Shakya, and M. Lipson, “12.5Gbit/s carrier-injection-based silicon micro-ring silicon modulators”, Opt. Express 15, 430-436 (2007).
- 14) J. Li, T. P. White, L. O’Faolain, A. Gomez-Iglesias, and T. F. Krauss, “Systematic design of flat band slow light in photonic crystal waveguides”, Opt. Express 16, 6227-6232 (2008).
- 15) T. Tanabe, K. Nishiguchi, E. KUramotochi, and M. Notomi, “Low power and fast electro-optic silicon modulator with lateral p-i-n embedded photonic crystal nanocavity”, Opt. Express 17, 22505-22513 (2009).
- 16) A. Brimont, P. Sanchis, and J. Marti, “Strong electro-optical modulation enhancement in a slow wave corrugated waveguide”, Opt. Express 17, 9204-

9211 (2009).

17) J. Liu, M. Beals, A. Pomerene, S. Bernardis, R. Sun, J. Cheng, L. C. Kimerling, and J. Michel, “Waveguide-integrated, ultralow-energy GeSi electro-absorption modulators”, *Nature Photon.* 2, 433-427 (2008).

18) Y-H Kuo, Y. K. Lee, Y Ge, S. Ren, J. E. Roth, T. I. Kamins, D. A. B. Miller, and J. S. Harris, “Strong quantum-confined Stark effect in germanium qwantum-well structures on silicon”, *Nature* 437, 1334-1336 (2005).

19) R. S. Jacobsen, Karin N. Andersen, P. I. Borel, J. Fage-Pedersen, L. H. Frandsen, O. Hansen, M Kristensen, A. V. Lavrinenko, G. Moulin, Haiyan Ou, C. Peucheret, B. Zsigri, and A. Bjarklev, “Strained silicon as a new electro-optic material”, *Nature* 441, 199-202 (2006).

20) J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, “Waveguide-Integrated Si Nano-Photodiode with Surface-Plasomon Antenna and its Application to On-chip Optical Clock Distribution”, *Appl. Phys. Experss* 1, 022001 (2008).

21) M. W. Geis, S. J. Spector, M. E. Grein, J. U. Yoon, D. M. Lennon, C. M. Wynn, S. T. Palmacci, F. Gan, F. X. Kartner, and T. M. Lyszczarz, “All silicon infrared photodiodes: photo response and effects of processing temperature”, *Opt. Express* 15, 16886-16895 (2007).

22) S. Park, K. Yamada, T. Tsuchizawa, T. Watanabe, H. Nishi, H. Shinojima, and S. Itabashi, “All-silicon and in-line integration of variable optical attenuators and photodetectors based on submicrometer rib waveguides”,

- Opt. Express 18, 15303-15310 (2010).
- 23) M. W. Geis, S. J. Spector, M. E. Grein, J. U. Yoon, D. M. Lennon, and T. M. Lyszczarz, "Silicon waveguide infrared photodiodes with >35GHz bandwidth and phototransistors with 50AW-1 response", Opt. Express 17, 5193-5204 (2009).
- 24) H. C. Luan, D. R. Lim, K. K. Lee, K. M. Chen, j. G. Sandland, K. Wada, and L. C. Kimerling, "High-quality Ge epilayers on Si with low threading-dislocation densities", Appl. Phys. Lett. 75, 2909-2911 (1999).
- 25) S. J. Koester, J. D. Schaub, G. Dehlinger, and J. O. Chu, "Germanium-on-SOI Infrared Detectors for Integrated Photonic Applications", IEEE J. Sel. Top. Quant. Electron. 12, 1489-1502 (2006).
- 26) A. Nayfeh, C. O. Chui, K. C. Saraswat, and T. Yonehara, "Effects of hydrogen annealing on heteroepitaxial-Ge layers on Si: Surface roughness and electrical quality", Appl. Phys. Lett. 85, 2815-2817 (2004).
- 27) J. Nakatsuru, H. Date, S. Mashiro, and M. Ikemoto, "Growth of high quality Ge epitaxial layer on Si(100) substrate using ultra thin Si_{0.5}Ge_{0.5} buffer, Mater. Res. Soc. Symp. Proc. 891, 315-320 (2006).
- 28) J. Liu, D. D. Cannon, K. Wada, Y. Ishikawa, S. Jongthammanurak, D. T. Danielson, J. Michel, and L. C. Kimerling, "Tensile strained Ge p-i-n photodetectors on Si platform for C and L band telecommunications", Appl. Phys. Lett. 87, 0111110 (2005).
- 29) J. Michel, J. Liu, and L. C. Kimerling, "High-performance Ge-on-Si photodetectors", Nature Photon. 4, 527-534 (2010).
- 30) J. Liu, J. Michel, W. Giziewicz, D. Pan, K. Wada, D. D. Cannon, S.

- Jongthammanurak, D. T. Danielson, L. C. Kimerling, J. Chen, F. O. Ilday, F. X. Kartner, and J. Yasaitis, “High-performance, tensile-strained Ge p-i-n photodetectors on a Si platform”, *Appl. Phys. Lett.* **87**, 103501 (2005).
- 31) L. Colace, M. Balbi, V. Sorianello, and G. Assanto, “Temperature-Dependence of Ge on Si p-i-n Photodetectors”, *J. Lightw. Technol.* **26**, 2211-2214 (2008).
- 32) K-W Ang, J. W. Ng, G-Q Lo, and D-L Kwong, “Impact of field-enhanced band-traps-band tunneling on the dark current generation in germanium p-i-n photodetector”, *Appl. Phys. Lett.* **94**, 223515 (2009).
- 33) T. Yin, R. Cohen, M. M. Morse, G. Sarid, Y. Chetrit, D. Rubin, and M. J. Paniccia, “31GHz Ge n-i-p waveguide photodetectors on Silicon-on-Insulator substrate”, *Opt. Express* **15**, 13965-13971 (2007).
- 34) X. Zheng, F. Liu, D. Patil, H. Thacker, Y. Luo, T. Pinguet, A. Mekis, J. Yao, G. Li, J. Shi, K. Raj, J. Lexau, E. Alon, R. Ho, J. E. Cunningham, and A. V. Krishnamoorthy, “A sub-picojoule-per-bit CMOS photonic receiver for densely integrated systems”, *Opt. Express* **18**, 204-211 (2010).
- 35) Y. Kang, H-D Liu, M. Morse, M. J. Paniccia, M. Zadka, S. Litski, G. Sarid, A. Pauchard, Y-H Kuo, H-W Chen, W. S. Zaoui, J. E. Bowers, A. Beling, D. C. McIntosh, X. Zheng, and J. C. Campbell, “Monolithic germanium/silicon avalanche photodiodes with 340 GHz gain-bandwidth product”, *Nature Photonics* **3**, 59 (2009).
- 36) S. Assefa, F. Xia, and Y. A. Vlasov, “Reinventing germanium avalanche photodetector for nanophotonic on-chip optical interconnects”, *Nature* **464**, 80 (2010).

- 37) D. Crouse, "Numerical modeling and electromagnetic resonant modes in complex grating structures and optoelectronic device applications," *IEEE trans. Electron Devices* **52**, 2365 (2005).
- 38) R. W. Wood, "Anomalous Diffraction Grating," *Phys. Rev.* **48**, 928 (1935).
- 39) T. W. Ebbesen, H. J. Lezec, H. F. Ghaemi, T. Thio, and P. A. Wolf, "Extraordinary optical transmission through subwavelength hole arrays," *Nature* **391**, 667 (1998).
- 40) H. Rother, "Surface Plasmons on Smooth and Rough Surfaces and on Gratings," Springer-Verlag, Berlin, (1988).
- 41) R. Sambles, *Nature* **391**, 641 (1998).

第3章 LSI チップ間インターコネク用 Si 光変調器の検討

3-1 MOS 型 Si 光変調器の検討

MOS (metal-oxide-semiconductor)型 Si 光変調器は、ゲート酸化膜と隣接するシリコンとの界面に自由キャリアを蓄積させることにより、非常に高効率な光変調動作が期待出来る。^{1),2)} 一方、ゲート酸化膜上に積層する多結晶シリコンの導電率や光損失が、MOS 型変調器の高速動作や光損失に影響することが課題である。また、MOS 型変調器においては、キャリア変調が生じる領域が、ゲート酸化膜近傍の数 nm で生じるため、光モードフィールドとのモードオーバーラップが小さいため、高効率化のための断面構造の設計が非常に重要となる。

本節では、アモルファス・シリコンを熱処理により多結晶化する再結晶化アニール技術により、低抵抗かつ光損失を低減した高品質な多結晶シリコン膜の検討を行った。また、MOS 型変調器の断面形状を最適化することにより、キャリア密度変調領域と光モードフィールドとの重なりを改善し、さらに電極層となる高ドープ領域の位置を最適化することにより、負荷抵抗を低減し、高速動作を実現した。

3-1-1 低損失多結晶 Si 膜の検討³⁾

上記で述べたようにアモルファス・シリコンを熱処理により多結晶化する再結晶化技術は、いくつか報告例がある。また、600°C程度の低温で結晶化(Solid Phase Crystallization(SPC))を行い、さらに 1000°C高温アニールを長時間行うことにより、1 dB/mm 以下の光損失の多結晶シリコン導波路が報告されている。

⁴⁾ 一方、導電率の改善に関しては、水素アニールが効果的であることが報告されている。しかしながら、光低損失化と導電率の改善の両方を検討した報告は、これまでのところ行われていない。また、MOS 型変調器において、ゲート酸化膜上に単結晶シリコン層を左右から横方向エピ成長する(epitaxial lateral

overgrowth(ELO))などが報告されているが、⁵⁾ シリコンのエピ成長技術に加えて、平坦化プロセス(chemical mechanical polishing (CMP))が必要なため、作製が難しいという課題があった。

本節では、SPC プロセスおよび 1000°C 高温アニールプロセスによる光損失や n 型ドーピングした多結晶シリコン膜の導電性の改善効果に関して、まず検討した。次にアモルファス・シリコンを成膜する時の原料ガスとして、一般的な SiH₄(シラン)ガスを用いた場合と、今回初めて Si₂H₆(ジシラン)ガスを用いてアモルファス・シリコン層を形成した場合の光損失および導電性に関する特性も検討した。

SPC プロセスにおいては、アニール温度(T_{spc})がアモルファス・シリコンから多結晶シリコンへ相変化する時の粒成長に影響を及ぼす。従って、T_{spc} の多結晶シリコンの抵抗率と光透過特性に及ぼす影響に関して検討した。

多結晶シリコン導波路の作製プロセスは、次の通りである。最初にアモルファス・シリコン(a-Si)膜を低圧化学気相成長(LP-CVD)法により、シリコン酸化膜(SiO₂膜)上に SiH₄(シラン)ガスソースを用いて、550°C で成膜した。次に 560°C から 650°C の T_{spc} で、a-Si 膜を結晶化して多結晶シリコン膜とした。本検討では、このように形成した多結晶シリコン膜を SPC-SiH₄ と表す。本検討では、Si₂H₆(ジシラン)ガスソースを用いて成膜した a-Si 膜に対する SPC プロセスの効果についても検討した。次のステップとして、1100°C での高温アニール(HTA)処理を 30 分行った。導電性の評価や自由キャリアプラズマ分散(FCP)効果による光導波損失を評価する際は、1×10¹⁸/cm³ ドーピングレベルとなるように P イオン注入を行い、1050°C で 10 秒の活性化アニール処理を行った。多結晶シリコン導波路は、電子ビームリソグラフィによりレジストパターンを形成し、誘導結合プラズマ(ICP)を用いたドライエッチングにより、パターニングを行った。最

後に、1 μm 厚の SiO_2 上部クラッド膜を成膜した。

図 3.1 にこのようにして作製した多結晶シリコン膜表面の AFM 像および断面 TEM 像を示す。全てのサンプルにおいて、表面ラフネスの RMS(root mean square)値は、0.60 nm から 0.75 nm であり、非常に平滑な多結晶シリコン膜が形成可能であることが明らかとなった。多結晶シリコン導波路の光導波損失は、1.55 μm 波長では高さ 220 nm、幅 440 nm のチャンネル導波路に加工して、長さを変えた導波路損失を測定することにより評価した。

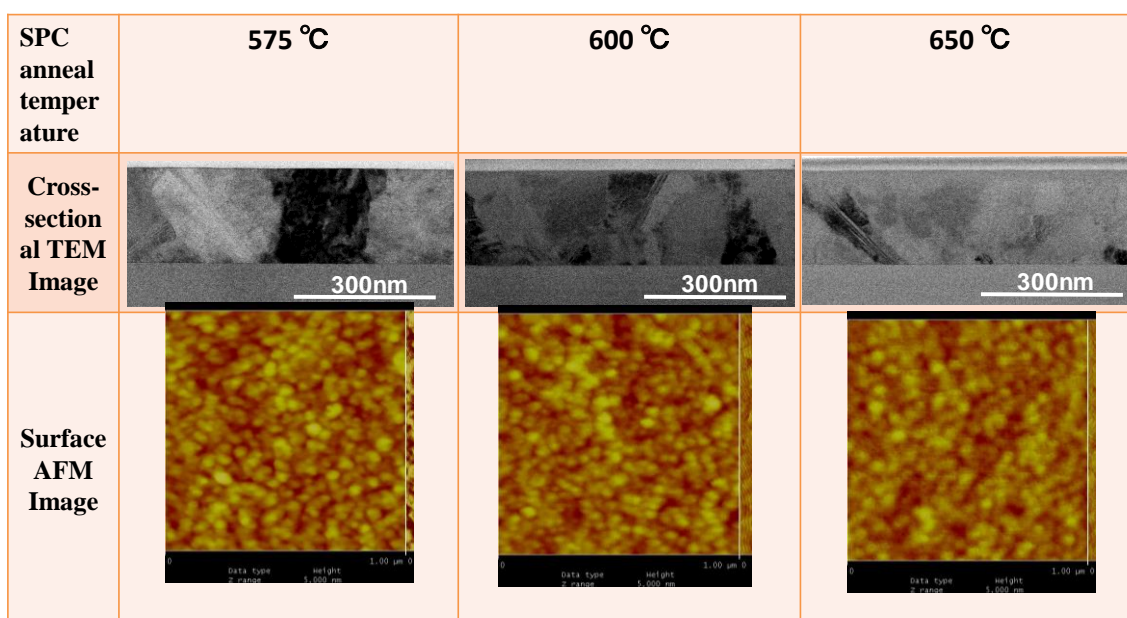


図 3.1 SPC アニールにより作製した多結晶シリコン膜の AFM 像および断面 TEM 像

3-1-1 A. SPC アニール温度の影響検討

最初に、SPC プロセスにより作製した多結晶シリコン膜および光導波路の光導波損失および電気特性に関して評価した。図 2.2(a)および(b)に光透過損失および抵抗率の SPC アニール温度依存性と 575°C から 650°C に SPC アニール温度を変化させて形成した多結晶シリコン膜の断面 TEM(透過電子顕微鏡)像を示す。図(a)から、SPC アニール温度を変化させた時、多結晶シリコン導波路の導波損失と不純物ドーピングをした多結晶シリコン膜の抵抗率には、トレードオ

フの関係があることが明らかとなった。断面 TEM 像から、多結晶シリコン膜における結晶粒径は、SPC アニール温度により、少し影響を受けるが、顕著な相違はないことが分かる。引用文献から、表面ラフネスおよび多結晶シリコン膜内部での光散乱損失が多結晶シリコン導波路の光導波損失に影響を及ぼすことが報告されている。4) 作製したサンプルに関してラマン分光分析をした結果、 522cm^{-1} に結晶 Si に起因する鋭いピークと 483cm^{-1} にアモルファスシリコンに起因する小さいサテライトピークが、 575°C から 650°C の SPC アニールした多結晶シリコンサンプルのいずれに関しても観測された。ラマン分光分析において、スペクトルピーク位置、ピーク強度、およびスペクトル線幅が、応力や粒径、および結晶品質により影響を受けることが報告されている。6-8) SPC アニール温度により、アモルファスシリコンに起因するサテライトピーク強度に顕著な違いは観測されていない。従って、結晶粒界におけるアモルファスシリコン層が光透過率および電気特性に影響していると考えられる。

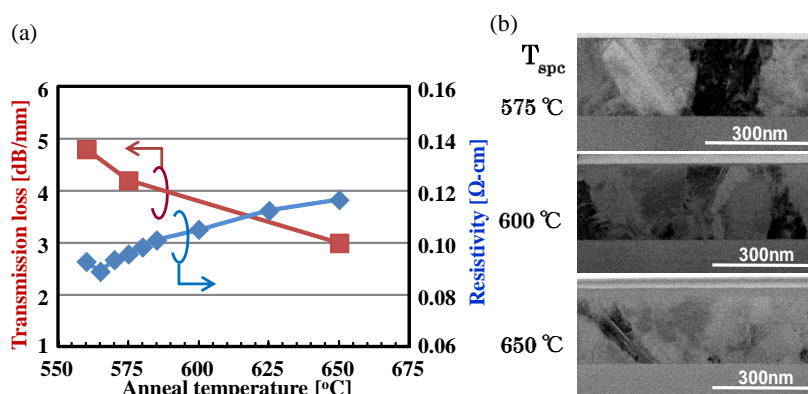


図 3.2 (a) 光透過損失および抵抗率の SPC アニール温度依存性 (b) SPC アニール温度による多結晶シリコン膜の断面 TEM 像

3-1-1 B. 高温アニールおよびアモルファスシリコン成膜時のガスソースの影響検討

本節においては、多結晶シリコン導波路特性の改善に関して、2つの手法を検討した結果に関して報告する。改善手法の1つは、SPC アニール後に結晶粒成

長を促進しすると共に、粒界の体積を軽減するため、1100°Cでの高温アニール処理である。¹⁰⁻¹²⁾ 改善手法の2つ目として、Si₂H₆ベースのSPCによる多結晶シリコン膜に関して検討した。

図3.3はSiH₄およびSi₂H₆ベースのSPCによる多結晶シリコンとこれに高温熱処理を行った場合の(a)抵抗率と(b)光の透過損失のSPC温度依存性を示したものである。高温アニール処理を適用することにより、光透過損失は、3-5dB/mmから1.0dB/mmまで顕著に減少していることが分かる。この時、SiH₄-SPCによる多結晶シリコン膜とSi₂H₆-SPCによる多結晶シリコン膜は、高温アニール処理を適用することにより、同等の光損失まで低減した。一方、SPC-SiH₄による多結晶シリコン膜の抵抗率に関しては、高温アニール処理により改善しているものの、その効果は比較的小さいことが明らかとなった。一方、Si₂H₆-SPCによる多結晶シリコン膜は、高温アニール処理無しでも $1 \times 10^{18}/\text{cm}^3$ のPドーピング密度に対して、 $0.03 \Omega\text{cm}$ と非常に小さい値を示した。この値は、単結晶Siに同等のPドーピングした時の文献値⁹⁾ $0.02 \Omega\text{cm}$ と同等であり、Si₂H₆-SPCはPイオン注入した時のドーパントの活性化率が非常に高いと考えられる。図(c)はSiH₄-SPCによる多結晶シリコン膜とSi₂H₆-SPCによる多結晶シリコン膜の断面TEM像である。Si₂H₆-SPCによる多結晶シリコン膜は、SiH₄-SPCによる多結晶シリコン膜と比較して、より大きな結晶粒からなることが分かる。図(d)はPドーピング多結晶シリコン導波路の光透過損失をPドーピングした単結晶シリコン導波路の光損失と比較したものである。単結晶Siの光透過損失は、Sorefのモデル¹³⁾から光モードと導波路との重なり積分を行い見積もった。SiH₄-SPCによる多結晶シリコン導波路は、Si₂H₆-SPCによる多結晶シリコン導波路と比較してより小さい透過損失を示した。すなわち、Si₂H₆-SPCによる多結晶シリコン膜におけるPのドーパントは、SiH₄-SPCのPのドーパントに比較してより活

性化されていることが明らかとなった。

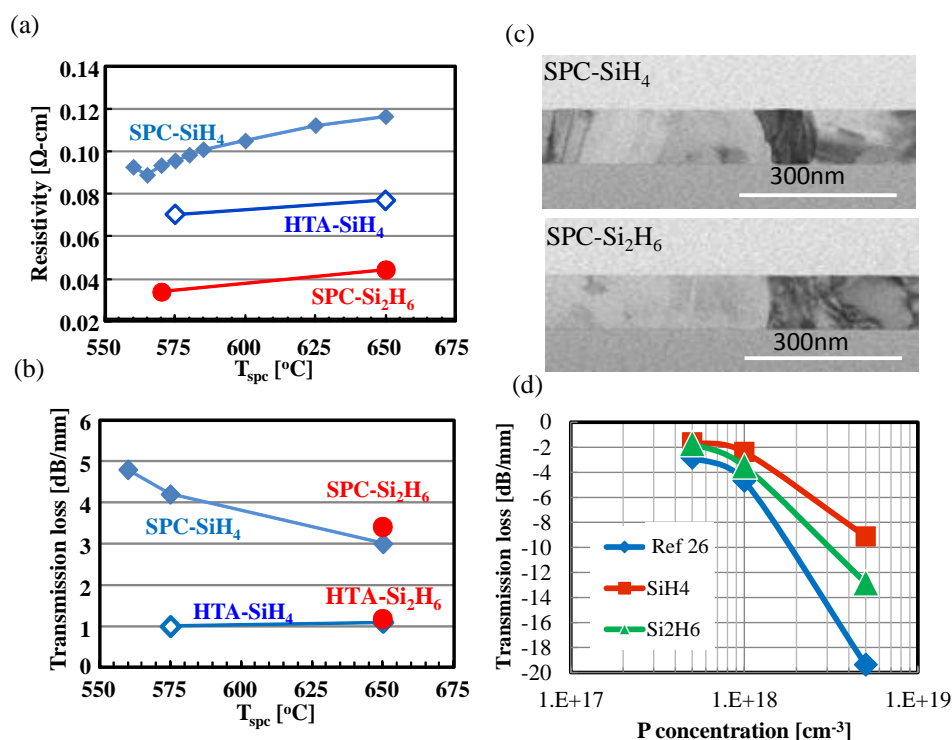


図 3.3 (a), (b)抵抗率と光透過損失の SPC 温度依存性および HTA 処理の効果 (c)SPC-SiH₄ と SPC-Si₂H₆ による多結晶シリコン膜の断面 TEM 像, (d)光透過損失の SPC ソースガスおよび P ドーピング濃度依存

図 3.4 は(a)SiH₄-SPC による多結晶シリコン膜と(b)これに 1100 $^{\circ}\text{C}$ の高温アニール処理を適用した多結晶シリコン膜の断面 TEM 像である。SiH₄-SPC による多結晶シリコン膜で観察された小さい結晶粒が 1100 $^{\circ}\text{C}$ の高温アニール処理により、より大きな結晶粒に成長していることが分かる。サンプルはいずれも P ドーピング無しの多結晶シリコン膜であるが、P ドーピングした多結晶シリコン膜においても、同様に高温アニール処理による粒成長が生じていると考えられる。

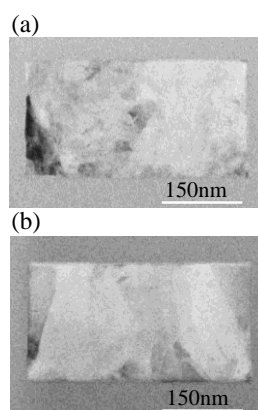


図 3.4(a)SiH₄-SPC による多結晶シリコン膜と(b)これに 1100°Cの高温アニール処理を適用した多結晶シリコン膜の断面 TEM 像

図 3.5 は SiH₄-SPC の多結晶シリコン膜およびこれを高温アニール処理したサンプルと Si₂H₆-SPC による多結晶シリコン膜のラマン分光スペクトルである。いずれのサンプルに関しても、522cm⁻¹に Si 結晶に対応するピークが観測された。メインピークの低エネルギー側の裾部を拡大すると、高温アニール処理した SiH₄-SPC の多結晶シリコン膜および Si₂H₆-SPC による多結晶シリコン膜は、SiH₄-SPC の多結晶シリコン膜に比較して、低エネルギー側の裾の高さが小さいことが明らかとなった。すなわち、アモルファス相に相当するピーク(~483cm⁻¹)および微結晶シリコンに相当するピーク(~500 cm⁻¹)が、高温アニール処理した SiH₄-SPC の多結晶シリコン膜および Si₂H₆-SPC による多結晶シリコン膜では小さくなっていると考えられる。

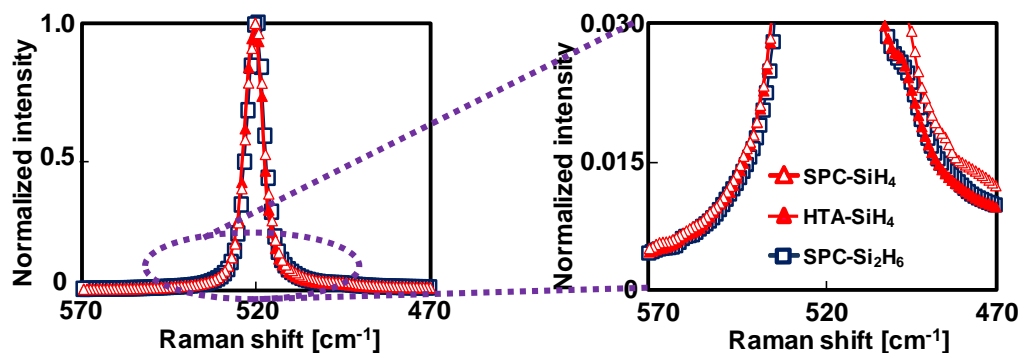


図 3.5 SiH₄-SPC の多結晶シリコン膜およびこれを高温アニール処理したサンプルと Si₂H₆-SPC による多結晶シリコン膜のラマン分光スペクトル

3-1-2 MOS 型光変調器の高効率化の検討

3-1-2-A 1.55 μm 波長用 MOS 型光変調器

図 3.6 に MOS 接合を有する Si 光変調器の(a) 断面概念図と(b) 断面 TEM 像を示す. デバイス作製プロセスは、SOI(silicon-on-insulator)厚が 220nm の 4 インチ径 SOI 基板を用いて行った. 熱酸化により SOI 基板上に 5 nm のゲート酸化膜を形成後、LP-CVD 法によりアモルファスシリコン膜を積層し、SPC および HTA による 2 段階アニールプロセスにより多結晶シリコン膜を形成した. シリコン導波路および多結晶シリコンゲートは、電子線リソグラフィとドライエッチングによりパターニングした. 最後に、Ti/TiN/Al 電極層を積層して、RF 電極を形成するようにパターニングを行った. 不純物ドーピングは、p 型シリコンおよび n 型多結晶シリコンに対して、それぞれ $1 \times 10^{18}/\text{cm}^3$ となるようにイオン注入処理を行った. ¹²⁾

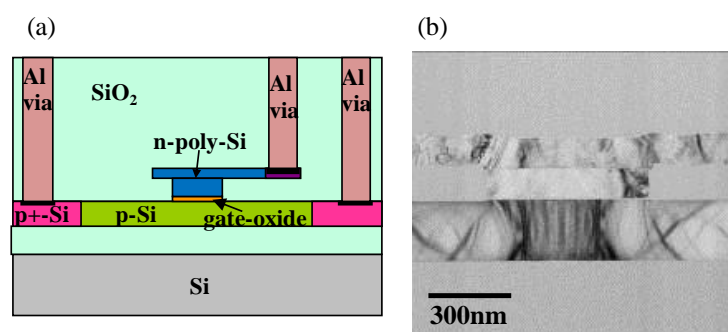


図 3.6 MOS 型 Si 光変調器の(a) 断面概念図と(b) 断面 TEM 像

3-1-2-B 1.55 μm 波長用 MOS 型光変調器の設計

MOS 型光変調器の最適構造は、p 型シリコン層および n 型多結晶シリコン層のドーピング密度が $1 \times 10^{18}/\text{cm}^3$ で同じであるという条件で、半導体デバイスシミュレーターおよび有限要素法による光モードソルバーを練成させることにより設計した. 図 3.7(a)は、シミュレーションした MOS 型光変調器の概念図である. 図 3.7(b)は、多結晶シリコン層厚(H_p)が 0.1 μm の時の MOS 型光変調器における光電界強度分布であり、図 3.7(c)は変調効率($V_{\pi}L$)の H_p 依存性である.

Hp を $0.5 \mu\text{m}$ から $0.1 \mu\text{m}$ に薄膜化することにより、光モードフィールドとキャリア密度変調領域の重なりが改善され、非常に高い変調効率である $0.3 \text{ V} \cdot \text{cm}$ が得られることが明らかとなった。

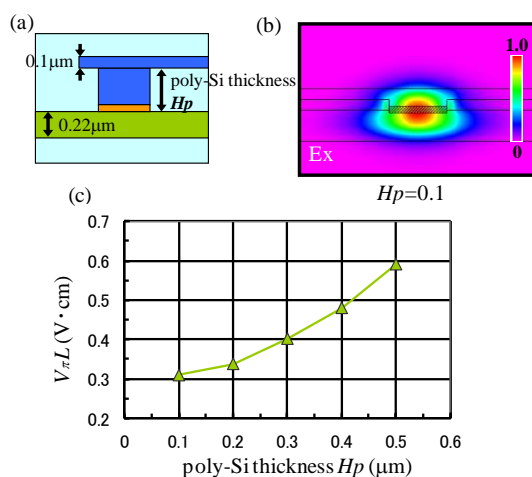


図 3.7(a)MOS 型光変調器の概念図, (b)Hp が $0.1 \mu\text{m}$ の時の光電界強度分布, (c) 変調効率($V_{\pi}L$)の Hp 依存性

図 3.8(a)は光位相変化の印加電圧依存性に関するシミュレーション並びに実験結果を比較したものである。また、図 3.8(b)は電気容量の多結晶シリコンゲート電極への印加電圧依存性をシミュレーションにより求めた結果である。多結晶シリコンゲート電極に対して、正の電圧印加を行った場合は、ゲート酸化膜近傍の空乏層幅が大きくなる。すなわち、MOS 接合は n 型多結晶シリコンゲート電極を介して逆バイアスが印加されることになる。一方、負の電圧印加を行った場合は、MOS キャパシタに対して順バイアスが印加された状態となり、シリコン層とゲート酸化膜層界面に自由キャリアの蓄積が生じる。キャリア蓄積モードにおいては、ゲート酸化膜と隣接するシリコン層との界面におけるフラットバンド電圧以下印加電圧において、印加電圧に対して最大の屈折率変化が得られることが特徴である。従って、自由キャリア蓄積モードは、光変調効率をエンハンスするのに、非常に有効であると考えられる。この条件においては、FCP 効

果による光透過損失は、約 2.6 dB/mm であると見積られる。

正バイアスを印加した時、電圧を増加させるに従って、実験結果がシミュレーションとずれてくることが明らかとなった。実験条件においては、印加電圧は静的に供給した。この時、少数キャリアからなる反転層がシリコン層とゲート酸化膜層界面に生じていると考えられる。一方、シミュレーションにおいては、印加電圧の保持時間は 10ns であり、反転層は生成されていない。従って、実験においては、非常に遅い生成速度の少数自由キャリアが反転層として生じており、これが実験とシミュレーションとの相違に起因していると考えられる。

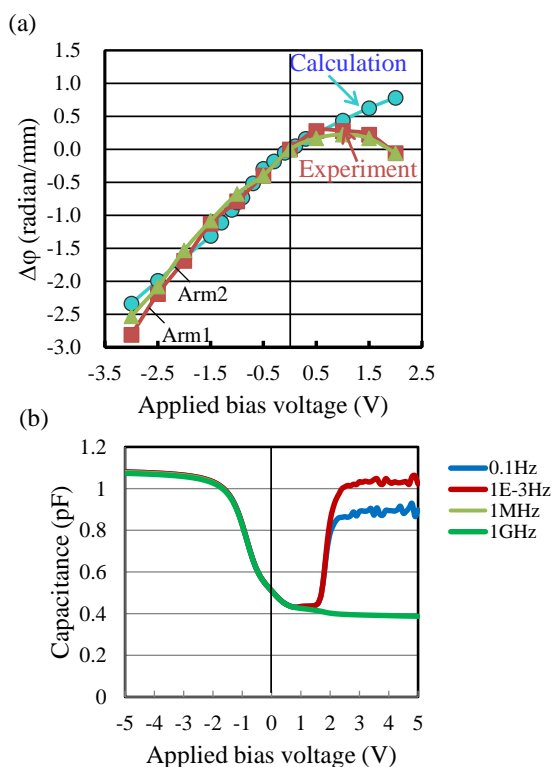


図 3.8(a)光位相変化の印加電圧依存性(計算および実験), (b) 電気容量の多結晶シリコンゲート電極への印加電圧依存性(計算)

図 3.8(b)にシミュレーションによる接合容量の電圧依存性に関する AC(高周波)解析結果を示す。印加電圧の周波数を 0.1Hz 程度以下とすることにより、正電圧の印加により接合容量が増加し、1MHz では接合容量が小さくなることが

分かる．すなわち、印加電圧の周波数を 0.1Hz 程度以下に非常に小さくすることにより、本来逆バイアス条件である正電圧の印加により、少数キャリアからなる反転層がゲート酸化膜と Si 層界面に形成され、接合容量が増加していると考えられる．¹⁰⁾ 注目すべき点は、変調効率が自由キャリアの蓄積モードの場合と反転層が形成される場合で同等であることである．これは、Soref の FCP による屈折率変化のモデル¹³⁾とよく一致しており、屈折率変化は自由キャリア密度の変化にほぼ比例する、すなわち電気容量と印加電圧の積に比例するという、理論と一致した結果が得られたことに相当する．

最後に 1.55 μm 波長帯域において、変調効率と高速動作に関して測定した結果を紹介する．測定した MOS 型光変調器の H_p は、計算により最適化した 0.1 μm であり、位相シフターの長さは 200 μm とした．図 3.9 は 50 Ω インピーダンスの測定系で測定した時の 3dB 周波数帯域の実験結果と電気容量から見積もった周波数帯域を示す．自由キャリアの空乏化モードにおいては、MOS 型変調器は 7GHz 以上の周波数帯域を示すが、蓄積モードにおいては 4 GHz 以下の周波数帯域が得られ、電気容量から見積もった値とほぼ一致した．図 3.10 に非対称マッハ・ツェンダー干渉計からなる MOS 型 Si 光変調器の透過光スペクトルの dc 印加電圧依存性を示す．印加電圧を -1V から -3V に変化させることにより、約 2nm のスペクトルシフトが得られ、この時の FSR(free spectral range)は 27.8nm であった．すなわち、変調効率($V_{\pi L}$)として 0.306V \cdot cm が得られ、シミュレーション結果と一致する値が得られた．この値は、従来 Si 光変調器で報告されている値と比較して、¹⁴⁻²⁶⁾ 非常に小さい値であり、MOS 型光変調器の高効率な変調特性を実証した．

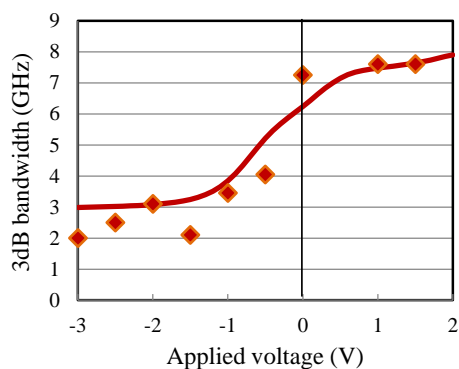


図 2.9 周波数帯域の印加電圧依存性

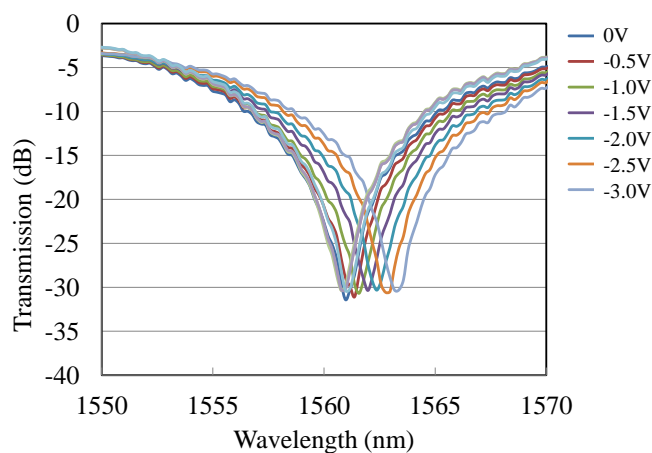


図 3.10 非対称マッハ・ツェンダー干渉計からなる MOS 型 Si 光変調器の透過光スペクトルの dc 印加電圧依存性

図 3.11 は dc バイアス電圧が 0V で、 $1.5V_{pp}$ の差動電圧を印加した時の 15Gbps での出力アイパターンである。この時の疑似ランダム信号 (PRBS (pseudo-random binary sequence)) は、 2^7-1 を適用した。挿入光損失 -2.2dB で消光比が 3.6dB の比較的良好なアイパターンが得られている。これらの結果は、高効率な光電子融合システムに寄与すると考えられる。

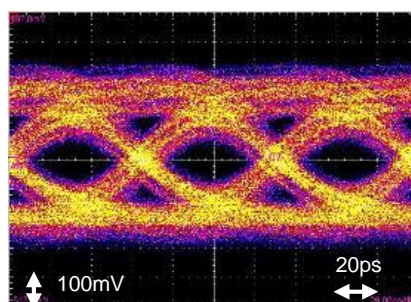


図 3.11 MOS 型光変調器の 15Gbps での出力アイパターン ($0V_{dc}$, $1.5V_{pp}$)

3-1-2-C 1.55 μm 波長用 MOS 型光変調器の高効率化¹⁾

3-1-2-C-1 projection MOS 接合構造による光変調効率エンハンス効果の解析

次に MOS 型光変調器において、伝搬光の光モードプロファイルと自由キャリア変調領域の重なり積分を改善することによる高効率化およびゲート酸化膜の薄層化による検討を行った。図 3.12 に検討した MOS 型光変調器の断面図を示す。本節では 2 つのタイプの Si 光変調器、すなわち(a)従来の平坦な MOS 接合からなる Si 変調器および(b)突起型 MOS 接合(projection MOS 接合)からなる Si 光変調器に関して、検討を行った。projection MOS 接合は、MOS 接合を光モードフィールドの広がりに合わせて突起構造にして広げており、自由キャリア密度の変調領域と光モードフィールドとの重なり積分を大きくすることにより、FCP 効果を実効的にエンハンスすることが可能であると期待出来る。リブ導波路構造からなる Si 光変調器は、MOS 接合を含む構造からなり、スラブ層である SOI 層は 300nm とし、 $1 \times 10^{18}/\text{cm}^3$ の濃度の B ドーピングを行っている。また、SOI 層表面には 2nm から 5nm のゲート酸化膜が熱酸化により形成されており、さらに $1 \sim 5 \times 10^{18}/\text{cm}^3$ 程度のドーピング密度に P ドーピングされた多結晶シリコン膜を積層した。次に、多結晶シリコン層は、ドライエッチング法により 0.6 μm 幅にパターンニングした。次に SiO_2 膜を積層して平坦化した後、さらに、電極層を引き出すために P ドープした多結晶 Si 層を 100nm 積層し、メタルコンタクト部に $1 \times 10^{20}/\text{cm}^3$ の高濃度ドーピングをおこなった後、上部クラッド層として 1.1 μm 程度の SiO_2 膜を積層し、Ti/TiN/Al 電極を形成した。リブ導波路構造の B ドーピングしたスラブ層に関しても、同様に隣接して B の高濃度層を形成し、Ti/TiN/Al 電極層を積層してパターンニングした。

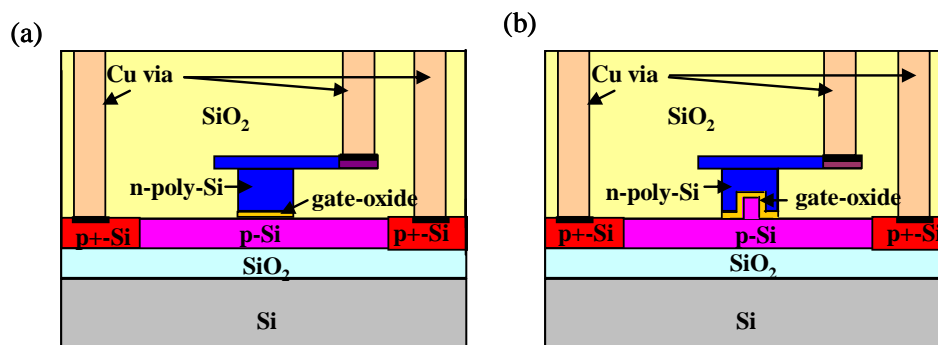


図 3.12 MOS 型変調器の断面模式図 (a)従来構造, (b)突起型(projection)MOS 構造

図 3.13 は検討したリブ型導波路形状の光フィールド分布である。本検討においては、リブ型導波路形状における光フィールド分布とキャリア変調領域の改善効果に関して検討した。

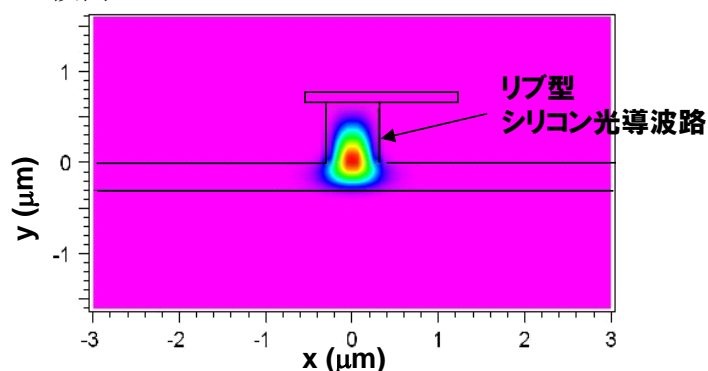


図 3.13 リブ型導波路形状の光フィールド分布

図 3.14 はバイアス電圧を 0V から+1V または-1V まで 10ps で最初に変化し、その後、印加電圧を維持した時の光フィールドとの重なり領域における積分したキャリア濃度を同じ断面リブ構造でゲート酸化膜を形成した MOS 型構造とゲート酸化膜のない pn 接合構造で比較したシミュレーション結果を示したものである。pn 接合においては、キャリア注入側に電圧印加した場合、顕著なキャリア密度変化が得られるが、キャリア再結合寿命により飽和時間が 2ns と非常に長く、高速変調は難しいと考えられる。従って、高速光変調動作を実現するためには、逆バイアスを印加する必要がある。一方、MOS 接合においては、活性層のキャリア密度を $1 \times 10^{18}/\text{cm}^3$ 以上に設定することにより、

自由キャリアの蓄積モードおよび空乏化モードにおいて、20ps 程度で動作可能であることが明らかとなった。

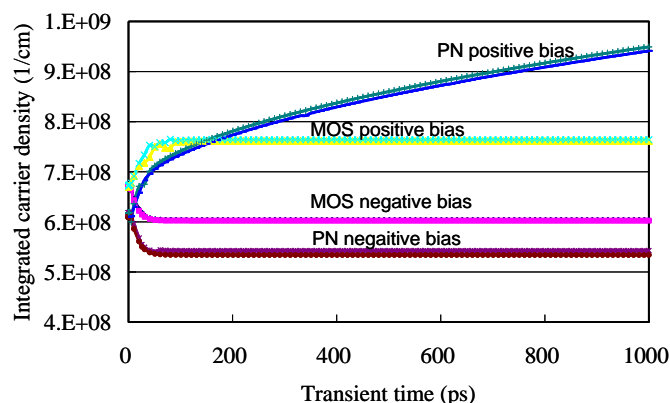


図 3.14 MOS 型変調器と PN 変調器のキャリア密度変化の時間応答比較

図 3.15 は平滑な MOS 接合構造および projection MOS 接合構造を有する Si 光変調器における、光オーバーラップ領域におけるキャリア密度の積分値を上記の同様の電圧印加条件で比較したものである。projection MOS 接合構造を用いることにより、2 程度倍のキャリア密度変化が高速に得られることが明らかとなった。一方、この時の平坦な MOS 接合に対する projection MOS 接合構造の電気容量の増加率は、1.2 から 1.5 倍程度であり、光モードフィールドとキャリア密度変調領域との重なり積分による変調効率のエンハンス効果が期待出来ることが明らかとなった。シミュレーション結果から、キャリア密度変化の増加は、40 GHz 程度まで高速化可能であることが明らかとなり、高効率で高速な MOS 型変調器が実現可能であると考えられる。

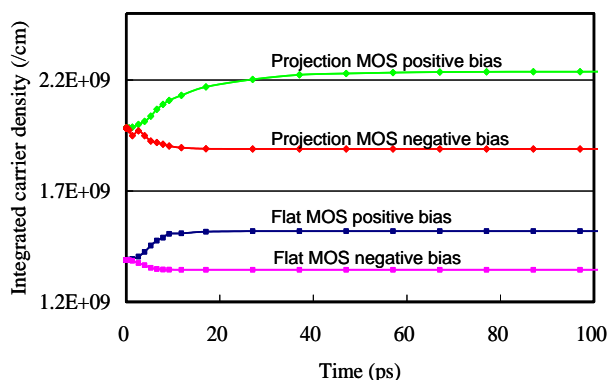


図 3.15 平坦な MOS 接合型 Si 変調器と突起型 MOS 接合型 Si 変調器のキャリア密度変化の時間応答比較

3-1-2-C-2 通常 MOS 接合構造および projection MOS 接合構造を有する光変調器の作製

図 3.16(a)は作製した MOS 型変調器の上面写真および通常 MOS 接合の断面 TEM 像および(b)は projection MOS 接合を有する Si 光変調器の断面 TEM 像である。Si 光変調器は、変調効率を評価するために、 $20 \mu\text{m}$ のアーム長さの差を有する非対称構造のマッハ・ツェンダー型干渉計構造からなる。作製プロセスは、SOI 基板を用い、位相シフター部に B ドーピングを行った後、projection MOS 接合構造に関しては、突起構造を作製するためにパターニングを行い、さらに導波路パターニングを行った。5nm のゲート酸化層を熱酸化により形成した後、アモルファス・シリコン層を積層し、多結晶シリコン層に結晶化するためのアニール処理を行った。次に多結晶シリコン層への P イオン注入を行い、プラズマ CVD 法により SiO_2 層を積層し、CMP プロセスにより平坦化を行った。さらに、電極引き出しのため、多結晶シリコン層を 100 nm 積層し、電極コンタクト部に高濃度 P イオン注入を行うことにより電極層とした。

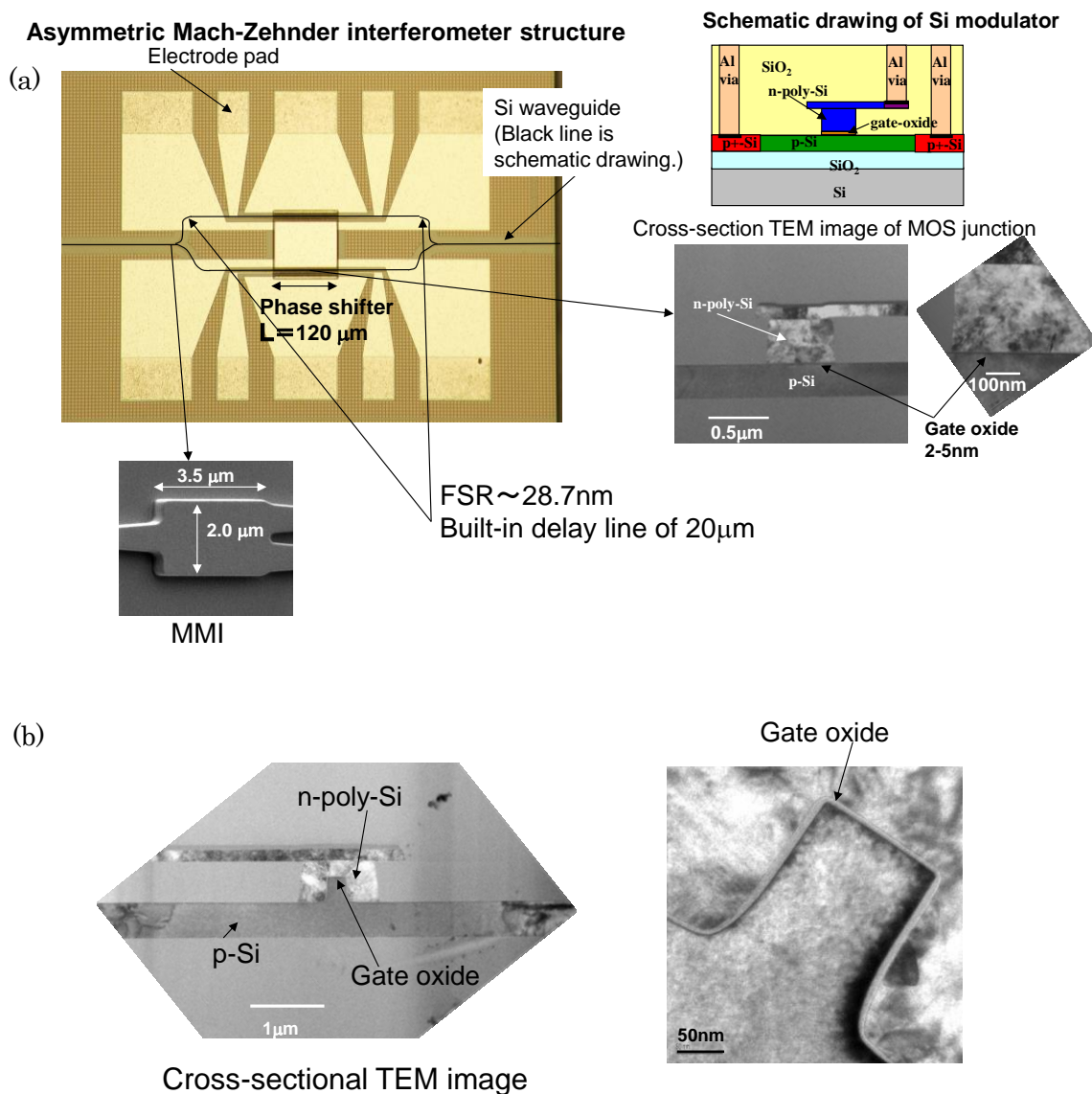


図 3.16(a)作製した MOS 型変調器の上面写真および通常 MOS 接合の断面 TEM 像および(b)projection MOS 接合を有する Si 光変調器の断面 TEM 像

3-1-2-C-3 通常 MOS 接合構造および projection MOS 接合構造を有する光変調器の特性評価

図 3.17 は $120 \mu\text{m}$ の位相シフター長を有する MOS 型光変調器の dc 電圧に対するスペクトルシフトを示したものである。(a)は平坦な MOS 接合タイプの測定結果であり、(b)は projection MOS 接合タイプの測定結果である。非対称

マツハ・ツェンダー構造は FSR (free spectral range) が 28.7 nm の干渉スペクトルを示し、30dB 程度の消光比が得られた。マツハ・ツェンダー干渉計構造において、片側アームに 2V の電圧を印加することにより、0.6nm 程度の位相シフトが通常 MOS 構造に対して得られた。すなわち、通常 MOS においては、変調効率($V_{\pi}L$)として 0.5~0.67Vcm 程度と通常の pn 接合からなる Si 光変調器に比較して、およそ 4 倍程度の高い変調効率を得られた。一方、projection MOS 接合を有する Si 光変調器に関しては、1nm 程度のスペクトルシフトが得られ、変調効率($V_{\pi}L$)として 0.39 Vcm が得られた。すなわち、通常 MOS 接合構造に比較して 1.5 倍程度の変調効率を得られており、シミュレーション結果とほぼ一致するエンハンス効果が得られた。従って、MOS 型変調器において、キャリア蓄積モードを利用することにより、pn 接合構造による Si 光変調器に比較して、高い変調効率を得られることが明らかとなった。

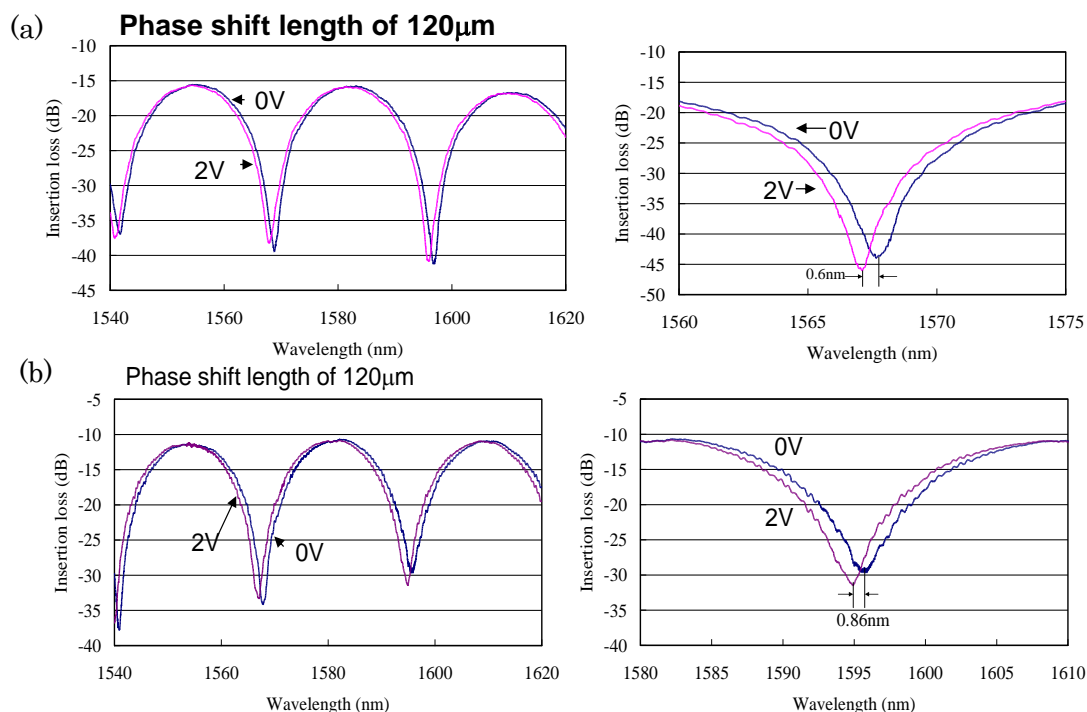


図 3.17 (a)平坦な MOS 接合および(b)projection MOS 接合を有する Si 光変調器の非対称 MZI 構造における印加電圧によるスペクトルシフト

3-1-2-C-4 ゲート酸化膜の薄層化による MOS 型光変調器の高効率化

次に通常 MOS 接合を用いた MOS 型光変調器の高効率化に関して、検討を行った。図 3.18(a), (b)にゲート酸化膜を 1nm から 10nm まで変化させた時の MOS 型光変調器におけるキャリア密度変化の時間応答を比較したシミュレーション結果を示す。印加電圧は、前節と同様に蓄積モードに関しては、バイアス電圧を 0V から -1V まで 10ps で変化させ、その後、印加電圧を維持した。一方、空乏化モードに関しては、バイアス電圧を 0V から +1V まで 10ps で変化させ、その後、印加電圧を維持した。蓄積モードに関しては、ゲート酸化膜近傍のキャリア密度変化がゲート酸化膜厚にほぼ反比例していることが分かる。すなわち、ゲート接合容量により、キャリア蓄積量が決まっており、キャリア密度変化が飽和する時間は、ゲート接合容量の増加に伴って 10ps から 50ps 程度まで大きくなることが明らかとなった。すなわち、ゲート接合容量により、高速光変調時の周波数帯域が影響されていることが分かる。一方、キャリア空乏化に関しては、ゲート酸化膜厚にあまり依存せず、キャリア密度変化は 20ps 程度で飽和していることが分かる。

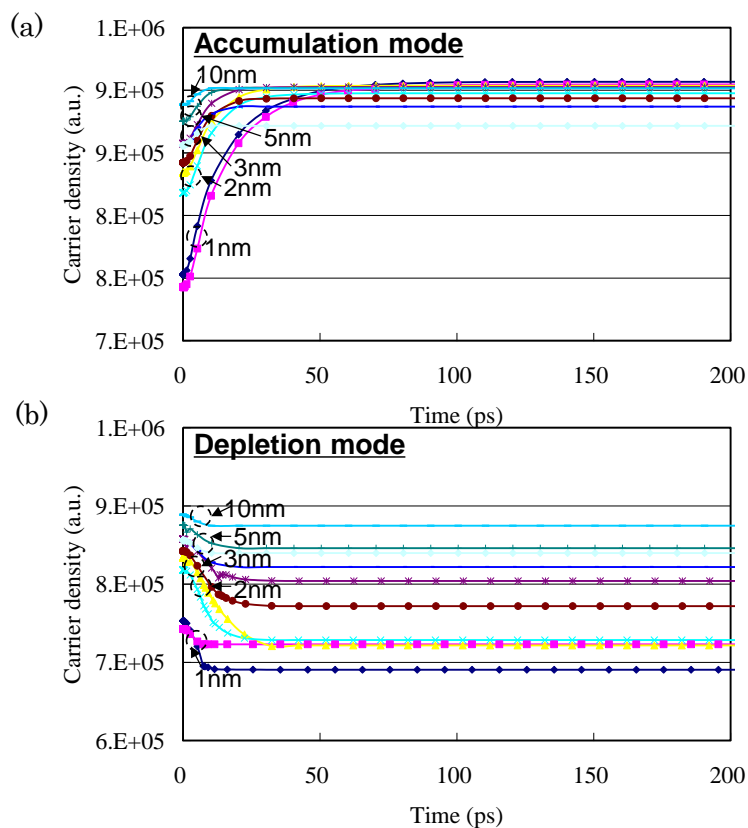


図 3.18 ゲート酸化膜を 1nm から 10nm まで変化させた時の MOS 型光変調器におけるキャリア密度変化の時間応答 (a)キャリア蓄積モード, (b)キャリア空乏化モード

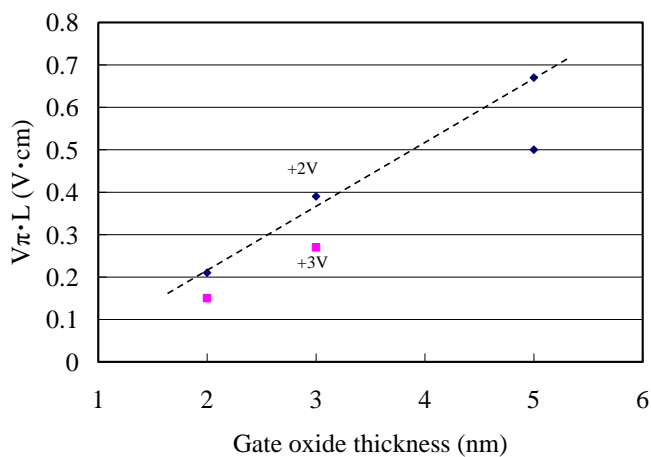


図 3.19 MOS 型変調器における変調効率($V_{\pi}L$)のゲート酸化膜厚依存性

図 3.19 は実際に作製した通常 MOS 型変調器における変調効率($V_{\pi L}$)のゲート酸化膜厚依存性である。ゲート酸化膜厚に対して、 $V_{\pi L}$ はほぼ直線的に減少しており、MOS 接合容量によるキャリア密度変化量と屈折率変化量($V_{\pi L}$ に相当)が比例関係にあるという Soref の関係式²⁷⁾が実験的にも検証出来た。

3-1-2-C-5 デバイスシミュレーションと光モードシミュレーションの練成計算による通常 MOS 光変調器および projection MOS 光変調器のさらなる高効率化²⁷⁾

次にデバイスシミュレーション結果と光モードシミュレーションを練成させて計算することにより、変調効率の実験結果の妥当性の検証と共にさらなる変調効率改善に関する指針を検討した。

図 3.20(a)および(b)に通常 MOS 光変調器と projection MOS 光変調器の変調効率に関するシミュレーション結果を示す。通常 MOS においては、蓄積モードにおいて、変調効率は $0.68V_{cm}$ となり、実験結果である 0.50 から $0.67V_{cm}$ とほぼ一致する値であった。また、projection MOS 光変調器の変調効率は、 $0.41 V_{cm}$ と見積もられ、実験結果である $0.39V_{cm}$ とほぼ一致する値が得られ、計算の妥当性が検証出来た。

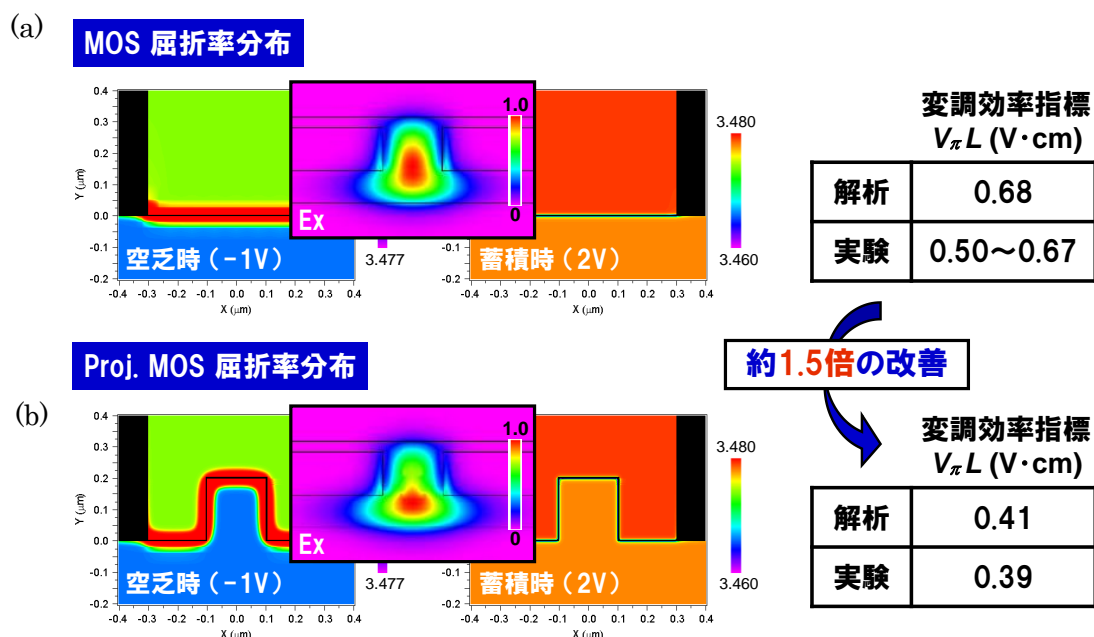


図 3.20(a)通常 MOS 光変調器と(b)projection MOS 光変調器の変調効率に関するシミュレーション結果

一方、projection MOS 光変調器においては、ゲート酸化膜近傍のキャリア密度変化は、通常 MOS に比較して 2 倍程度あることを前節で述べた。従って、さらなる光変調効率の改善に向けた設計を行った。図 3.21 は SOI 層厚をパラメータとした時の $V_{\pi}L$ の変化に関して、通常 MOS と projection MOS で比較した結果である。通常 MOS においては、SOI 層厚の薄層化により、光のモード中心がゲート酸化膜より上部にずれるため、変調効率は劣化する傾向にあることが分かる。一方、projection MOS 光変調器は、SOI 層厚を実験で検証した $0.3 \mu\text{m}$ から $0.2 \mu\text{m}$ 以下にすることにより、変調効率が大幅に改善し、 0.2Vcm から 0.3Vcm となることが明らかとなり、前節で述べたキャリア密度変化の積分値とほぼ対応する結果が得られた。

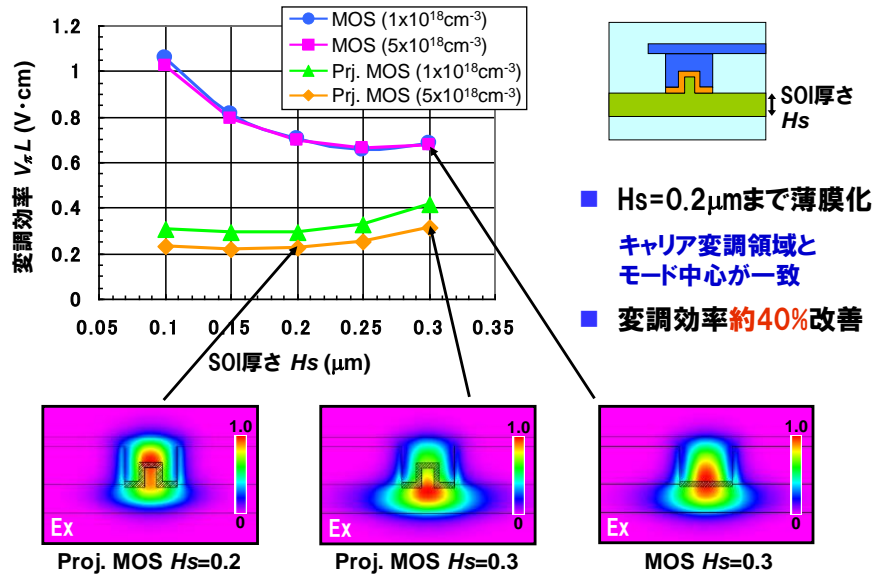


図 3.21 SOI 層厚をパラメータとした時の $V_{\pi}L$ の変化に関して、通常 MOS と projection MOS で比較した結果

3-1-2-D 1.55 μm 波長用 MOS 型光変調器の高速動作¹⁾

最後に 1.55 μm 波長用に検討した MOS 型光変調器の高速動作に関して、評価を行った。

図 3.22 に通常 MOS 接合を有する Si 光変調器の光変調に関する周波数特性を示す。この時の位相シフターの高さは 120 μm であり、バイアス電圧は 1V とした。測定結果から、50 Ω インピーダンスで測定した時の光周波数特性の 3dB 帯域は、17GHz 程度であることが明らかとなった。

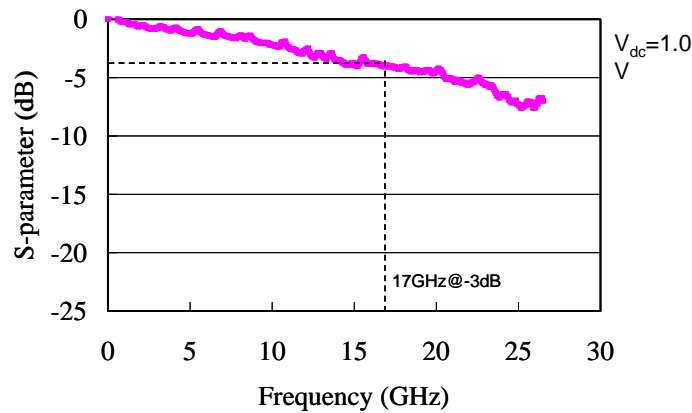


図 3.22 MOS 型 Si 光変調器の光変調周波数特性

図 3.23 にバイアス電圧を 0.1V にした時の PRBS $2^{31}-1$ のデータ信号で駆動した時の出力アイパターンを示す. 20Gbps から 40Gbps での高速動作が確認出来、消光比は 2~3dB 程度であった. 後の節で紹介するが、MOS 型光変調器の入ラインピーダンスは、 10Ω 程度であり、バイアス電圧を蓄積モードを生じるマイナス側の電圧とした場合においても、同様の高速動作が得られると考えられる.

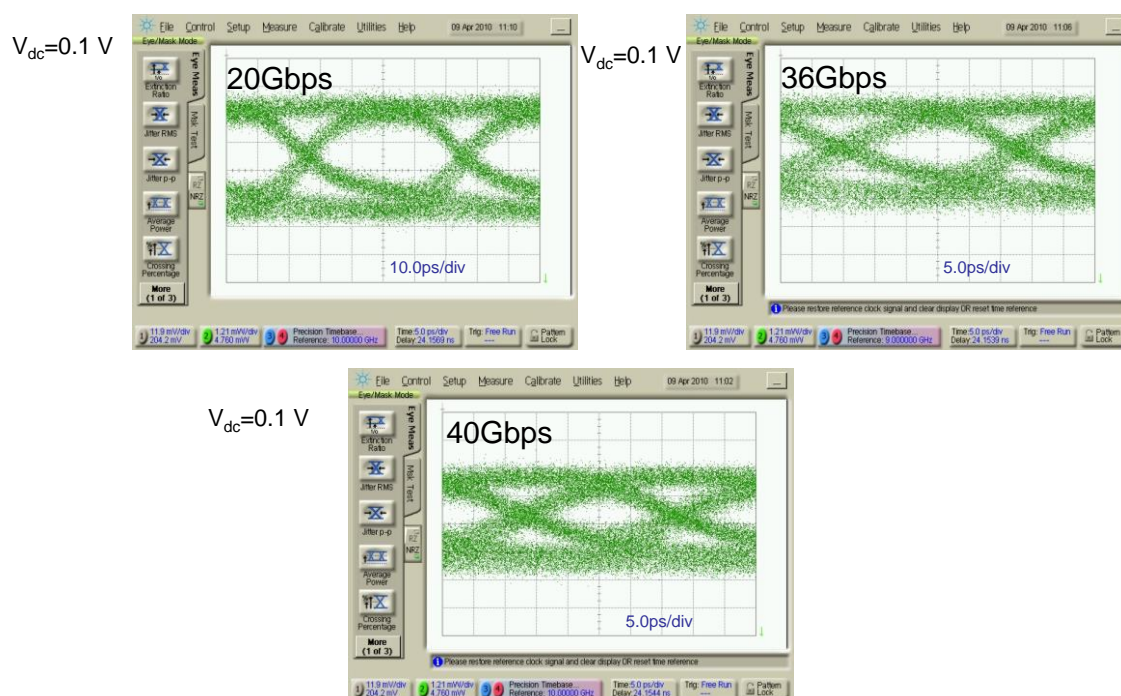


図 3.23 バイアス電圧を 0.1V にした時の 20Gbps-40Gbps での出力アイパターン (PRBS $2^{31}-1$)

3-1-2-E 1.3 μm 波長用 MOS 型光変調器^{28),29)}

次に 1.3 μm 波長用 MOS 型光変調器に関して検討した。1.3 μm 波長帯は既存の面発光レーザを用いたマルチモードファイバーを用いた光インターコネクなどとの整合性が良く、OIF(optical internetworking for μm)などでも標準化が進んでいる波長帯である。一方、FCP に関する Soref のモデル式¹⁾から、屈折率変化量は波長の 2 乗に比例することが示されており、波長を短波長化することは、FCP 効果を適用する上では不利であると考えられる。本検討では、短波長(1.3 μm 波長帯域)における MOS 型光変調器の高効率化の検討と、光変調器からの出力光をモニターするモニター受光器との集積化の検討、さらにマッハ・ツェンダー干渉計における動作点を制御する p-i-n 型位相変調器の検討を行った。

3-1-2-E-1 実験方法

図 3.24 に 1.3 μm 波長用に検討した(a)MOS 型光変調器の概念図と(b)断面 TEM 像を示す。検討した MOS 型変調器は、対称および非対称マッハ・ツェンダー干渉計構造からなる。基板は SOI(silicon-on-insulator)層厚が 180 nm である 4 インチ SOI ウェハを用いた。SOI 基板をリブ導波路形状に加工するために ICP(inductively coupled plasma)法によるドライエッチング装置により 100nm の SOI 層エッチングを行った後、 SiO_2 膜を積層して CMP プロセスにより平坦化を行った。次に 5nm の厚さからなるゲート酸化膜を熱酸化により形成後、LP-CVD 法によりアモルファス・シリコン層を形成し、2 段階アニールにより多結晶シリコン層を形成した。次に電子ビームリソグラフィおよびドライエッチングにより、多結晶シリコン層およびシリコン導波路層をパターニングした。次に SiO_2 上部クラッド層を積層した後、電気コンタクトホールを形成した。最後に Ti/TiN/Al 層からなる電極層を積層し、パターニングを行った。MOS 型 Si 光変

調器における p 型シリコン層および n 型多結晶シリコン層のドーピング密度は、それぞれ $1\text{-}2 \times 10^{18}/\text{cm}^3$ とした。実験においては、位相シフターの長さは $60\text{-}120 \mu\text{m}$ とした。

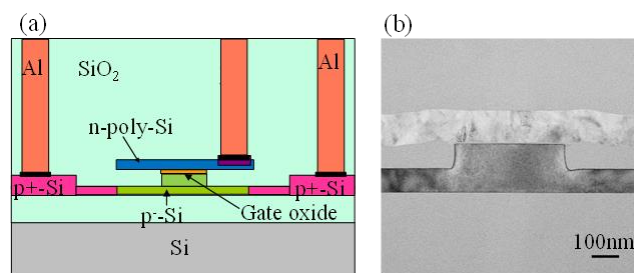


図 3.24 1.3 μm 波長用に検討した(a)MOS 型光変調器の概念図と(b)断面 TEM 像

図 3.25(a)および(b)は光パワーモニター用 Ge フォトダイオードを集積したマッハ・ツェンダー干渉計型 MOS 型光変調器の概念図と実際に作製したデバイスの写真である。マッハ・ツェンダー干渉計における動作点を制御するため p-i-n ダイオードタイプの光位相調整器を用いた。マッハ・ツェンダー干渉計には出力ポートを 2 つ設けており、1 つは導波路タイプの Ge フォトダイオードと接続して光出力をモニターし、もう 1 つの出力ポートは先球ファイバと結合するために逆テーパ構造としている。

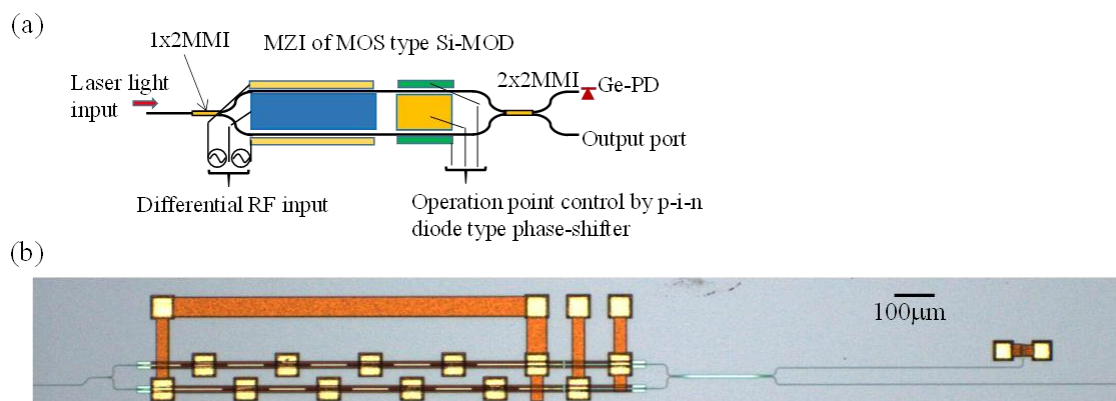


図 3.25(a)光パワーモニター用 Ge フォトダイオードを集積したマッハ・ツェンダー干渉計型 MOS 型光変調器の概念図と(b)実際に作製したデバイスの写真

3-1-2-E-2 実験結果および議論

3-1-2-E-2-1 1.3 μm 波長帯における MOS 型光変調器の実験および解析

図 2.26(a)および(b)は MOS 型光変調器の実効屈折率と光損失の多結晶シリコゲート電極への印加電圧(V_{bias})依存性に関するシミュレーション結果である。

V_{bias} が負の時、自由キャリアの蓄積がゲート酸化膜とシリコン層界面で生じる。

-0.5 V_{bias} の時、0.28 V_{cm} という非常に良好な変調効率($V_{\pi}L$)が得られた。

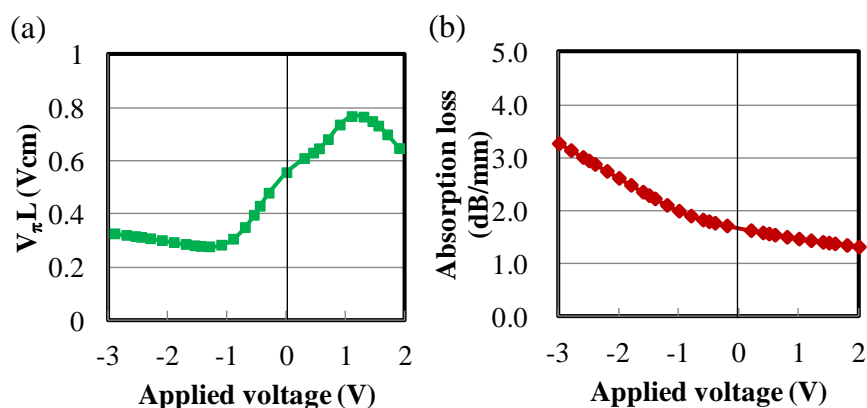
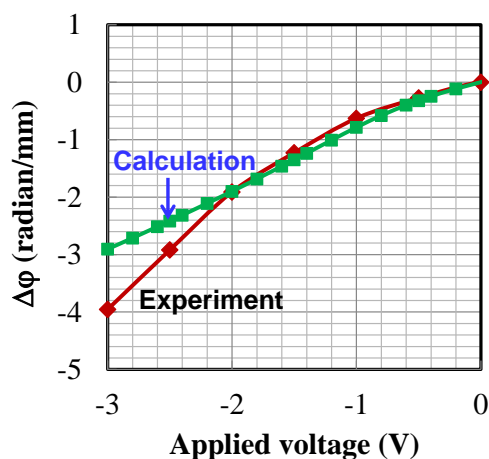


図 3.26(a)および(b)は MOS 型光変調器の実効屈折率と光損失の多結晶シリコゲート電極への印加電圧(V_{bias})依存性に関するシミュレーション結果

図 3.27 は光位相変化の V_{bias} 依存性に関するシミュレーションおよび実験結果である。シミュレーション結果と実験結果はよく一致しており、変調効率として 0.28Vcm から 0.4Vcm と非常に良好な値が 1.3 μm 波長帯においても得られた。すなわち、波長の短波長化に対応して、よりコンパクトなリブ型断面構造にすることにより、1.55 μm 波長帯と同等の変調効率を実証した。 V_{bias} を-1.5V ~-2.0V 以下に減少させることにより、計算と実験との間にずれが生じていることが観察される。これは自由キャリア蓄積領域が光モード計算のメッシュサイズに比較して非常に薄く、十分な計算精度が実現出来ていないと考えられ、計算精度の改善が必要であると考えられる。

図 3.27 光位相変化の V_{bias} 依存性に関するシミュレーションおよび実験結果

3-1-3 MOS 型 Si 光変調器と Ge 受光器の集積化

図 3.28(a)に MOS 型 Si 光変調器と集積した Ge 受光器の受光感度特性と(b) MOS 型 Si 光変調器の 25 Gbps 出力波形を示す. Ge 受光器の暗電流は 1V で 70nA 程度であり、光パワーモニターとして適用するのに十分小さい良好な値であった. 図 3.29 は SOI 基板上に成長した Ge 層の断面 TEM 像であり、(a)は Si 光変調器プロセスがない場合、(b)は Si 光変調器との集積プロセスを行った場合に対応する. MOS 型光変調器における多結晶シリコンゲートエッチングプロセス後において、選択成長した Ge メサの転移欠陥密度は十分小さく、Si 光変調器プロセスがない場合の欠陥密度と同等であることを断面 TEM により確認した. これにより、MOS 型 Si 光変調器と集積化した Ge 受光器は、非常に小さい暗電流値を示すことが分かる. また、Ge 受光器と集積化した MOS 型光変調器においても、特性劣化は見られず、27-1 の PRBS 信号に対して、25Gbps の高速動作が可能であった.

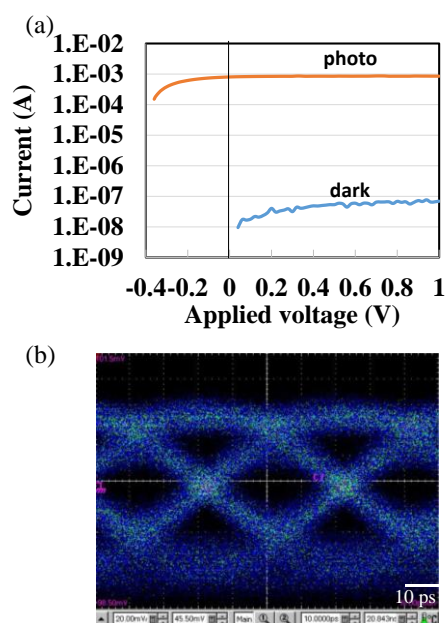


図 3.28(a)に MOS 型 Si 光変調器と集積した Ge 受光器の受光感度特性と(b) MOS 型 Si 光変調器の 25 Gbps 出力波形

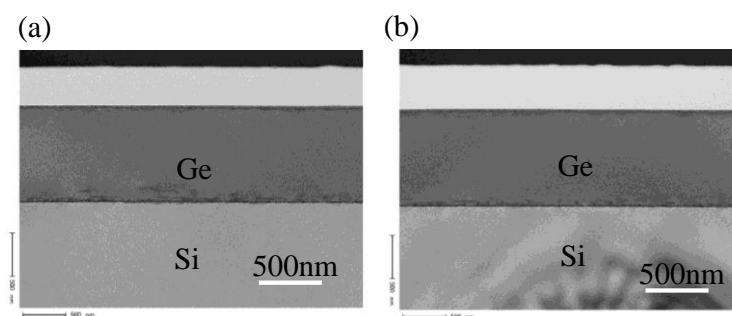


図 3.29 SOI 基板上に成長した Ge 層の断面 TEM 像:
(a)Si 光変調器プロセスがない場合,(b)Si 光変調器との集積プロセスを行った場合

3-1-4 CMOS ドライバーによる MOS 型光変調器の高速動作

次に出力段として CMOS インバーター回路からなる 65nm ノードの CMOS ドライバーを設計・試作し、MOS 型光変調器の高速動作の可能性を検討した。MOS 型 Si 光変調器は、4 分割電極からなり、1 セグメント当たりの位相シフター長は 120 μm である。従って、トータルの位相シフター長は 480 μm とした。

図 3.30(a)は、マッハ・ツェンダー干渉計における動作ポイントを制御するための p-i-n ダイオードに対する印加電圧による光位相変化に関するシミュレーション結果を示したものである。p-i-n ダイオードを用いることにより、比較的 low 電圧で、大きな光位相変化が得られることが分かる。また、p-i-n ダイオードによるキャリア注入による過剰損失は、1dB 以下であると見積もられた。図 2.30(b)は MOS 型 Si 光変調器からの出力消光比の V_{bias} およびマッハ・ツェンダー干渉計における動作点依存性のシミュレーション結果を示す。0.5 π の動作点において、3dB 以上の消光比が、 $-0.5V_{bias}$ および $1.0V_{pp}$ の差動駆動電圧により得られることがシミュレーションにより明らかとなった。

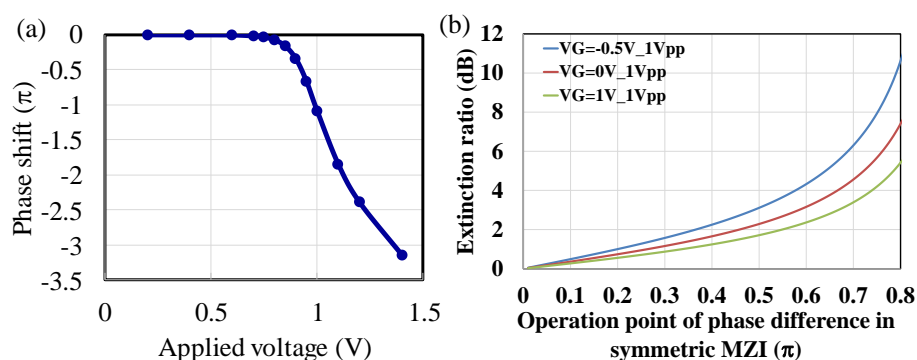


図 3.30(a)マッハ・ツェンダー干渉計における動作ポイントを制御するための p-i-n ダイオードに対する印加電圧による光位相変化(計算), (b) MOS 型 Si 光変調器からの出力消光比の V_{bias} およびマッハ・ツェンダー干渉計における動作点依存性(計算)

図 3.31(a)は 1.3 μm 波長において、MOS 型 Si 光変調器を CMOS ドライバで駆動した時のビットレート 15Gbps、PRBS 27-1 の出力波形の実験結果である。図 3.31(b)は、CMOS ドライバチップを、MOS 型変調器を集積化したシリコンフォトニクスチップにフリップチップ実装した時の断面 SEM 写真である。フリップチップ実装は、Au 電極をシリコンフォトニクスチップおよび CMOS ドライバチップにメッキ処理により形成し、Au-Au 金属接合により行った。マッハ・ツェンダー干渉計における動作ポイントを光変調振幅

(OMA(optical modulation amplitude))が最大となるように調整することにより、消光比 5dB 程度の良好な出力アイパターンが得られた。また、この時の CMOS ドライバーLSI の消費電力は、2-3mW/Gbps であり、低消費電力な変調器駆動が可能であった。従って、CMOS ドライバーIC を MOS 型 Si 光変調器に適用することにより、低電力で高速な光インターコネクションが可能となると期待される。さらに、テクノロジーノードの進んだ CMOS ドライバーを適用することにより、更なる高速化と低消費電力化が可能であると期待される。

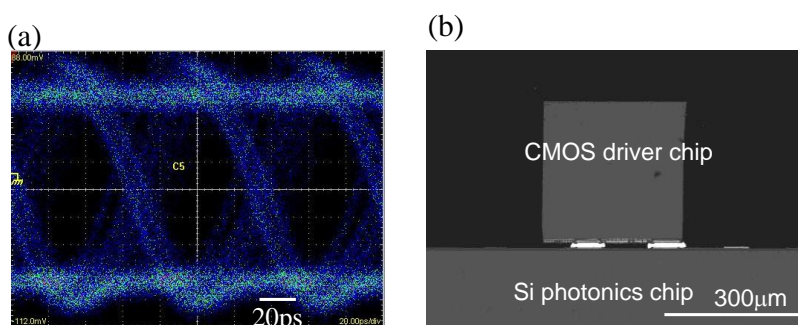


図 3.31(a)1.3 μm 波長において、MOS 型 Si 光変調器を CMOS ドライバーで駆動した時のビットレート 15Gbps、PRBS 27-1 の出力波形, (b) CMOS ドライバーチップを、MOS 型変調器を集積化したシリコンフォトニクスチップにフリップチップ実装した時の断面 SEM 写真

3-1-5 キャリア蓄積モードを利用したより高効率な動作検討

図 3.32(a)は、MOS 型光変調器の光位相変化の V_{bias} 依存性である。また、図 3.32(b)は、位相シフター長が 60 μm の場合の接合容量の V_{bias} 依存性である。 V_{bias} が負電圧の場合、自由キャリアの蓄積モードが生じることは、前節で述べた通りである。図(a)と(b)を比較すると、光位相シフトの V_{bias} 依存性は、接合容量の V_{bias} 依存性に対応していることが分かる。すなわち、光位相シフト量は、蓄積キャリア密度変化に依存しており、これは接合容量と印加電圧の積分値に対応していることが分かる。 $-1.5V_{\text{bias}}$ 以下の時、変調効率($V_{\pi}L$)として最大の値

となる 0.16Vcm が得られた. この値はフラットバンド電圧と同等の電圧であり、キャリア蓄積モードが生じる電圧として定義可能である. また、 $-1.5\text{V}_{\text{bias}}$ において、光位相シフトは線形的に変化しており、MOS キャパシタの接合容量がフラットバンド電圧以上で飽和することに対応している.

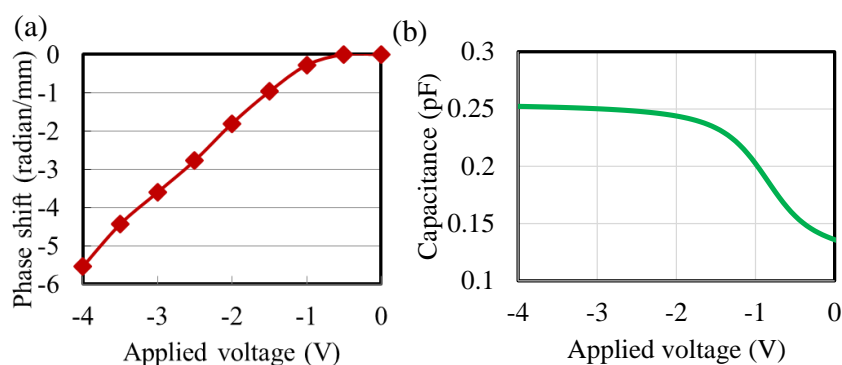


図 3.32(a)MOS 型光変調器の光位相変化の V_{bias} 依存性, (b)MOS 型光変調器の接合容量の V_{bias} 依存性

図 3.33(a)および(b)は、 $1.3\ \mu\text{m}$ 波長において、位相シフター長 $60\ \mu\text{m}$ の MOS 型 Si 光変調器に $-2.5\text{V}_{\text{bias}}$ を印加し、 2.0V_{pp} の差動電圧で PRBS $2^{31}-1$ とした時の、 15Gbps および 25Gbps の出力波形である. この時、光伝搬損失である α は、 3.5dB/mm であった. 従って、キャリア蓄積モードにおいて、MOS 型 Si 光変調器の FOM (figure of merit) として定義される $\alpha V_{\pi}L$ は、 7dBV 以下と見積もられ、Si 光変調器としては最高の性能を示した. FOM のレファレンスとしては、pin ダイオードタイプの Si 光変調器で 12.5GHz において、 9.5dBV 、MOS 型変調器において 15dBV 、pn 接合タイプの Si 変調器において 25.4dBV といずれも今回検討した MOS 型 Si 光変調器に比較して大きな値であり、光変調振幅 (OMA) として、 1.0dB から 5.0dB 程度従来の Si 光変調器に比較して大きな値が得られることが明らかとなった.

本検討で開発した MOS 型 Si 光変調器の footprint は、電極パッドおよび

Ge 受光器との集積面積を含めて、 0.02 mm^2 であった。すなわち、本検討により開発した MOS 型 Si 光変調器と Ge 受光器との組み合わせにより、伝送容量として 125 Tbps/cm^2 が実現可能であると見積られ、従来の電気配線における伝送容量 1 Tbps/cm^2 に比較して 100 倍以上の伝送容量が可能な Si フォトニックデバイスを実現した。

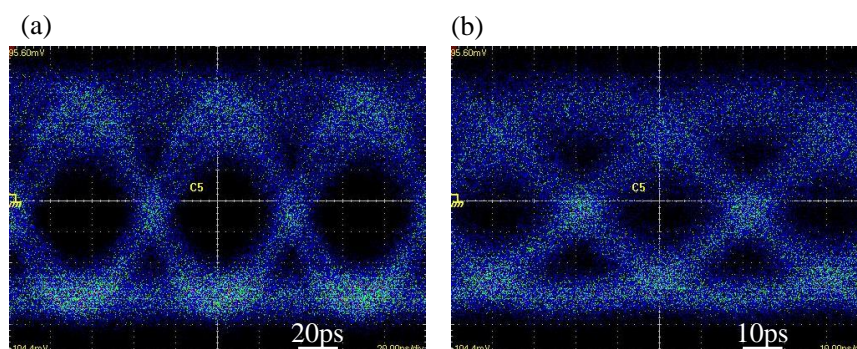


図 3.33 $1.3 \mu\text{m}$ 波長において、位相シフター長 $60 \mu\text{m}$ の MOS 型 Si 光変調器に $2.5 \text{ V}_{\text{bias}}$ を印加し、 $2.0 \text{ V}_{\text{pp}}$ の差動電圧で PRBS $2^{31}-1$ とした時の、(a) 15 Gbps および (b) 25 Gbps の出力波形

3-2 歪 SiGe 層を用いた高効率化の検討³⁰⁾

3-2-1 歪 SiGe 層による FCP(自由キャリアプラズマ分散効果)のエンハンスに関して

SiGe 技術は半導体産業において、汎用的な技術の一つとなっている。特に歪 Si を用いた MOS トランジスタをインテルが初めて量産化して以来、Si-MOS トランジスタのパフォーマンスをエンハンスするため、半導体層への歪導入によりキャリア移動度をエンハンスする技術は、非常に良く知られる技術となっている。CMOS 技術と整合性のある SiGe は、シリコンフォトニクスにおいても歪 SiGe による FCP(自由キャリアプラズマ分散)効果のエンハンス効果が期待出来る。³¹⁾ 本節では、SiGe 層の物理的な特性と歪 SiGe 層による FCP 効果のエンハンスに関して述べる。

SiGe は、ダイヤモンド構造からなる Si および Ge の半導体合金である。Si および Ge は、伝導帯と価電子帯とが間接遷移する、すなわち間接遷移型のバンドギャップを有する。いずれの材料に関しても、縮退した LH(light hole)と HH(heavy hole)からなる Γ -valley において、価電子帯のバンド端(最大エネルギーレベル)を有し、SO(split off)バンドが、それよりも低エネルギーレベルのところに位置している。伝導帯のバンド端(最小エネルギーレベル)は、Si および Ge それぞれに対して、 Δ -valley と L-valley に位置している。

SiGe の物理的な特性は、大体 Si および Ge の特性を補間することで見積もることが可能である(表 3.1)。しかし、合金組成において歪が印加されると、物理的な性質を見積もることが出来なくなる。Si と Ge の格子不整合は 4%である。従って、格子不整合にある SiGe と格子整合した SiGe では異なる物理定数を持つ。前者は、歪 SiGe であり、後者は歪緩和した SiGe である。特に、本節においては歪を印加した時のホールの有効質量が重要なパラメータとなる。

表 3.1 Properties of Silicon and Germanium at 300K [32)

Property	Symbol (Unit)	Ge	Si
Atoms/cm ³	(cm ⁻³)	4.42×10^{22}	5.0×10^{22}
Atomic weight	(-)	72.60	28.09
Breakdown field	E_b (V/cm)	$\sim 10^5$	$\sim 3 \times 10^5$
Crystal structure	(-)	Diamond	Diamond
Density	d (g/cm ³)	5.3267	2.328
Dielectric constant	ϵ_s (-)	16.0	11.9
Effective DOS in CB	N_c (cm ⁻³)	1.04×10^{19}	2.8×10^{19}
Effective DOS in VB	N_v (cm ⁻³)	6.0×10^{18}	1.04×10^{19}
Effective mass	m^*/m_0		
Electrons (longitudinal)	m_l^*	1.64	0.98
Electrons (transeverse)	m_t^*	0.082	0.19
Light holes	m_{lh}^*	0.044	0.16
Heave holes	m_{hh}^*	0.28	0.49
Electron affinity	χ (eV)	4.0	4.05
Energy gap at 300K	E_g (eV)	0.66	1.12
Intrinsic carrier concentration	n_i (cm ⁻³)	2.4×10^{13}	9.65×10^{10}
Lattice constant	a (Å)	5.64613	5.43095
Melting point	(°C)	937	1415
Minority carrier lifetime	(s)	10^{-3}	2.5×10^{-3}
Thermal diffusivity	(cm ² /s)	0.36	0.9
Mobility (drift)			
Electron	μ_e (cm ² /Vs)	3900	1500
Hole	μ_h (cm ² /Vs)	1900	450

図 3.34 はバルク基板の上に薄膜を成長した時の圧縮および引っ張り応力を図示したものである。上で述べたように、Ge は Si に比較して 4% 大きい格子定数を有する。格子定数は、Vegard の法則からほぼ線形に変化するが、より正確な値が測定されており、次に示すような数式で表される。³⁴⁾

$$a_{Si_{1-x}Ge_x} = 0.5431 + 0.01992x + 0.0002733x^2 \text{ (nm)}$$

格子ミスマッチは、任意に圧縮歪や引っ張り歪を与えることが可能である。例えば、圧縮歪を与えるためには、薄いバルクシリコン基板の上に $Si_{1-x}Ge_x$ 薄膜を成長させれば良いし、引っ張り歪は、Si 薄膜を図に示すようにバルク $Si_{1-x}Ge_x$ 膜上に成長することにより得られる。4% の格子ミスマッチのある 2 種類の材料からなる異なった物理特性、すなわち伝導帯のエネルギーレベルや方向を、デバイスのパフォーマンス改善のためにバンドエンジニアリングや歪エンジニアリングにより有効にすることが可能となる。

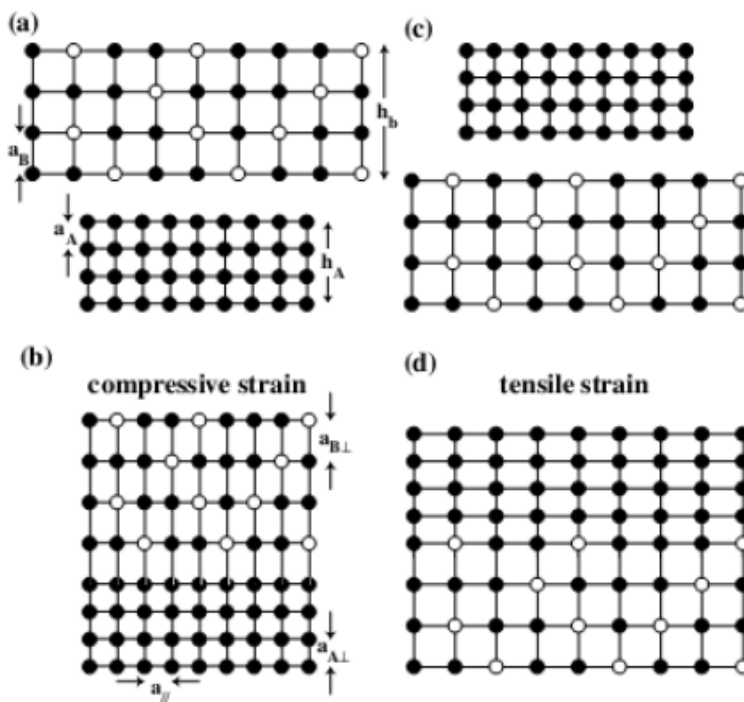


図 3.34 バルク基板の上に薄膜を成長した時の圧縮および引っ張り応力を図示したもの³³⁾

言うまでもなく、バンドギャップは SiGe 合金における Ge 組成に依存する。(100)方向の $\text{Si}_{1-x}\text{Ge}_x$ のバンドギャップエネルギーを図 3.35 に示す。バンドギャップエネルギーは歪が入っている場合と歪が緩和している場合で全く異なることは興味深い。歪 $\text{Si}_{1-x}\text{Ge}_x$ の LH および HH に対応するバンドギャップは Ge 組成が増加すると共に顕著に減少することが分かる。実際、バンドギャップ収縮は価電子帯のバンドオフセットにより影響される。これは伝導帯のバンドオフセットが価電子帯のそれに比較して極めて小さいからである。バンドギャップ収縮に関しては、光変調器に適用する際に SiGe 層の透過率が十分大きいのか、光損失が大きいか、知っておくことが重要である。例えば、 $1.55 \mu\text{m}$ 波長は、およそ 0.8eV の光子エネルギーに相当し、SiGe 層の Ge 組成として 30%から 40%においてほとんど透明である。また、 $1.31 \mu\text{m}$ 波長は、およそ 0.94eV の光子エネルギーに相当し、20%から 30%の Ge 組成の SiGe 膜がほとんど透明である。

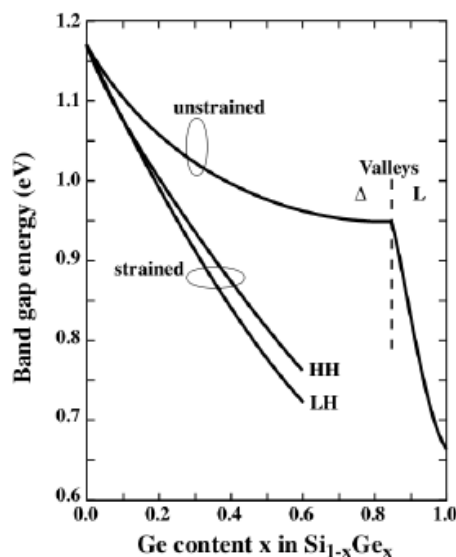
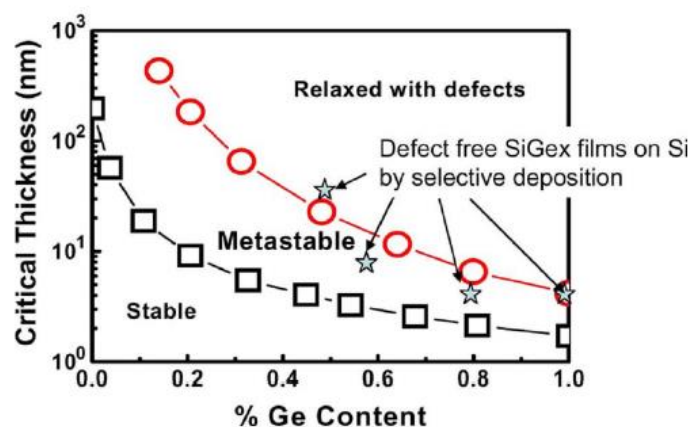


図 3.35 (100)方向の $\text{Si}_{1-x}\text{Ge}_x$ のバンドギャップエネルギー

図 3.36 は Si 上に歪 SiGe を成長させる際の臨界膜厚の Ge 組成³⁵⁾ ...である。臨界膜厚は、Ge 組成の増加に伴い減少し、膜厚が臨界膜厚を超えた時、歪緩和のために結晶欠陥が生じることになる。黒四角は歪 SiGe が安定状態である

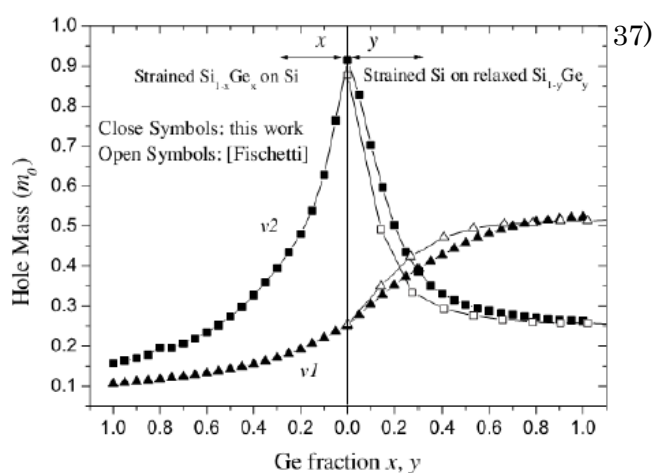
ことを示しており、赤丸は歪 SiGe 膜が準安定状態にあることを示している。



36)

図 3.36 Si 上に歪 SiGe を成長させる際の臨界膜厚の Ge 組成依存性

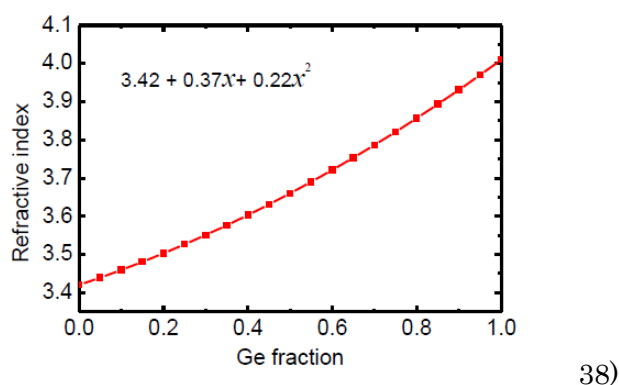
電子の場合と異なり、図 3.37 に示すようにホールの有効質量は Ge 組成により大きく変化する。図の左側および右側は、それぞれ Si 上の SiGe と緩和した SiGe 上の歪 Si を示している。図中 v_1 および v_2 はそれぞれ LH および HH に相当する。HH の利点は、価電子帯の最大値において、HH バンドがより大きな変化をすることである。Si 上の歪 SiGe の場合、LH および HH のホールの質量は、Ge 組成が増加するに従って減少する。特に、HH のホール質量が顕著に減少する点が興味深いことである。従って、ホールの有効質量を減少させるために、Ge 組成を増加させた歪 SiGe を導入することは有効である。



37)

図 3.37 ホールの有効質量の Ge 組成依存

図 3.38 は光学屈折率の Ge 組成依存性である。Ge 組成を増加させるに従って、光学屈折率は増加することが分かる。Ge 組成の関数としての屈折率は、Ge 組成の 2 次関数として表される。



38) 図 3.38 は光学屈折率の Ge 組成依存性

図 3.39 にホールと電子の伝導に寄与するキャリア有効質量を Ge 組成の関数として表す。LH と HH の価電子帯におけるバンドエネルギーの計算から、歪 SiGe および歪緩和した SiGe の伝導に寄与するホールの有効質量が得られる。伝導に寄与する電子の有効質量は、文献から得られた値である。Si の場合と比較して、伝導に寄与するホールの有効質量は、歪緩和した SiGe において Ge 組成の増加により単調に減少することが分かる。さらに、圧縮歪により、伝導に寄与するホールの有効質量は、Ge 組成の増加に対して顕著に減少することが分かる。一方、 Δ valley における電子の有効質量は、2 軸圧縮歪を印加した場合においても Ge 組成に関わらず、ほぼ一定であることが分かる。

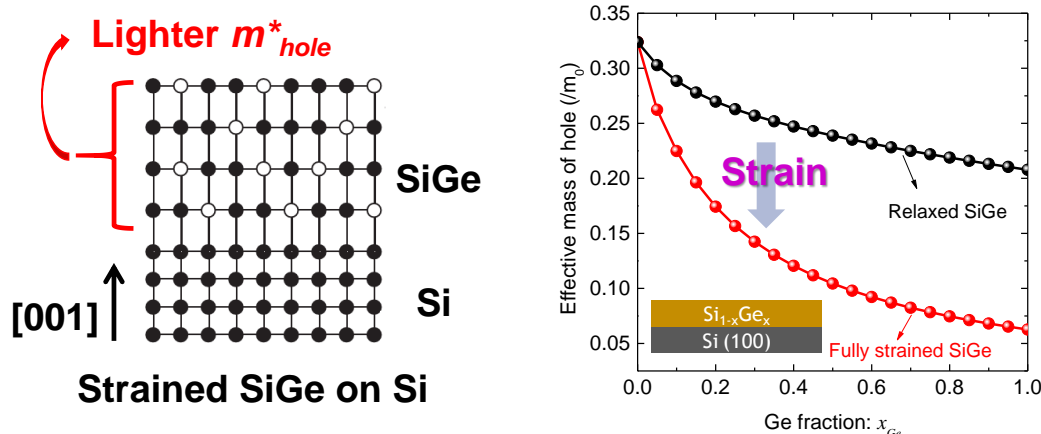


図 3.39 にホールと電子の伝導に寄与するキャリア有効質量の Ge 組成依存

3-2-2 歪 SiGe 層を適用した高速・高効率な Si 光変調器の検討³⁰⁾

これまで実証されている様々な Si 光変調器において、高速変調が可能で広い波長帯域で動作する、FCP 効果を利用したマツハ・ツェンダー型 Si 光変調器が報告されている。しかしながら、キャリア空乏型の Si 光変調器は、Si の FCP 効果が小さいために、多くの研究機関で広く検討されているキャリア空乏化型の Si 光変調器は、比較的長い位相シフター長あるいは高い駆動電圧を必要とする。すなわち、これは高集積化する際に望ましくない。変調効率をさらに改善するために、歪 SiGe を利用してホールの有効質量を減少させることによる FCP 効果のエンハンス効果を利用した Si 変調器が提案されている。すなわち、FCP 効果は自由キャリアの有効質量に反比例するからである。

本節においては、p 型ドーピングした歪 SiGe を適用した Si 光変調器の新規な構造を提案・設計し、pn 接合を有する Si 光変調器において最も変調効率の高いレベルである 0.78Vcm から 0.81Vcm を実証した。また、1.3 μm 波長帯において 25Gbps という高速動作も同時に実証した。

3-2-2-A 実験方法および設計解析に関して

図 3.40 に歪 SiGe 層を用いたキャリア空乏化型の Si 光変調器の概念図を示す。通常の横型 pn 接合からなる Si 光変調器上に p 型の歪 SiGe を装荷した構

造を提案した。また、検討した Si 光変調器は、非対称マッハ・ツェンダー型干渉計構造からなる。作製プロセスは、1.3 μm 波長用に SOI 層厚が 180nm である 4 インチ SOI 基板を使用した。まず、Si 上に横型 pn 接合を形成するように B イオンと P イオン注入を行った後、電子ビームリソグラフィとドライエッチングにより、Si 導波路加工を行った。次に、SiO₂ 膜を 100nm 程度積層し、横型 pn 接合を形成した位相シフター部に SiGe 選択成長用の窓開け加工を行い、Si 表面を露出させた。次に LP-CVD 法により 40 nm の歪 Si 層を選択成長し、B イオン注入を行った。最後に、上部クラッドとコンタクトホールを形成し、Ti/TiN/Al 電極層を成膜後、パターニングを行った。p 型 Si、n 型 Si、および p 型 SiGe のドーピング密度は、それぞれ $0.5\text{-}2.0 \times 10^{18}/\text{cm}^3$ とした。また、SiGe 層の組成は、1.3 μm 波長を利用した時、最も大きな FCP 効果が得られ、バンドギャップに起因する光吸収による光損失が無視できるように、Si₇₀Ge₃₀ の組成に調整した。また、位相シフターの長さは、500 μm とした。

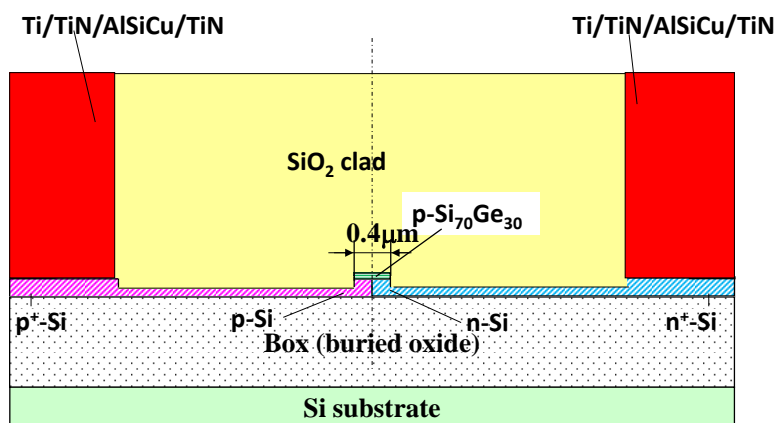


図 3.40 歪 SiGe 層を用いたキャリア空乏化型 Si 光変調器の概念図

p 型ドーピングした歪 SiGe を積層した Si 光変調器の設計は、デバイス・シミュレータと有限要素法による光モード解析法を練成させることにより行った。

3-2-2-B 歪 SiGe 層の解析および歪 SiGe 層を用いた高効率 Si 光変調器の設計

最初に、Si 導波路上への歪 Si₇₀Ge₃₀ 層の選択成長条件を検討した。図 3.41 は

SOI 基板上に選択成長した $\text{Si}_{70}\text{Ge}_{30}$ 層の SEM 像である。成長温度を(a)550°C から(b)500°Cに低下させることにより、非常に平滑な $\text{Si}_{70}\text{Ge}_{30}$ 層が得られた。図 3.42(a)に SiGe/Si 界面の断面 TEM 像を示す。断面 TEM 像から、Si 導波路上に選択成長した場合において、SiGe/Si 界面の結晶欠陥は殆ど観測されず、格子定数の違いから十分な圧縮歪が誘起されていると考えられる。図(b)は 1mm^2 の面積の Si 上に選択成長した SiGe 層のラマンスペクトルおよび Si 導波路上に選択成長した SiGe 層のラマンスペクトルである。ラマンスペクトル解析から、SiGe 層の Ge 組成は 40%程度と見積られた。また、SIMS(secondary ion mass spectrometry)分析による定量分析を行ったところ、Ge 組成は 35%程度であった。 1mm^2 の矩形パターン上の SiGe 層は、1.8%の結晶歪が生じていると見積られ、理論値とほぼ同等であった。一方、横型の Si-pn 接合上に選択成長した SiGe 層の結晶歪は、1.5%程度であると見積られた。すなわち、2 軸歪は Si 導波路上の SiGe 層において、少し緩和されていることが明らかとなった。これは、Si 導波路上に成長した SiGe 層が幅 400nm、長さ $500\ \mu\text{m}$ の大きなアスペクト比を有しており、一軸性の歪により、2 軸性の歪が少し緩和されているためであると考えられる。

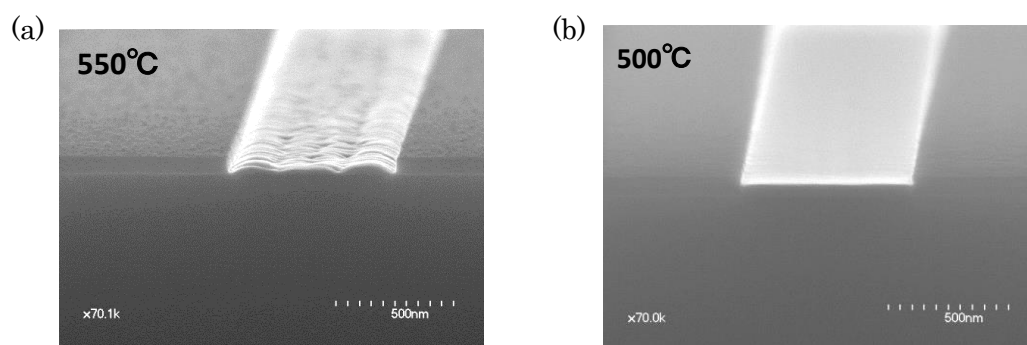


図 3.41 SOI 基板上に選択成長した $\text{Si}_{70}\text{Ge}_{30}$ 層の SEM 像 (a)成長温度 550°C, (b)成長温度 500°C

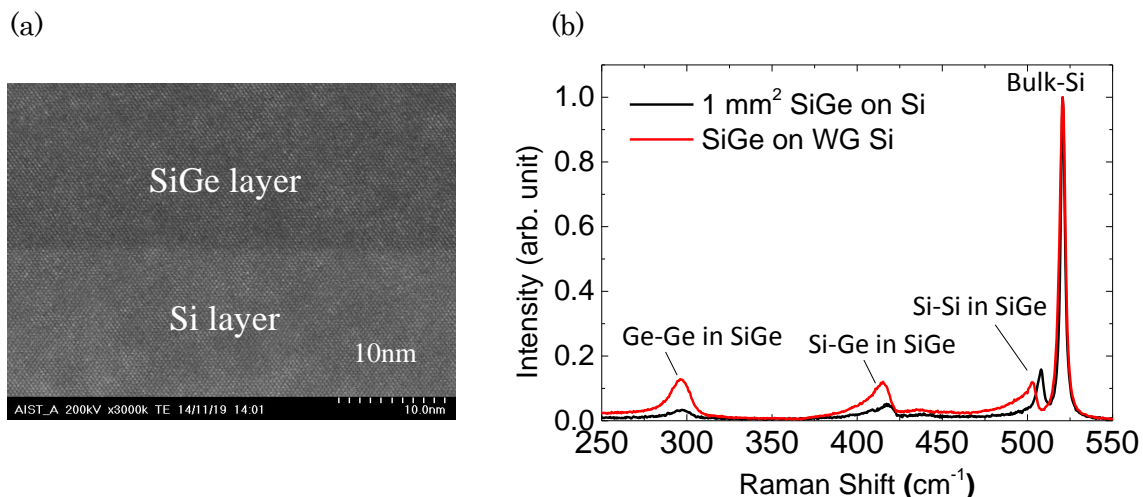


図 3.42(a) SiGe/Si 界面の断面 TEM 像, (b) 1mm² の面積の Si 上に選択成長した SiGe 層および Si 導波路上に選択成長した SiGe 層のラマンスペクトル

図 3.43 は横型 pn 接合を形成した Si 導波路上に p 型の Si 層を 40nm 積層した構造および p 型の歪 Si₇₀Ge₃₀ 層を積層した構造における変調効率($V_{\pi}L$)の逆バイアス電圧依存性である. p 型の歪 Si₇₀Ge₃₀ 層を適用することにより、p 型の Si 層を適用した場合に比較して、約 34% 大きな変調効率を得られることが明らかとなった. 一方、挿入損失も増加する傾向があることから、バイアス電圧や構造の更なる最適化が必要であると考えられる.

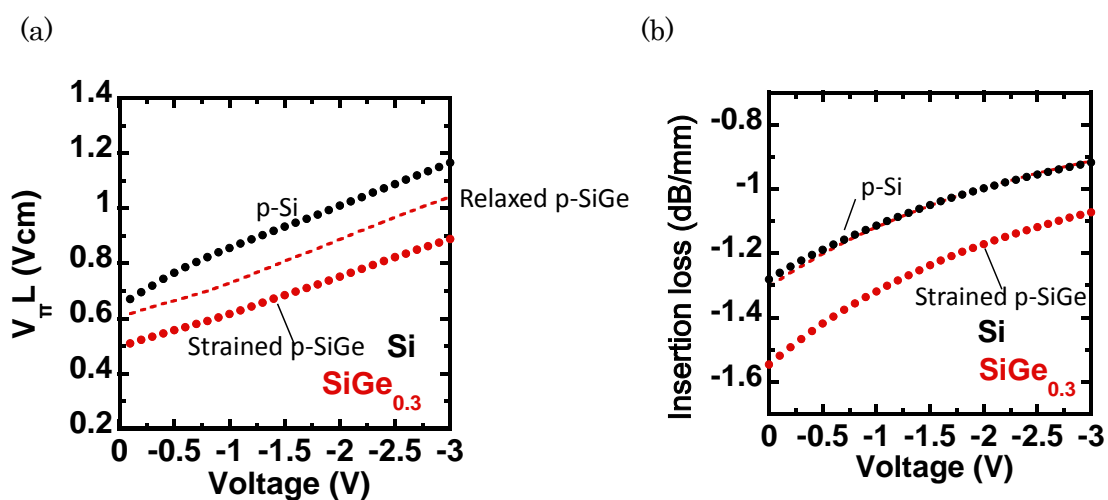


図 3.43(a)横型 pn 接合を形成した Si 導波路上に p 型の Si 層を 40nm 積層した構造および p 型の歪 Si₇₀Ge₃₀ 層を積層した構造における変調効率($V_{\pi}L$)の逆バイアス電圧依存性, (b)挿入損失の逆バイアス電圧依存性

3-2-2-C 歪 SiGe 層を用いた高効率 Si 光変調器の特性評価

次に $1.3 \mu\text{m}$ 波長帯において、歪 SiGe 層を用いた Si 光変調器の変調効率および高速動作に関して検討した。図 3.44 に非対称マッハ・ツェンダー構造からなる歪 SiGe 層を装荷した Si 光変調器の透過スペクトルの dc バイアス電圧 (V_{dc}) 依存性を示す。 V_{dc} を増加させるに従って、スペクトルは長波長側にシフトし、スペクトルディップは、ほぼ線形に変化した。この時の変調効率は、 $0.78\text{--}0.81\text{Vcm}$ と見積られ、空乏化型の pn 変調器としては世界最高レベルの変調効率を実現した。また、I-V 特性から、リーク電流は 100nA 程度であり、Si/SiGe 界面の結晶欠陥などに起因する大きなリーク電流は観測されなかった (図 3.45)。

図 3.46 は V_{dc} が -3V で RF の差動電圧を 2.5Vpp とした時の PRBS $2^{31}-1$ における 25Gbps 出力波形である。本実験においては、非対称マッハ・ツェンダー干渉計における動作点を -3dB とした。光挿入損失は、 -1.5dB 程度であり、約 3dB の消光比の良好なアイパターンが得られた。光損失は、SiGe 組成および歪量を最適化することにより、改善すると考えられる。

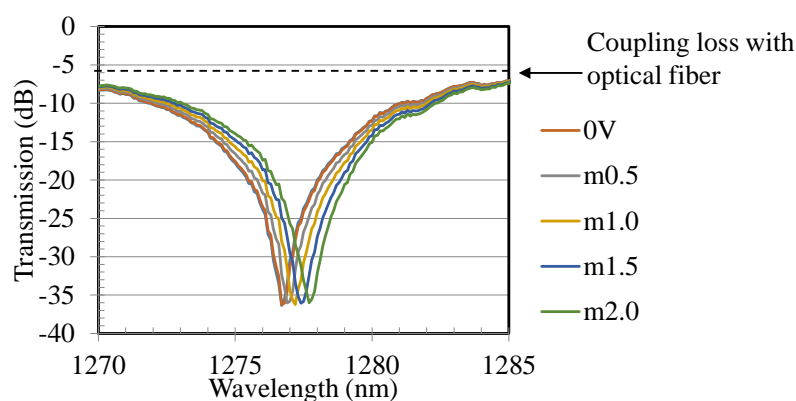


図 3.44 非対称マッハ・ツェンダー構造からなる歪 SiGe 層を装荷した Si 光変調器の透過スペクトルの dc バイアス電圧 (V_{dc}) 依存性

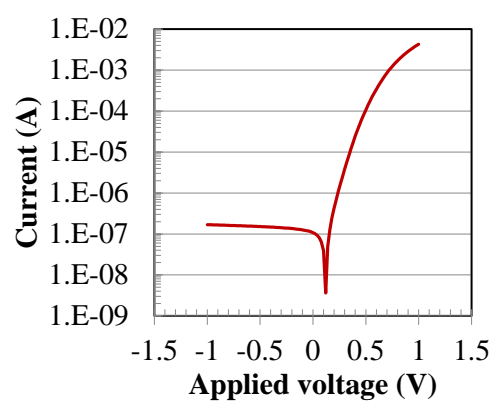


図 3.45 歪 SiGe 層を装荷した Si 光変調器の I-V 特性

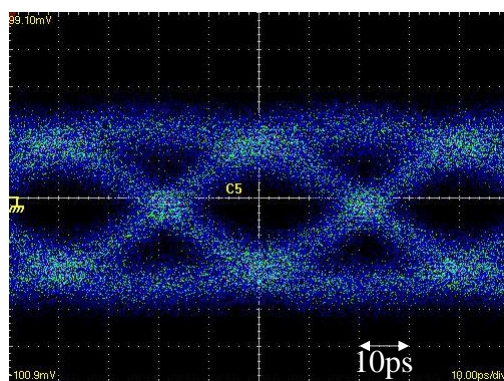


図 3.46 25Gbps 出力波形: $-3V_{dc}$, $2.5V_{pp}$ 駆動(PRBS : $2^{31}-1$)

3-3 まとめ

Si 光変調器の高効率変調特性が期待される MOS 型変調器に関して、検討した。

MOS 型変調器は、キャリア変調領域がゲート酸化膜近傍に存在するため、変調効率を向上するために、よりコンパクトで扁平な断面構造設計による光モードフィールドとの重なりを最大化することが重要であった。また、MOS 型光変調器の性能を大きく左右する多結晶シリコンの低光損失化と電気抵抗の低減は、高速大容量なトランシーバを実現する上で最大の課題であり、従来検討されてきた 2 段階結晶化アニールに加えて、多結晶シリコンを成膜する時のソースガスを従来の SiH_4 (シラン)から Si_2H_6 (ジシラン)に変えることで、単結晶 Si と同程度の導電率が得られることを明らかとした。また、フラットバンド以上の電圧印加を行うことにより、変調効率($V_{\pi}L$)が 0.16Vcm 程度となり、一般的に検討されている Si-PN 型変調器に比較して、10 倍以上の高効率化を実現した。これと、低損失で伝導率の高い多結晶シリコン層を組み合わせることにより、光変調振幅(OMA)の指標である αV_pL が 7dBV 以下となることを実証し、従来に比較して $3\text{-}5\text{dB}$ 以上の OMA を実現した。これにより、レーザパワーの低減のみならず、光集積回路の低消費電力化に大きく寄与出来ると期待される。また、MOS 型 Si 光変調器と Ge 受光器の集積化技術を検討し、さらにマッハ・ツェンダー干渉計における動作点制御を行うことにより、 15Gbps 以上の高速性と消光比 3dB 以上で、 $2\text{-}3\text{mW/Gbps}$ の低消費電力化を CMOS ドライバーとの接続により実証した。これにより、従来の電気配線に比較して 100 倍以上の伝送容量を可能とする Si フォトニックデバイスを開発した。

さらに、キャリアプラズマ効果をエンハンスするために、歪 SiGe 層を用いた Si 光変調器を検討し、ホールの有効質量が大幅に Si と比較して低減するこ

とを利用した、p型歪 SiGe 層を Si-PN 変調器上に積層した新規 Si 変調器構造提案を行った。これにより、従来の PN 変調器として世界最高レベルの変調効率を実現すると共に、PN 変調器の特徴である高速・大容量化に向けて、十分な高速性の実証も行った。

第3章の参考文献

- 1) J. Fujikata, J. Ushida, Y. Ming-Bin, Z. S. Yang, D. Liang, P. Lo Guo-Qiang, D-L Kwong, and T. Nakamura, “25 GHz operation of Si modulator with projection MOS junction structure”, Optical Fiber Conf. 2010, OMI3.
- 2) B. Milivojevic, C. Raabe, A. Shastri, M. Wbster, P. Metz, S. Sunder, B. Cattin, S. Wese, B. Dama, and K. Shastr, OFC/NFOEC Tech. Dig., 2013, OTh1D.1.
- 3) T. Horikawa, M. Takahashi, J. Fujikata, S. Takahashi, T. Akagawa, M. Noguchi, and N. Yamamoto, Extended Abs. SSDM 2012, 222 (2012).
- 4) Q. Fang, J. F. Song, S. H. Tao, M. B. Yu, G. Q. Lo, and D. L. Kwong, Opt. Express **16** (9), 6425 (2008).
- 5) A. S. Liu, L. Liao, D. Rubin, H. Nguyen, B. Ciftcioglu, Y. Chetrit, N. Izhaky, and M. Paniccia, Opt. Express **15** (2), 660 (2007).
- 6) G. Harbeke, L. Krausbauer, E. F. Steigmeier, and A. E. Widmer, H. F. Kappert, and G. Neugebauer, Appl. Phys. Lett. **42** (3), 249 (1983).
- 7) G. Harbeke, L. Krausbauer, E. F. Steigmeier, and A. E. Widmer, H. F. Kappert, and G. Neugebauer, J. Electrochem. **131**, 675 (1984).
- 8) K. Kitahara, K. Ohnishi, Y. Katoh, R. Yamazaki, and T. Kurosawa, Jpn. J. Appl. Phys. **42**, 6742 (2003).
- 9) S. M. Sze, Physics of Semiconductor Device, 2nd ed. New York: Willy & Sons, 1981.
- 10) L. Liao, D. R. Lim, A. M. Agarwal, X. Duan, K. K. Lee, and L. C. Kimerling, J. Electron Mater. **29**, 1380 (2000).
- 11) J. S. Foresi, M. R. Black, A. M. Agarwal, and L. C. Kimerling. Appl. Phys.

- Lett. **68** (15), 2052 (1996).
- 12) J. Fujikata, M. Takahashi, S. Takahashi, T. Akagawa, M. Noguchi, T. Horikawa, T. Nakamura, and Y. Arakawa, Ext. Abst. of 2012 SSDM, 518 (2012).
- 13) R. A. Soref and B. R. Bennett, "Electrooptical effects in Silicon", IEEE J. Quantum Electron. QE-23, 123-129 (1987).
- 14) L. Liao, A. Liu, D. Rubin, J. Basak, Y. Chetrit, H. Nguyen, R. Cohen, N. Izhaky, and M. Paniccia, Electron. Lett. **43**, 1196 (2007).
- 15) D. J. Thomson, F. Y. Gardes, Y. Hu, G. Mashanovich, M. Fournier, P. Grosse, J.-M. Fedeli, and G. T. Reed, Opt. Express **19**, 11507 (2011).
- 16) F. Y. Gardes, D. J. Thomson, N. G. Emerson, and G. T. Reed, Opt. Express **19**, 11804 (2011).
- 17) D. J. Thomson, F. Y. Gardes, J.-M. Fedeli, S. Zlatanovic, Y. Hu, B. P. P. Kuo, E. Myslivets, N. Alic, S. Radic, G. Z. Mashanovich, and G. T. Reed, IEEE Photon. Technol. Lett. **24**, 1041 (2011).
- 18) M. Ziebell, D. Marris-Morini, G. Rasigade, J.-M. Fedeli, P. Crozat, E. Cassan, D. Bouville, and L. Vivien, Opt. Express **20**, 10591 (2012).
- 19) T. Baehr-Jones, R. Ding, Y. Liu, A. Ayazi, T. Pinguet, N. C. Harris, M. Streshisky, P. Lee, Y. Zhang, A. E. Lim, T. Y. Liow, S. H. Teo, G. Q. Lo, and M. Hochberg, Opt. Express **20**, 12014 (2012).
- 20) J. Ding, H. Chen, L. Yang, L. Zhang, R. Ji, Y. Tian, W. Zhu, Y. Lu, P. Zhou, R. Min, and M. Yu, Opt. Express **20**, 7081 (2012).
- 21) L. Chen, C. Doerr, P. Dong, and Y. Chen, in 37th European Conference and Exposition on Optical Communications, OSA Technical Digest, Th.

13. A. 1 (2011).
- 22) G. Kim, J. W. Park, I. G. Kim, S. Kim, S. Kim, J. M. Lee, G. S. Park, J. Joo, K.-S. Park, H.-K. Chi, H.-C. Kim, D.-W. Kim, and M. H. Cho, *Opt. Express* **19**, 26936 (2011).
- 23) P. Dong, L. Chen, and Y.-K. Chen, *Opt. Express* **20**(6), 6163 (2012).
- 24) L. Liao, D. Samara-Rubio, M. Morse, A. Liu, D. Hodge, D. Rubin, U. D. Keil, and T. Franck, *Opt. Express* **13**, 3129 (2005).
- 25) K. Preston, S. Manipatrumi, A. Gondarenko, C. B. Poitras, and M. Lipson, *Opt. Express* **17**, 5118 (2009).
- 26) A. S. Liu, L. Liao, D. Rubin, H. Nguyen, B. Ciftcioglu, Y. Chetrit, N. Izhaky, and M. Paniccia, *Opt. Express* **15**, 660 (2007).
- 27) S. Takahashi, J. Fujikata, M. Takahashi, T. Akagawa, M. Noguchi, T. Horikawa, T. Nakamura, Y. Arakawa, *Proc. of 2011 IEICE Soc. Conf.*, C-3-47.
- 28) J. Fujikata, S. Takahashi, M. Takahashi, M. Noguchi, T. Nakamura, and Y. Arakawa, *Jpn. J. Appl. Phys.*, in press.
- 28) J. Fujikata, S. Takahashi, M. Takahashi, M. Noguchi, M. Miura, T. Nakamura, and Y. Arakawa, *Ext. Abst. of 2015 SSDM*, 590 (2015).
- 29) J. Fujikata, M. Noguchi, Y. Kim, S. Takahashi, T. Nakamura, and M. Takenaka, *Proc. of GFP2015*, 13 (2015).
- 30) M. Takenaka and S. Takagi, *IEEE J. Quant μ m Electron.* **48**, 8 (2012).
- 31) S. M. Sze, *Physics of Semiconductor Devices*, 2nd edition, Wiley-Interscience, New York, (1981).
- 32) V. T. Bublik, S. S. Gorelik, A. A. Zaitsev, and A. Y. Polyakov, "Calculation of Binding-Energy of Ge-Si Solide-Solution," *Physica Status Solidi B-Basic*

- Research **65**, K79 (1974).
- 33) D. J. Paul, “Si/SiGe heterostructures: from material and physics to devices and circuits,” *Semiconductor Science and Technology* **19**, R75 (2004).
- 34) D. V. Lang, R. People, J. C. Bean, and A. M. Sergent, “Measurement of the Band-Gap of $GexSi_{1-x}/Si$ Strained-Layer Heterostructures, *Appl. Phys. Lett.* **47**, 1333 (1985).
- 35) P. Mahhi, P. Kalra, R. Harris, K. J. Choi, D. Heh, J. Oh, et al., “Demonstration of high-performance PMOSFETs using Si-Si_xGe_{1-x}-Si quant μ m wells with high-kappa/metal-gate stacks, “ *IEEE Electron Dev. Lett.* **29**, 99 (2008).
- 36) L. F. Yang, J. R. Watling, R. C. W. Wilkins, M. Borici, J. R. Barker, A. Asenov, et al., “Si/SiGe heterostructure parameters for device simulations,” *Semiconductor Science and Technology* **19**, 1174 (2004).
- 37) F. Shaffler, in *Properties of Advanced Semiconductor Materials GaN, AlN, InN, BN, SiC, SiGe*. Eds. M. E. Levinstein, S. L. Rumyantsev, M. S. Shur, John Wiley & Sons, Inc., New York, 149 (2001).

第 4 章 LSI チップ間光インターコネク用 Ge 受光器の検討

4-1 Si キャップ付き Si 導波路結合 Ge 受光器の検討¹⁾

図 4.1(a)および(b)に Si 導波路結合 MSM(metal-semiconductor-metal)型 Ge 受光器と pin 型 Ge 受光器の概念図を示す. MSM 型 Ge 受光器に関しては、SOI(silicon-on-insulator)層厚が 220nm の 4 インチ SOI 基板を用いた. まず、電子線リソグラフィとドライエッチングにより、Si 導波路をパターニングした.²⁾ 次に 100nm 程度の SiO₂ 膜を積層してドライエッチングおよび希弗酸処理により窓開けを行い、Ge 受光器を作製するため、1.0μm 厚の Ge 層を Si 導波路上に超高真空化学気相合成(UHV-CVD)法あるいは減圧化学気相合成(RP-CVD)法により選択成長した. この時、ショットキーバリア高さを大きくするとともに、暗電流を低減するために、8~20nm 厚の Si キャップ層を Ge 上に選択成長した. 次に 500nm 厚さの SiO₂ 上部クラッド層を積層し、UV(ultra-violet)リソグラフィおよびドライエッチングにより、幅 1μm、周期 2.5~3.0μm のコンタクトホールを形成した. 最後に、Ti/TiN/Al からなるショットキーメタル電極層を成膜し、MSM 接合を形成するようにパターニングした.

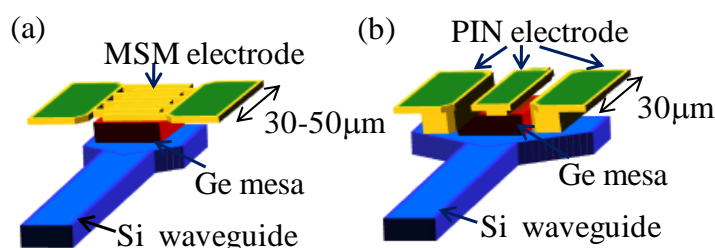


図 4.1(a)Si 導波路結合 MSM(metal-semiconductor-metal)型 Ge 受光器と(b)pin 型 Ge 受光器の概念図

図 4.2(a)および(b)に MSM 型 Ge 受光器およびそのショットキー接合構造の断面 TEM 像を示す. エッチピットによる評価から、 $2 \times 10^7/\text{cm}^2$ 以下の低い転移密

度の Ge 層が Si 上に選択成長されており、Ge/Si キャップ層上に平滑な Ti/TiN/Al ショットキー電極が形成されていることが確認出来る。

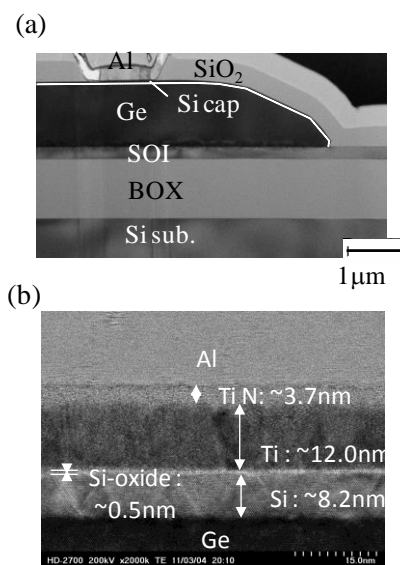


図 4.2(a),(b) MSM 型 Ge 受光器およびそのショットキー接合構造の断面 TEM 像

図 4.3(a)および(b)は、Si 導波路結合 pin 型 Ge 受光器の概念図および SEM (secondary-electron microscopy)像である。MSM 型 Ge 受光器と同様に、SOI 層厚 220nm の 4 インチ SOI 基板を用いて作製した。Si 導波路は電子ビームリソグラフィおよびドライエッチングによりパターニングした。次に、Ge 受光器の下部電極層として、B⁺をイオン注入し p⁺-Si 層として活性化するためのアニールを行った。次に、SiO₂ 層を成膜してドライエッチングおよび希弗酸によるウェットエッチングにより窓開けを行った後、1.0μm 層厚の Ge 層を RP-CVD 法により選択成長した。続いて、Ge 層表面上には、Ge 層表面を保護するため、Ge エピを行った後、同じ成膜チャンバー内で Si キャップ層を成膜した。Ge 層上に上部電極層を形成するため、P イオン注入を行った後、1μm 厚の SiO₂ 上部クラッド層を成膜し、電気コンタクトホールを UV リソグラフィおよびドライエッチングにより形成した。最後に、Ti/TiN/Al 層からなる金属電極層を成膜しパターニングを行った。

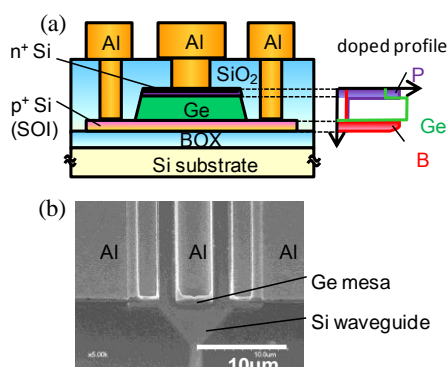


図4.3(a)および(b)Si導波路結合pin型Ge受光器の概念図およびSEM像

4-1-1 Si キャップ付き MSM 型 Ge 受光器の検討

最初に、受光感度特性および暗電流特性を検討した。最近、高速動作する MSM 型 Ge 受光器が報告されているが、低暗電流密度は実現されていないのが現状である。^{3,4)} 図 4.4 は作製した MSM 型 Ge 受光器の受光感度特性を示したものである。波長 1.55 μm 、0.4 mW のパワーのレーザ光を本実験では、垂直に入射した。受光感度として、約 0.8A/W の受光感度が得られ、20 nm の Si キャップ層を適用することにより、0.4nA/ μm^2 程度の低い暗電流密度が実現可能であった。この暗電流密度は、これまで報告されている値と比較して、約 3 桁小さい値であった。^{3,4)} 本検討においては、真性 Ge(i-Ge)層が Si 導波路上に選択成長されているが、i-Ge 層における結晶欠陥はアクセプターのように振る舞うことが報告されている。⁵⁾ 従って、暗電流は p 型のような Ge 層と Ti 層との間のより小さいバンドオフセットによるホールキャリアが主に寄与していると考えられる。⁶⁾

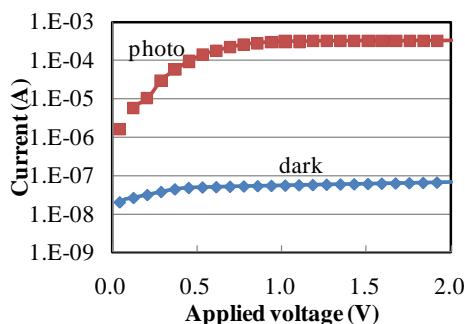


図 4.4 は作製した MSM 型 Ge 受光器の受光感度特性

MSM 接合におけるショットキーバリア高さを評価するため、暗電流の温度依存性を 223K から 423K の間で評価した。図 4.5(a)および(b)は、暗電流の温度依存性および様々な dc バイアス電圧(V_{dc})に対して、 $\ln(I_d/T^2)$ を $1/T$ に対してプロットしたものである。 $\ln(I_d/T^2)$ vs. $1/T$ の傾きの直線近似から、ショットキーバリア高さは、約 0.44V であると見積もられ、 V_{dc} にはあまり依存しない結果となった。263K 以上の温度においては、暗電流はほとんど印加電圧に依存しない、すなわち、少数キャリアによる拡散電流が Schckley-Read-Hall (SRH) 再結合電流や他のリーク電流と比較して支配的であると考えられる。このような傾向は、暗電流が MSM 型 Ge 受光器において十分抑制されていることを示唆している。263K 以下の低温においては、実験データは少し温度依存性を持ち、直線近似からずれている。これは熱的な電子放出や SRH 機構が低温では少し寄与していると考えられる。³⁾

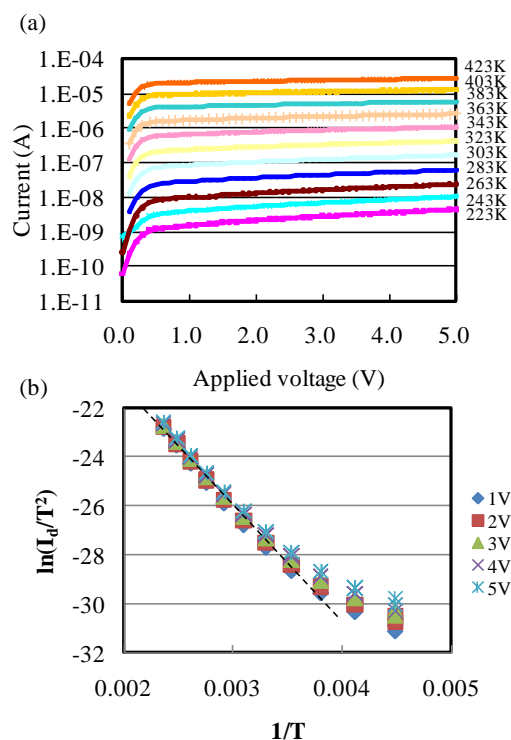


図 4.5(a)暗電流の温度依存性, (b)様々な dc バイアス電圧(V_{dc})に対して、 $\ln(I_d/T^2)$ vs. $1/T$ のプロット

次に広帯域なデータ伝送に向けて、周波数特性を測定した。図 4.6(a)および(b)は、光結合長が 50 μm で電極スペースが 1 μm の MSM 型 Ge 受光器の周波数依存性の V_{dc} 依存性と 1 V_{dc} の時の電界強度分布を示したものである。本実験においては、先球ファイバを用いて 1.55 μm 波長の RF 光信号を導波路端面から入射して測定した。また、電界強度はショットキーバリア高さが 0.44V であると仮定して、デバイスシミュレータで計算した。 V_{dc} を増加させることにより、周波数帯域は広くなり、5~7 V_{dc} において 10GHz の周波数帯域で飽和した。電界強度分布から、Ge ファセット部の電界強度は少し小さいことから、フォトキャリアのドリフトの低周波成分に電界強度分布が寄与していることも考えられる。周波数帯域は、電極間距離にも依存しており、電極間距離を小さくすることにより、より広帯域な特性が得られた。すなわち、MSM 型 Ge 受光器においては、電極間のキャリアドリフトが周波数帯域を律速していると考えられる。

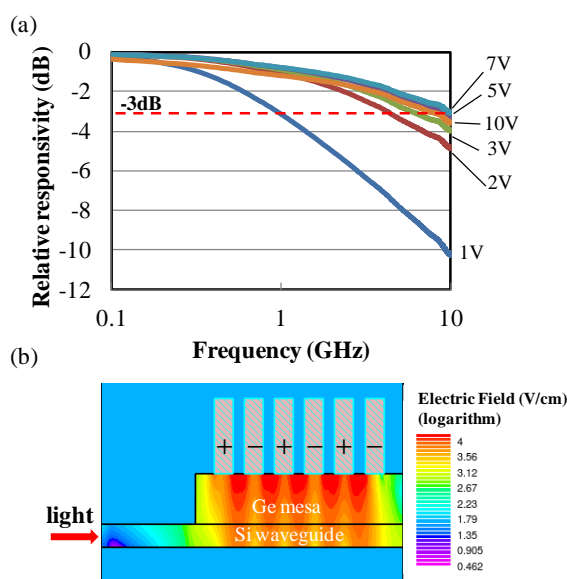


図 4.6(a)光結合長が 50 μm で電極スペースが 1 μm の MSM 型 Ge 受光器の周波数依存性の V_{dc} 依存性, (b)1 V_{dc} の時の電界強度分布

また、本検討においては、Si/Ge 界面におけるバンド構造の不連続性の効果は、量子効率や高速動作に対してあまり観測されなかった。すなわち、Si/Ge 界面のバンドオフセットは、a-Si をキャップ層に使用した場合に比較して小さいためであると考えられる。^{7,8)}

図 4.7 は 1.55 μm 波長の光信号を先球ファイバで Si 導波路から入力した時の出力波形である。本実験においては、1.55 μm 波長のレーザ光を 40GHz 帯域の LN(LiNbO₃)外部変調器を $2^{15}-1$ の NRZ(non-return-to zero) PRBS (pseudo random binary sequence)信号による 20Gbps の RF 信号を印加することにより変調して入力している。バイアス T により 5V_{dc} を印加し、フォトカレントの RF 出力を 40GHz 帯域の電気アンプでアンプして、65GHz 帯域のサンプリングオシロスコープにより測定した。良好なアイパターンは、20Gbps データ伝送において、光接続が可能であることを示しており、MSM フォトダイオードが、高ビットレートのデータ伝送に有望であると期待出来る。

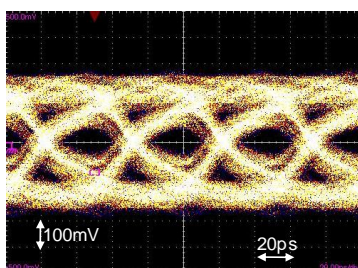


図 4.7 1.55 μm 波長の光信号を先球ファイバで Si 導波路から入力した時の 20Gbps 出力波形(5V_{dc}, $2^{15}-1$ NRZ)

4-1-2 Si キャップ付き pin 型 Ge 受光器の検討

次に産総研 SCR で立ち上げた高品質ゲルマニウム成長技術を用いて、高性能 PIN 型 Ge 受光器の検討を行った。図 4.8(a)に Si 導波路集積 PIN 型 Ge-PD の概念図を示す。試料は、まず SOI(silicon-on-insulator)基板の上に Si 導波路を EB 露光と HBr を用いた反応性エッチングにより加工後、下部電極として B ドープ

層を形成した. 続いて、SiO₂ 開口パターンを形成し、RP-CVD(reduced-pressure chemical vapor deposition)法により Ge/Si 膜を選択エピ成長した. さらに、P ドープ層を形成後、Ti/TiN/Al 電極を形成した(図 4.8(b)).

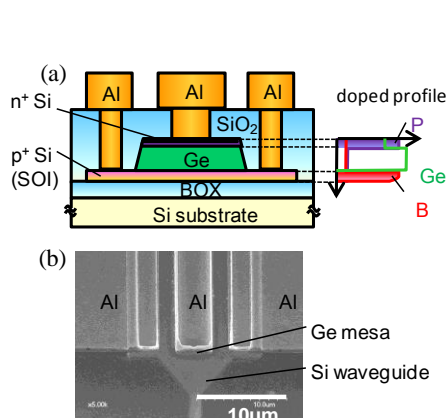


図 4.8 (a) PIN 型 Ge-PD の概念図と (b)SEM 写真.

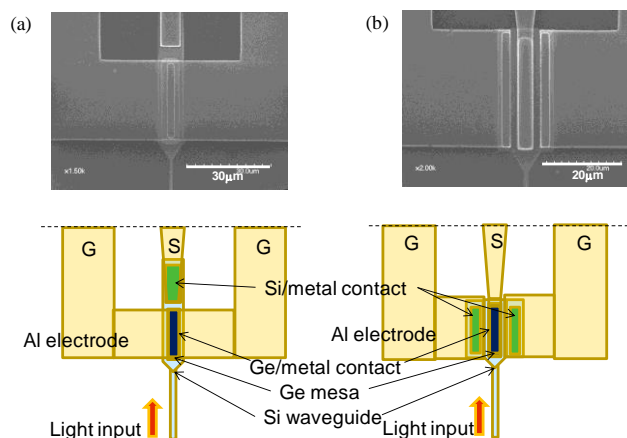


図 4.9 (a)バックコンタクト構造および(b)サイドコンタクト構造 PIN 型 Ge-PD の SEM 写真および概念図

今回の検討では、図 4.9 に示すように下地の Si とメタルの電気的コンタクトが素子の後ろに配置された(a)バックコンタクト構造と素子の両側にある(b)サイドコンタクト構造の 2 種類の構造を検討した. バックコンタクト構造は、Si 導波路と Ge メサの導波路幅を調整することにより、非常に高い光結合効率が期待される. 一方、サイドコンタクト構造は、Ge メサとシリコン/メタルコンタクト領域の間にある p+-Si による引出し距離を小さくすることが可能であり、p+-Si による引出し抵抗を小さく出来るというメリットがある.

図 4.10 は(a)バックコンタクト構造および(b)サイドコンタクト構造の PIN 型 Ge フォトダイオードの受信感度特性である. 1.55 µm 波長のレーザ光を Si 導波路から入射した時、バックコンタクト構造で 0.9 A/W、サイドコンタクト構造で 0.8 A/W と比較的高い受光感度が得られ、特にバックコンタクト型では高効率な光結合が得られた. また、暗電流密度は 0.8 nA/µm²@3V と非常に低い値であり、欠陥密度の小さい高品質な Ge 膜が形成されていると考えられる.

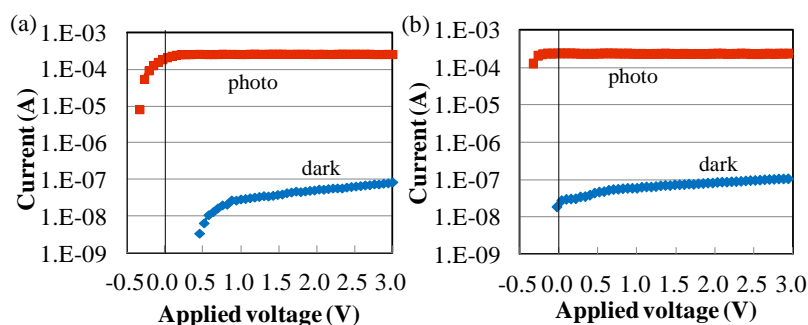


図 4.10 (a)バックコンタクト構造および(b)サイドコンタクト構造 PIN 型 Ge-PD の受光感度特性

図 4.11 は(a)周波数応答特性の dc バイアス電圧(V_{dc})依存性と(b)付加抵抗の詳細内訳である。サイドコンタクト構造においては、付加抵抗が $50\ \Omega$ 以下に低減されており、検討した素子構造においては、周波数帯域はキャリアドリフト時間に依存している。一方、バックコンタクト構造においては、 p^+-Si による引出し抵抗成分が大きくなり、周波数帯域は CR 時定数により律速され、 $8\ GHz$ 程度であった。また、サイドコンタクト構造においては、 $n^+-Si/i-Ge/p^+-Si$ ヘテロ構造により built-in 電場がエンハンスされ、 V_{dc} が $0V$ においても、 $20\ GHz$ 程度の周波数帯域が得られた。また、周波数帯域は V_{dc} が $2V$ 以上で飽和し、 $45\ GHz$ 程度の広帯域な周波数特性を示した。

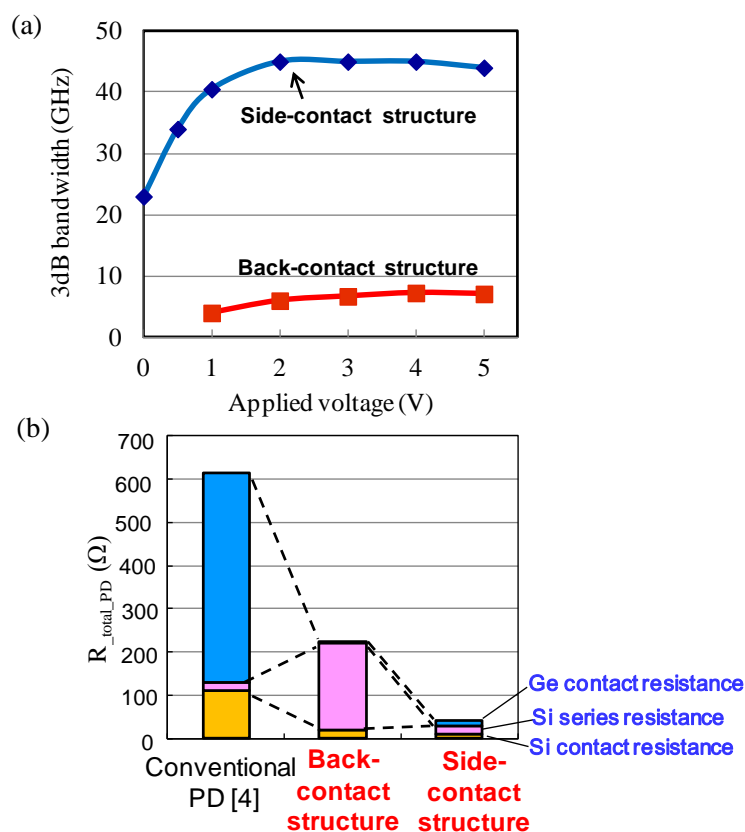


図 4.11 (a)バックコンタクト構造及びサイドコンタクト構造 PIN 型 Ge 受光器の周波数帯域のバイアス電圧依存性、(b) 付加抵抗の詳細内訳

図 4.12 は V_{dc} を(a) 0V とし、25Gbps の PRBS($2^{15}-1$ pseudo random binary sequence)光信号を入力した時及び(b)3V とし 40Gbps の PRBS 光信号を入力した時の出力アイパターンである。良好な出力波形が得られており、小型・低消費電力な光電子集積回路の実現にむけて有望であると考えられる。

図 4.13 は、 V_{dc} を 0 V として、光入力パワーを変えた時のフォトカレントと周波数帯域の関係を示したものである。今回検討した Ge 層厚 1 μm においては、built-in 電圧により、0 V で十分な空乏化が生じていることが明らかとなった。^{10,11)} 一方、入力光パワーによりフォトキャリアを増加させることにより、周波数帯域が低下する現象が見られており、Ge 層内部の電界がフォトキャリアにより遮蔽されて、帯域が低下してくるものと考えられる。

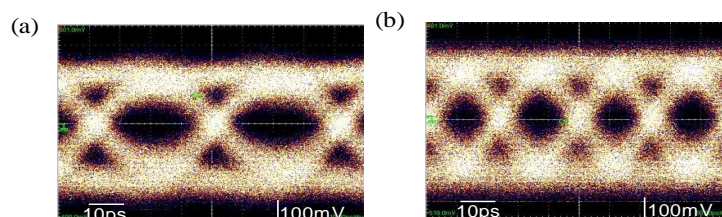


図 4.12 サイドコンタクト構造 PIN 型 Ge 受光器の出力波形(a)25Gbps@0V, (b)40Gbps@3V

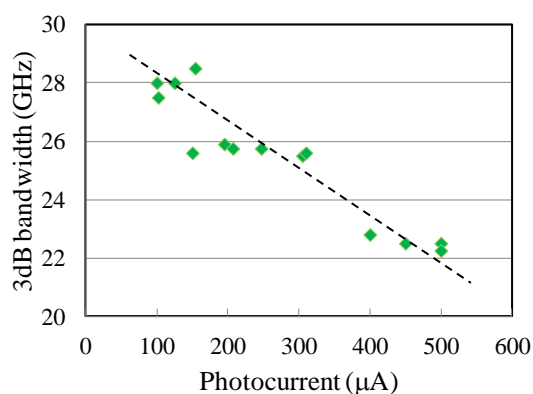


図 4.13 サイドコンタクト構造 PIN 型 Ge 受光器のゼロバイアス電圧における周波数帯域のフォトカレント依存性

4-1-3 差動受信回路の検討¹²⁾

光電子集積回路の実現に向けて、デバイス間およびチャネル間の電氣的クロストークによる信号品質の劣化が課題の一つとして挙げられる。本検討では、集積光回路において、差動受信回路を適用した時の効果について検討した。図 4.14 に検討した差動光回路の概念図と作製した光集積回路の写真を示す。4.5x5mm² サイズの SOI 基板の上にアレイ化レーザ、Si 変調器、Ge 受光器が集積化されており、各デバイス間はリブ高さ 200 nm、スラブ高さ 100 nm、コア幅 600nm の Si リブ導波路で光接続されている。Si 変調器は横型 pin 構造からなり、マッハ・ツェンダー構造の 2 つのアームが差動 RF 信号で駆動されている。¹³⁾ Ge 受光器は縦型 pin 構造からなり、Si 変調器からの出力を 2 つのバランスされた差動受

光器で受信する。

図 4.15 は(a)バランスされた 2 つの Ge 受光器からの出力波形と(b)それらの差動出力波形である。2 つの Ge 受光器から逆符号の出力信号が得られ、差動出力信号として取り出すことにより、シングル受光器の場合に比較して 2 倍の出力振幅が得られた。また、変調器－受光器間の S-parameter を測定した結果、差動受信回路を適用することにより、電気的なクロストークが 20~40dB 程度低減されることが検証出来、光集積回路における差動受信回路の有効性が確認された。

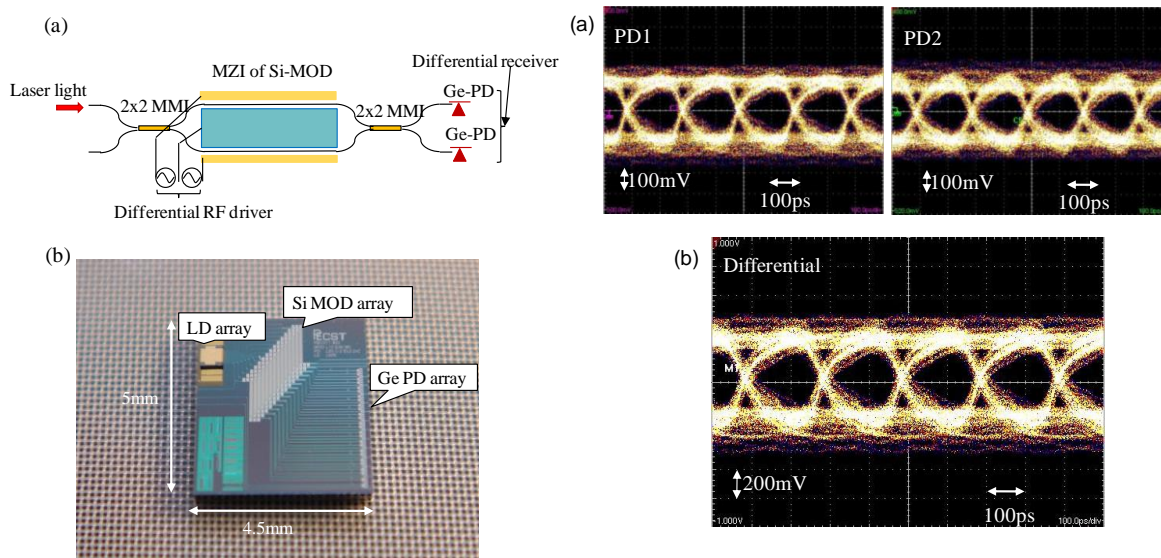


図 4.14 (a) 差動光回路の概念図、(b)試作した集積光回路の光学写真

図 4.15: 5Gbps において(a) バランスされた 2 つの Ge-PD からの出力波形,(b) 差動出力波形

4-2 SiGe キャップによる高均一 MSM 型 Ge 受光器の検討¹⁴⁾

本検討においては、高性能のゲルマニウム(Ge)受光器の開発に向け、産総研のスーパークリーンルームに導入した CVD(Chemical Vapor Deposition: ASM Epsilon2000)装置の立上げを行った。立上げに際し、装置の基本動作の確認と同時に成膜条件の確立を行い、Ge 受光器を作製する為に必要な Ge またはシリコン(Si)の基本的な膜性能[SiO₂ で覆われた Si 開口部内のみに膜厚 1 μm の Ge を成膜する選択成長(図 4.16)、低温バッファ層を用いて欠陥のループを形成し、低欠陥密度(2x10⁷cm⁻³ 以下)を実現する(図 4.17)等]を確認した。

次に、Ge 受光器のノイズ低減に向けたシリコンゲルマニウム(SiGe)保護膜形成条件の最適化を行い、実際の Ge 受光器への適用を行った。Ge 上への Si または SiGe の保護膜形成は、Ge 表面に数多く存在し、電流リークの原因となるダングリングボンドを終端することが出来る為、電流ノイズの低減に有効である。新規装置を用い、保護膜をより選択成長が容易な SiGe 膜とする検討も行った。SiGe 膜中の Ge は結晶内での拡散が大きい為、表面ラフネスを増大させる課題があったが、Ge の原料ガスであるゲルマン(GeH₄)のキャリアガスである水素(H₂)の流量調整と成長温度の最適化を行うことで、SiGe 膜の選択性を確保しつつ平坦な SiGe 表面を得ることが出来た(図 4.18)。本結果を基に Ge 受光器を試作し、世界最高レベルの低リーク電流を実現した。

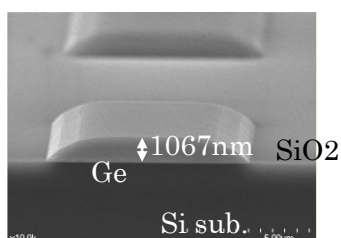


図 4.16 SiO₂ でマスクした Si パターン基板上に選択成長した Ge の断面 SEM 像

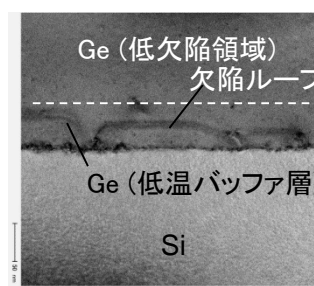


図 4.17 Si 上に成長した Ge 膜中の欠陥(断面 TEM 像)

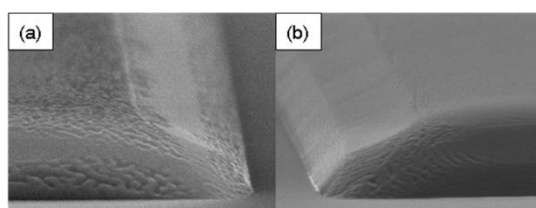


図 4.18：選択成長した SiGe 保護膜/Ge 積層構造の断面 SEM 像 (a) 従来の成膜条件、(b) 最適化した成膜条件

Si 上に光デバイスと電子回路を集積した光電子集積技術において Si 光回路に適用される Ge 受光器には、小型・高効率・高速性能が求められる一方、Si プロセスの生産性に適合した短 TAT 性、集積の容易性が重要となる。上記短 TAT 化、集積容易性に対するソリューションの一つとして、導波路結合型の Metal-Semiconductor-Metal (MSM) 型 Ge 受光器を開発した。¹⁾ MSM 型 Ge 受光器はプロセスの簡便性に優れ、且つ配線引回しが容易な点で上記要求を満たすと同時に、受信回路設計に自由度を与えるという利点を有する。MSM 型 Ge 受光器において、Ge 上の cap 層を従来の Si から選択成長が容易で Ge との格子不整合量の小さい SiGe とすることでプロセスの容易性を向上し、世界最高レベルの暗電流密度を実証すると同時に素子特性の均一化を追求した。更に、受光器の高均一性を利用して、低雑音化が可能な差動対受信回路を実現し、光デバイスを高集積化した際に問題となるクロストークの抑制を実証した。

図 4.19、図 4.20 にそれぞれ試作した MSM Ge 受光器の概略図と Ge 受光部の断面 SEM 像を示す。Ge 受光部は、LP-CVD(Low-Pressure Chemical Vapor Deposition)法にて Ge 及び SiGe 層を選択成長することで形成した。Si cap と同

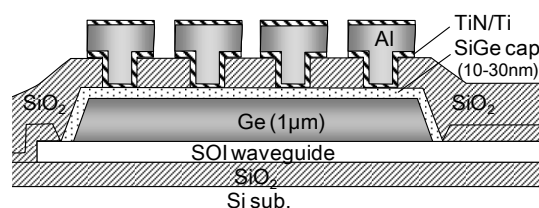


図 4.19 導波路結合 MSM 型 Ge 受光器

様の成膜条件では SiGe/Ge 界面の相互拡散に起因する表面ラフネスの増大が見られたが(図 4.20(a))、成膜条件の最適化により SiGe cap 層の平坦化を実現した(図 4.20(b)).

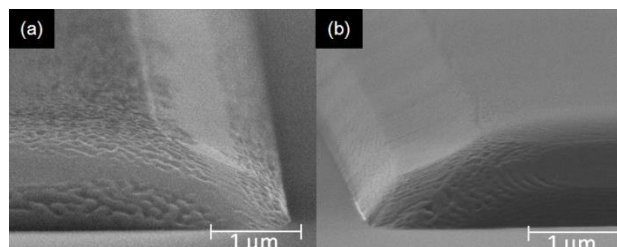


図 4.20 選択成長した Ge 受光層と SiGe 保護膜の断面 SEM 像
(a) 標準成膜条件, (b) 最適成膜条件

SiGe cap 層を適用し、成膜条件を最適化した MSM Ge 受光器の特性を Si cap 層を用いた場合と比較した(図 4.21). 光電流、暗電流共に Si cap を用いた場合とほぼ同程度の特性を得、受光感度 1.0 A/W と低暗電流密度($0.33 \text{ nA}/\mu\text{m}^2$)を実現した(図 4.21(a)). 一方、高電圧印加時に Si cap で見られる暗電流の急激な増大は、SiGe cap では抑制されることが判った. 印加電圧 3V における暗電流のウェハ面内分布を調べたところ、SiGe cap 適用により暗電流の低減と共に電流値ばらつきも減少することが判った(図 4.21(b)). SiGe cap が厚い程上記傾向は顕著になり、 30nm 設計時は 1V 以下においても電流値の均一化が見られた. 本結果は、Ge との格子不整合量の小さい SiGe cap では Si cap に比べて欠陥密度が小さく、SiGe/Ge 界面におけるリーク電流が低減したことに起因し、SiGe cap 適用の有効性を示すものである.

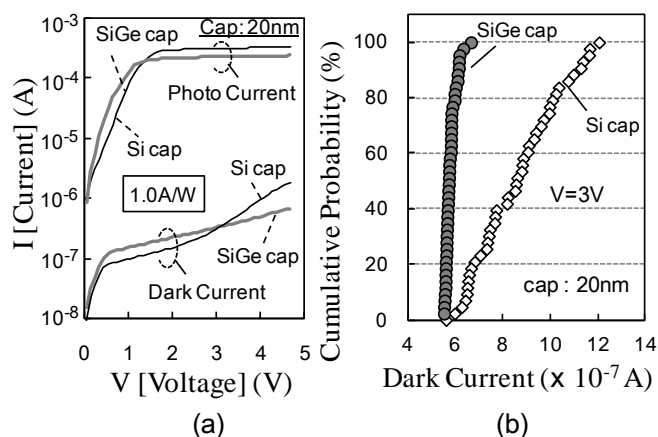


図 4.21 (a) MSM 型 Ge 受光器における光電流と暗電流の印加電圧依存性, (b) 簡易 MSM 型 Ge 受光器における暗電流ばらつき(印加電圧: 3V)

上記 SiGe cap を適用した MSM Ge 受光器を用いて差動対受光素子回路[4]を作製した. 図 4.22(a)に上記回路の光学顕微鏡写真を示す. 上記回路において 10 Gbps の光信号に対する出力波形を測定した結果、単体の受光素子に対して 2 倍の開口高さを有する良好なアイパターンが得られ(図 4.22(b))、上記低ばらつき特性を反映した低雑音の差動対光回路を実現した. 更に、Ge 受光器とシリコン光変調器の距離が近い(1.3mm)高集積チップにおける差動対受光素子回路の効果調べ、シリコン光変調器と Ge 受光器のクロストークによるアイパターンの歪が大きく低減されることを確認した(図 4.22 (c)).

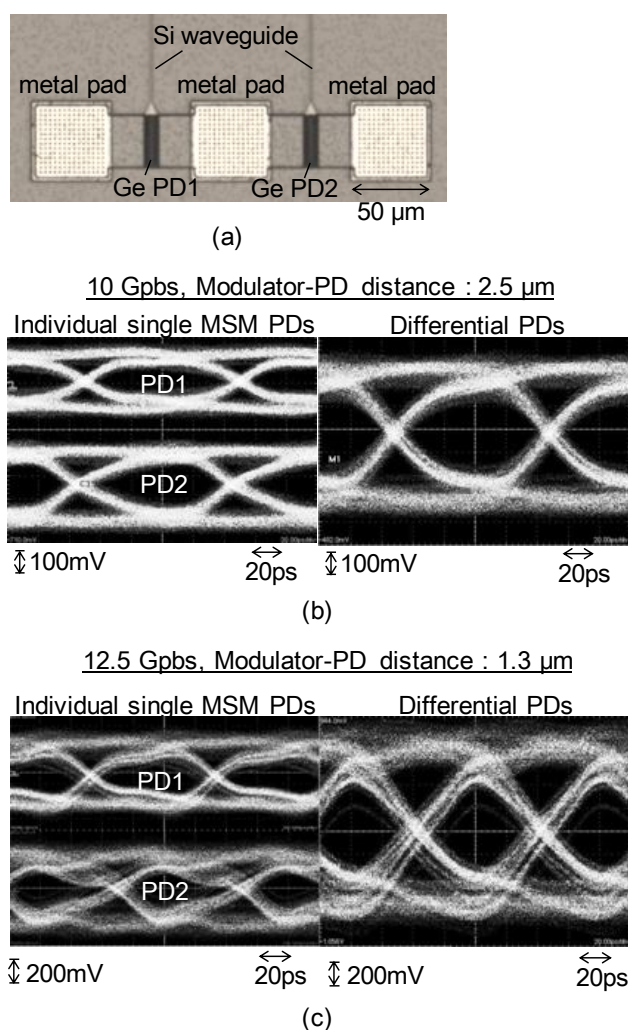


図 4.22 (a) 差動対光受信回路における Ge 受光器部分の光学顕微鏡像, (b) Si 光変調器-Ge 受光器間の距離が 2.5mm の場合の 10 Gbps アイパターン, (c) Si 光変調器-Ge 受光器間の距離が 1.3mm の場合の 12.5 Gbps アイパターン

4-3 pin 型およびショットキー型 Ge 受光器の検討¹⁵⁾

図 4.23(a)に Si 導波路集積 pin 型及びショットキー型 Ge-PD の概念図を示す. 試料は、SOI(silicon-on-insulator)基板上に Si 導波路を加工した後、下部電極として B ドープ層を形成した. 続いて、SiO₂ 開口パターンを形成し、減圧 CVD 法により Ge(1μm)/SiGe 膜を選択エピ成長した. 次に、pin 型に関しては P ドープ層を形成し、ショットキー型に関してはノンドープとして、Ti/TiN/Al 電極を形成した(図 4.23(b)).

図 4.24 に pin 型及びショットキー型 Ge-PD の(a)受光感度特性と(b)周波数特性のバイアス電圧依存を示す. 受光効率は、両タイプで 1.0A/W を実現しており、最適化された pin 型 Ge-PD において、上部電極 n⁺-SiGe 層による光吸収の影響は殆ど無いことを確認した. また、ショットキー型において、Ge 上に SiGe キャップ層を適用することにより、0.4 nA/μm² 程度の低暗電流密度を実現した [3]. また、周波数特性に関しては、pin 型では 1V 以上の DC バイアス(V_{dc})に対して 30GHz 以上の周波数帯域が得られているのに対し、ショットキー型では 4 V 以上の V_{dc} に対して 30GHz の周波数帯域が得られた. 等価回路解析により素子の電気容量を抽出した結果、pin 型に対してショットキー型では素子容量が相対的に小さいことが明らかとなった. すなわち、同一の積層構成において、ショットキー型では空乏層厚が大きく、キャリアドリフト帯域が周波数帯域を律速していると考えられる.

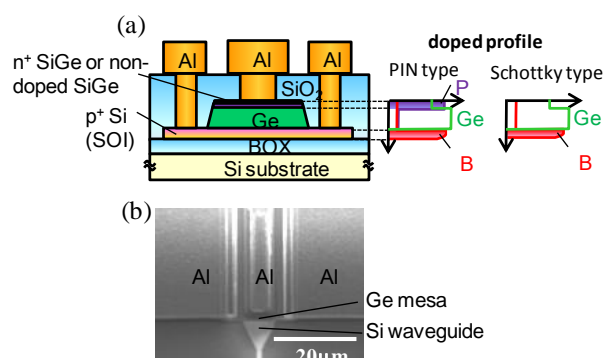


図 4.23 (a) PIN 型及びショットキー型 Ge-PD 概念図, (b)SEM 写真.

図 4.25 に 25Gbps における出力アイパターンを示す. ショットキー型においても十分な高速伝送が可能であり、空乏層厚の最適化により、更なる高いパフォーマンスが期待される. 図 4.26 は縦型ショットキー型において Ge 層厚を変化した時の周波数帯域依存を PIN 型と比較した結果である. 低電圧では PIN 型の方がより大きい周波数帯域が得られることが分かる. 等価回路解析から、低電圧では、縦型ショットキー型は PIN 型に比較して電気容量が数倍大きいことが明らかとなっており、ショットキー型では低バイアスにおいて空乏化が不十分であること、また Ge/SiGe 界面におけるフォトキャリアのトラップなどが周波数

帯域に影響していると考えられる。

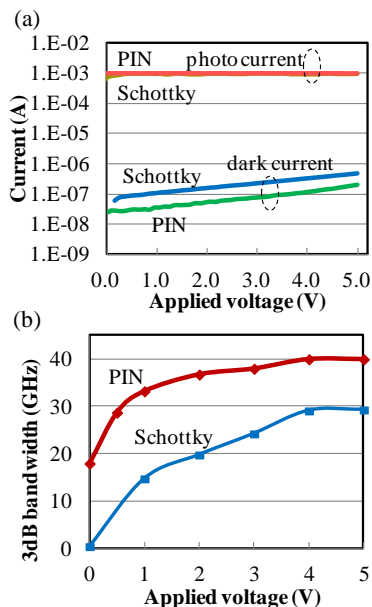


図 4.24 PIN 型及びショットキー型 Ge-PD の(a)受光感度特性、
(b)周波数特性のバイアス電圧依存

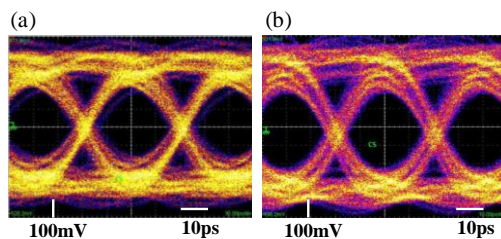


図 4.25 25Gbps アイパターン(a) PIN 型(1V_{dc}), (b)ショットキー型(5V_{dc}).

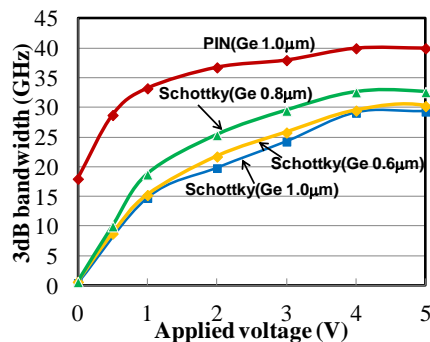


図 4.26 縦型ショットキー型において Ge 層厚を変化した時の周波数帯域依存 vs. PIN 型 Ge-PD の周波数帯域

4-4 小型 PIN 接合型 Ge 受光素子の高性能化¹⁵⁾

図 4.27(a)に Si 導波路集積 PIN 型 Ge-PD の概念図を示す。試料は、まず SOI(silicon-on-insulator)基板上に Si 導波路を加工後、下部電極として B ドープ層を形成した。続いて、SiO₂ 開口パターンを形成し、RP-CVD(reduced-pressure chemical vapor deposition)法により Ge/Si 膜を選択エピ成長した。さらに、P ドープ層を形成後、Ti/TiN/Al 電極を形成した(図 4.27(b))。

図 4.28 は 1.55 μm 波長における PIN 型 Ge PD の周波数特性の Ge 層厚依存性である。等価回路解析から付加抵抗は 20 Ω程度に低減されており、電気容量も 30 fF 程度であった。従って、CR 時定数から求めた周波数帯域は、130 GHz 程度であり、キャリアドリフト帯域が周波数帯域を律速していることが明らかとなった。従って、Ge 層厚を従来の 1.0 μm から 0.6 μm に薄層化することにより、50 GHz 程度の周波数帯域が得られた。

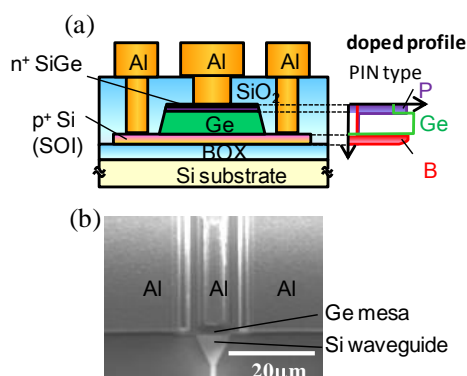


図 4.27 (a) PIN 型 Ge-PD の概念図と(b)SEM 写真.

また、n+-SiGe/i-Ge/p+-Si ヘテロ構造により built-in 電場がエンハンスされ、^{27,28)} バイアス電圧 が 0V においても、29 GHz 程度の周波数帯域が得られた。

図 4.29 は V_{dc} を 1V とし、40 Gbps の PRBS(2⁷-1 pseudo random binary sequence)光信号を入力した時の出力アイパターンである。良好な出力波形が得

られており、小型・低消費電力な光電子集積回路の実現にむけて有望であると考えられる。

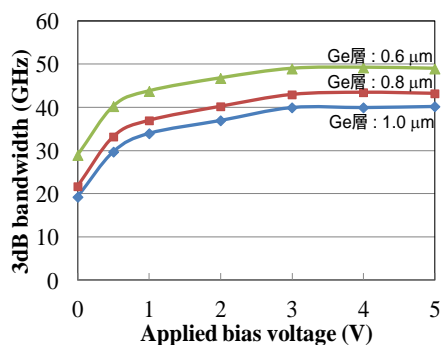


図 4.28 周波数特性の DC バイアス

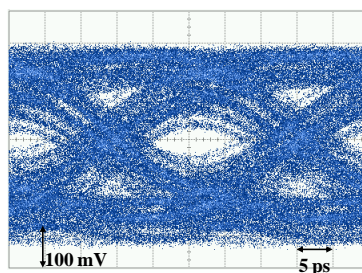


図 4.29 1 V 印加時の 40Gbps 出力アイパターン

また、Si フォトニクス集積回路において、量子ドットレーザを搭載した温度調整が不要である世界初の集積チップを実現するため、1.3 μm 波長対応の Ge 受光器の温度特性を検討した。図 4.30 に 20°C から 100°C まで測定系のステージ温度を変化した時のフォトカレントと暗電流値の変化を示す。フォトカレントの温度依存性はほとんど見られず、受光感度に関しては、温度変化に対して安定していることが明らかとなった。一方、暗電流は 20°C から 100°C までの温度上昇により、2 桁程度上昇しており、熱的な発生電流(thermoionic emission)が寄与していると考えられる。

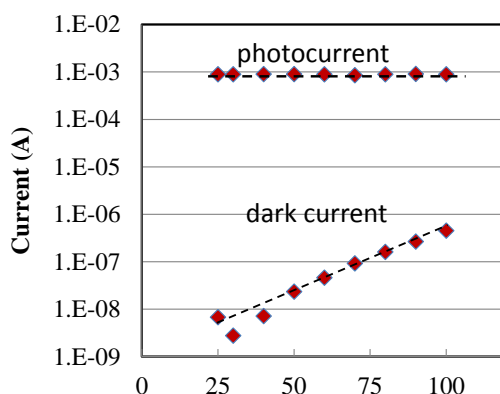


図 4.30 1.3 μm 波長対応の Ge 受光器におけるフォトカレントと暗電流の温度依存性

4-5 面入射 pin 型 Ge 受光器の検討¹⁶⁾

Si 光インターポーザに集積化される Ge フォトダイオード(Ge PD)に関しては、光ファイバとの光結合を考慮した場合、入射光に対して偏波無依存であり、高効率・高速化の両立が不可欠である。

本報告では、PIN 型接合からなる面入射型 Ge PD を検討し、高速化と高効率化の検討を行った。その結果、入射径が 30 μm の時、Ge 層厚が 1.8 μm の場合において、24 GHz の周波数帯域と 70-80 % の量子効率を実証したので報告する。

図 4.31(a)に Si 導波路集積 PIN 型 Ge-PD の概念図を示す。試料は、まず SOI(silicon-on-insulator)基板上に Ge 層の下地となる Si 層を加工後、下部電極として B ドープ層を形成した。続いて、SiO₂ 開口パターンを形成し、RP-CVD(reduced-pressure chemical vapor deposition)法により Ge/Si 膜を選択エピ成長した。さらに、P ドープ層を形成後、Ti/TiN/Al 電極をリング状に形成した(図 4.31(b))。

図 4.32 は 1.31 μm 波長における面入射 PIN 型 Ge PD の電気容量と周波数帯域の受光径依存性である。等価回路解析から、受光径 30 μm の場合、付加抵抗は 50 Ω 程度に低減されており、電気容量も 82.7 fF 程度であった。従って、CR 時定数

から求めた周波数帯域は、38.6 GHz 程度であり、キャリアドリフト帯域が周波数帯域を律速していることが明らかとなった。¹⁶⁾

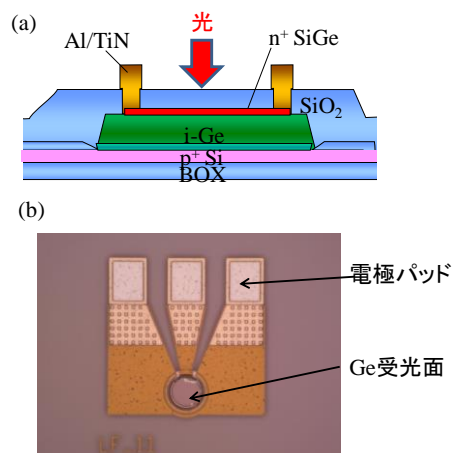


図 4.31 (a) PIN 型 Ge-PD の概念図と(b)光学顕微鏡写真.

また、面入射型 Ge-PD に関しては、Ge 層厚によるキャリアドリフト帯域と受信感度がトレードオフの関係を示し、Ge 層厚を $1.8 \mu\text{m}$ とすることにより、24GHz の周波数帯域と 70-80% 程度の量子効率が得られた。また、 $n^+\text{-SiGe}/i\text{-Ge}/p^+\text{-Si}$ ヘテロ構造により built-in 電場がエンハンスされ、バイアス電圧が 0V においても、8-11 GHz 程度の周波数帯域が得られた。

図 4.33 は作製した面入射型 Ge-PD の(a)受信感度特性と(b)受信感度と暗電流の温度依存性である。SOI 基板上での Ge 層/SOI 層および BOX(buried-oxide)層/Si 支持基板界面での光反射により、Ge 層厚 $1.8 \mu\text{m}$ において、70-80%の量子効率が得られた。また、受光感度は、 20°C から 100°C まで変化は見られず、バイアス電圧 1V における暗電流値も 100°C で $1 \mu\text{A}$ 以下であり、実用上問題ない値が得られた。

図 4.34 は V_{dc} を 3V とし、25 Gbps の PRBS($2^{31}-1$ pseudo random binary sequence) 光信号を入力した時の出力アイパターンである。良好な出力波形が得られてお

り、光ファイバとの直接結合が可能であり、小型・低消費電力な Si 光インターポ
ーザの実現にむけて有望であると考えられる。

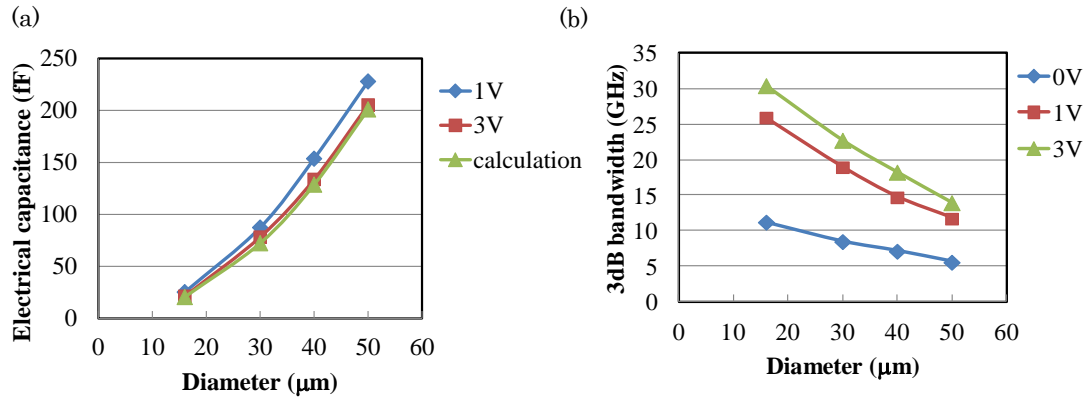


図 4.32 (a)電気容量と(b)周波数帯域の受光径依存およびバイアス電圧依存.

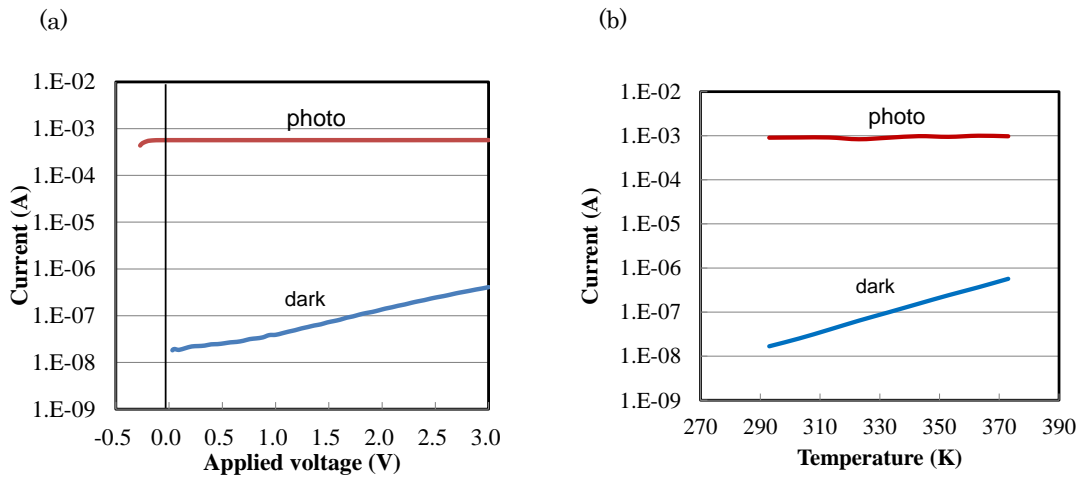


図 4.33 (a)受信感度特性、(b)暗電流と受信感度の温度依存

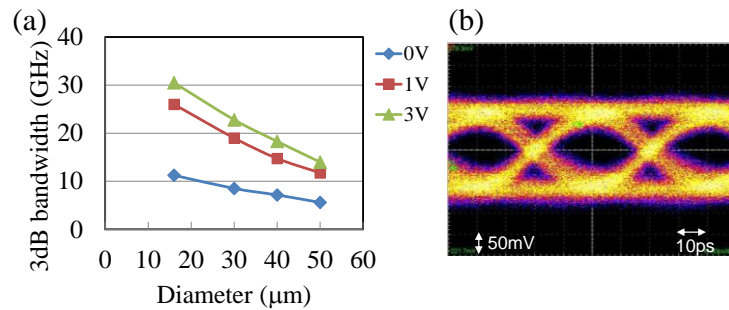


図 4.34 受光径 $30\mu\text{m}$ の面入射 PIN 型 Ge 受光器の(a)周波数帯域と(b)25Gbps
出力アイパターン

4-6 新 CVD プロセスを用いた butt 接合型 Ge 受光器の開発¹⁷⁾

次のステージとして実用化を見据えた新たな目標を2つ設定し、その実現に向けた取組みを行った。まず、電気のインターコネクに対する光電子融合システムの優位性をより強固にすることを第一の目標とし、消費電力化やより一層の高速化に軸をおいた Ge 受光器を開発した。受光器構造は、小型・低容量化が可能な butt 接合型を適用した。第二の目標には、Si 量産化ラインで求められる低コストの製造プロセスの構築を掲げ、butt 接合型 Ge 受光素子の製造工程数を大幅に削減することが可能な CVD プロセスを開発した。

4-6-1 自己平坦化 n+ Ge 埋め込み成長技術

butt 接合型 Ge 受光素子では、Si 光導波路を伝播した光がフィールド高さを変える事無く Ge 光吸収層に直接入射する為、evanescent 型受光素子に比べて高い光吸収効率を有する。この為、光吸収長を短くすることが出来、小型・低電気容量化が可能となる。一方、butt 接合型 Ge 受光素子は、Si 溝を形成するためのエッチング工程や、Si 溝への埋め込み成長を行った後の Ge 層の CMP 平坦化プロセスが必要となり⁴⁾、evanescent 型受光素子¹⁾に比べて工程数が増大するという課題を有する。そこで、butt 接合型 Ge 受光素子の製造工程数を大幅に削減することが可能な CVD プロセスを開発した。図 4.35 に開発した butt 接合型 Ge 受光素子の構造(図 4.35(a))、及び主な製造プロセス(図 4.35(b))を示す。

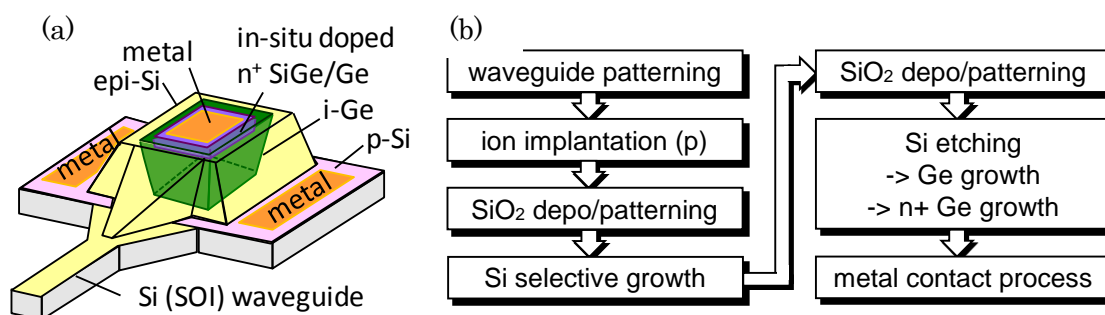


図 4.35 (a) 開発した butt 接合型 Ge 受光素子構造、(b) 新 CVD プロセスを用いて開発した butt 接合型 Ge 受光素子プロセス

受光器は、Si 光導波路上に Si が選択成長した rib 構造を有しており、上記 rib 構造内部に Ge が平坦に埋め込まれた構造を有している(図 4.35(a))。上記構造を形成するに当たり、Si エッチングと Ge 光吸収層埋め込み成長、更に n+ Ge 電極の選択成長が同一の CVD チャンバを用いた連続的な単一プロセスとして行われており、大幅な工程数削減を可能にしている。上記 CVD プロセスを可能にする為、下記 3 つの要素技術を開発した。

① 低温 Si 気相エッチング

Si を CVD チャンバ内で低温にて気相エッチングするプロセスを開発した。通常、HCl を用いて Si の気相エッチングは、850~900°C の高温条件下で行われる [6]。しかしながら、光電子集積チップでは、高温の熱負荷が不純物プロファイルの変動を引き起こし、変調器等他のデバイスの特性に影響を与える為、エッチング温度の低温化が求められる。そこで、Ge と Si の混晶化を利用した HCl による低温気相エッチング技術を開発した。図 4.36(a)に上記エッチングを用いて Si を 700°C でエッチングした断面 SEM 像を示す。SiO₂ でパターニングされた Si 開口上に Ge を選択成長し、その後 HCl ガスを用いた気相エッチングを行うことで、通常は Si がエッチングされない 700°C の低温において Ge と Ge 直下の Si が同時にエッチング除去され、Si 溝を形成することが出来た。これはエッチングさ

れた Ge 原子が Si と相互拡散し、混晶化することで HCl によるエッチングが促進されたことを示唆する新しい現象であり、これにより CVD を用いた Si 溝の形成温度を大幅に低減することが出来た。

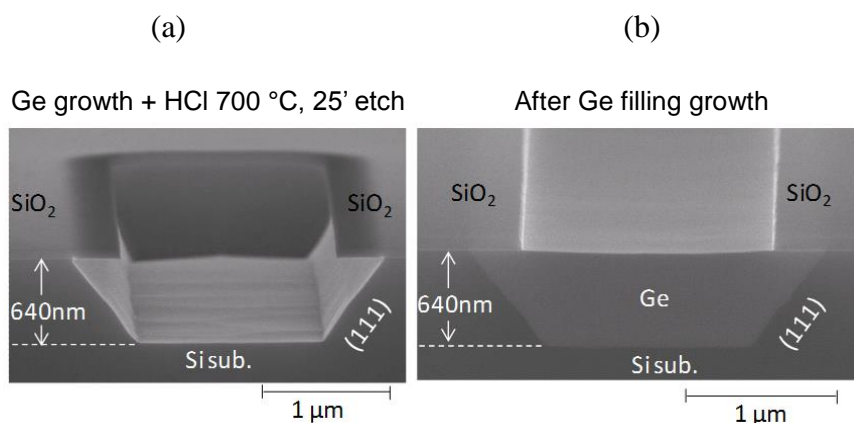


図 4.36 (a) 低温 Si エッチング後の断面 SEM 像、(b) Ge 埋め込み成長後の断面 SEM 像

② 自己平坦化 Ge 埋め込み選択成長

低温気相エッチング後、Si 溝中に Ge 埋め込み選択成長を行った。従来、上記埋め込み成長では Si 溝のエッジ部周辺に Ge のファセットが形成されるため平坦な埋め込みが出来ず、CMP による平坦化プロセスが必要であった[4]。今回開発したエッチング手法により形成した Si 溝は、SiO₂ の庇を有しており、上記庇が Ge のファセット形成を抑制することが判明した。図 4.36(b)に Ge 埋め込み後の断面 SEM 像を示す。Ge が平坦に埋め込まれており、CMP が不要な平坦埋め込み成長が実現された。

③ 自己整合 n+ SiGe/n+ Ge 電極形成

Ge 光吸収層の埋め込み選択成長に続き、n+ SiGe/n+ Ge 電極の選択成長を行った。電極の形成に当たり、選択性を保ったまま高濃度の in-situ ドーピングを可能にする為の成長条件の最適化を行い、 $1 \times 10^{20} \text{cm}^{-3}$ のキャリア密度を有する n+ SiGe 層の選択成長条件を確立した。実際に作製した受光素子の電極形成後の断

面 SEM 像を図 4.37 に示す。n+ SiGe/n+ Ge 電極が Si 溝に対して自己整合的に形成されており、イオン注入によって電極を形成する場合のパターニングが不要になり、マスク合わせマージンが削減されることで素子の小型化を可能にしている。

上述のプロセス開発により、Si 溝を形成するためのドライエッチングまたはウェットエッチング、及び CMP 平坦化プロセスとイオン注入プロセスが削減された簡易プロセスにより butt 接合型 Ge 受光素子を実現することが出来た。

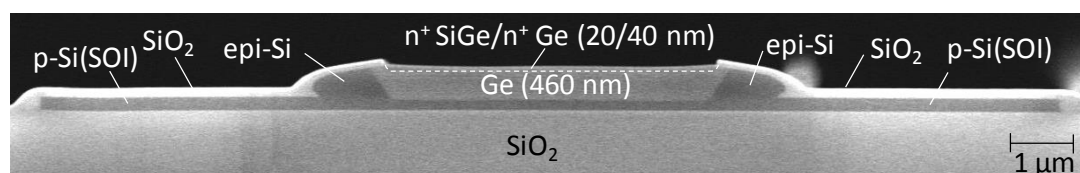


図 4.37 n+ SiGe/n+ Ge 電極形成後の butt 接合 Ge 受光素子断面 SEM 像

4-6-2 小型・低容量 butt 接合 Ge 受光素子特性¹⁷⁾

光結合長を短くすることが可能な butt 接合構造の特徴、及び n+ SiGe/n+ Ge 電極を Si 溝に対して自己整合的に形成したことによるマスク合わせマージンの削減により素子の小型化に成功し、世界最小の光結合長(5 μm)を有する butt 接合 Ge 受光素子を実現した。図 4.38 に、作製した小型・低容量 butt 接合 Ge 受光素子の光電流/暗電流特性を示す。良好な結晶性を反映した極めて低い暗電流密度(1.2nA/ μm^2 [@1V])が得られた。受光感度は 0.4A/W とやや低いものの、暗電流の約 33000 倍の十分な光電流(40 $\mu\text{A}/\mu\text{m}^2$)が得られた。図 4.39(a)に、上記受光素子の高周波特性を示す。電圧を印加しない場合(0V)においても、電圧印加時(3V)とほぼ変わらない高い 3dB 帯域(35GHz)を示した。図 4.39(b)に 3dB 帯域の印加電圧依存性を示す。従来の evanescent 型受光素子¹⁾に比べて、特に 0V における 3dB 帯域が大きく向上した。開発した butt 接合 Ge 受光素子は、サイズの縮小に伴

い、Ge 光吸収層の膜厚も従来の evanescent 型受光素子(1 μm)に比べて約半減(460nm)している。この為、Ge 光吸収層中の電界強度が増加し、キャリア走行時間の低減が 0V における素子の高速動作を可能にしたと推測される。電圧無印加時の高速動作は素子の低電力化をもたらす為、本結果から低電力/高速 Ge 受光素子の実現に向けた見通しを得ることが出来た。

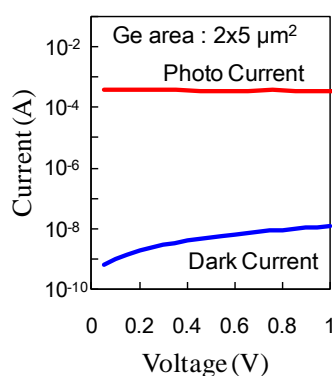


図 4.38 butt 接合 Ge 受光素子の光電流/暗電流特性

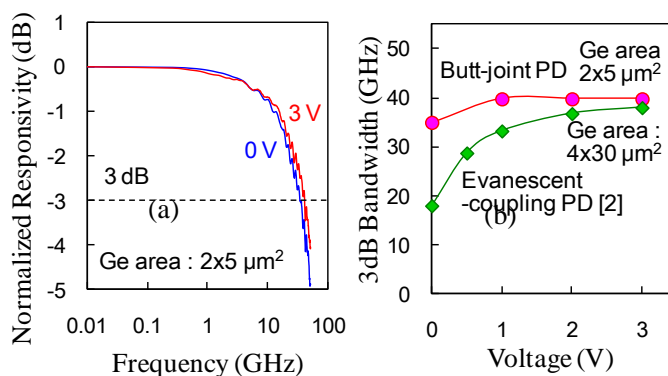


図 4.39 (a) butt 接合 Ge 受光素子の周波数特性
(b) butt 接合 Ge 受光素子の 3dB 帯域電圧依存性

4-7 CMOS-TIA 回路の設計および pin 型 Ge 受光器との接続評価

CMOS アナログ型およびインバータ型 TIA 回路を検討し、シングルタイプの TIA 回路を TSMC(Tiwan Semiconductor Manufacturing Company)の 65nm-CMOS シェットルを利用して試作・評価した(図 4.40). アナログ型はダイナミックレンジが大きく取れるという特徴があるが、帯域が帰還抵抗に依存し、高帯域化を狙う際にゲインを小さくする必要がある。一方、インバータ型は、小型でかつ高い出力ゲインが期待出来、先端 CMOS では広帯域化(高速化)が期待される[8]. 今回の検討では、シングルタイプの TIA 回路チップと PIN 型 Ge-PD チップをフリップチップ実装して評価した。図 4.41 は試作したインバータ型 TIA 回路チップの SEM 写真である。今回はフリップチップ実装も可能なように Au バ

ンプを形成した. 図 4.42 は-5 dBm のレーザ光を PIN 型 Ge-PD に導波路入射した時の 15Gbps における TIA 回路からの出力波形である. -5 dBm のレーザ光に対しても、比較的良好なアイ開口が得られており、インバータ型 TIA 回路の有効性を実証した.

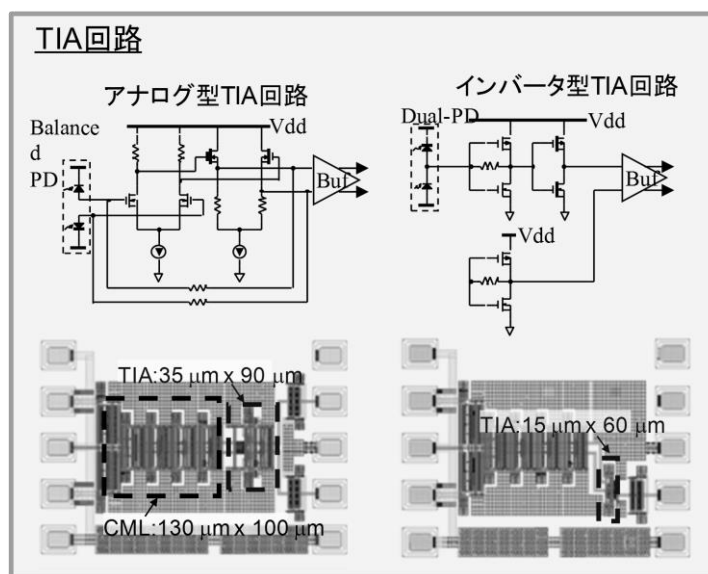


図 4.40 アナログ型およびインバータ型 TIA 回路の回路図と GDS イメージ

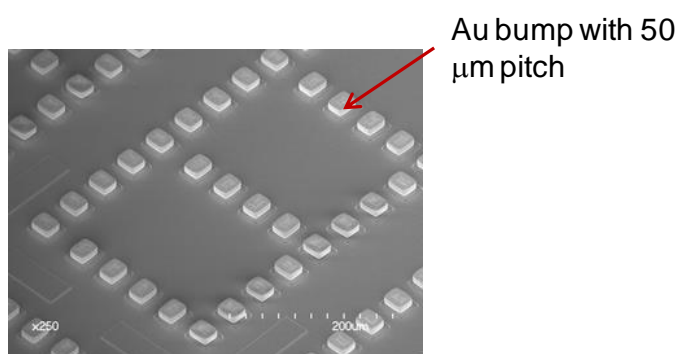


図 4.41 インバータ型 TIA 回路チップの SEM 写真

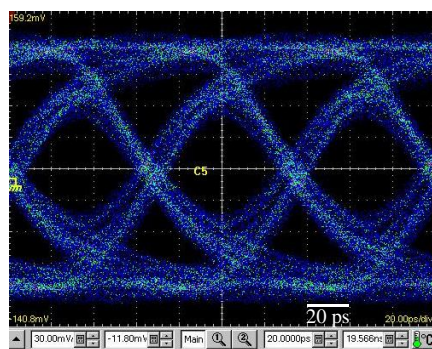


図 4.42 -5dBm のレーザー光を pin 型 Ge-PD へ入射した時の 15Gbps における TIA 回路からの出力アイ波形

4-8 まとめ

高速・高効率・高集積化を実現する Si 導波路結合の Ge 受光器を検討した。Ge 受光器に関しては、Ge 層表面欠陥によるリーク電流を低減すると共に、付加抵抗低減による高速化が重要である。

本検討においては、まず Ge 層上に Si 層を保護層(キャップ層)として適用することにより、MSM(metal-semiconductor-metal)型 Ge 受光器で $0.4\text{nA}/\mu\text{m}^2$ 、pin 型 Ge 受光器で $0.8\text{nA}/\mu\text{m}^2@3\text{V}$ という非常に小さいリーク電流密度を実現すると共に、pin 型 Ge 受光器に関しては周波数帯域として 2V 以上の dc バイアス電圧に対して 45GHz という非常に周波数帯域を得ることが可能であった。これは、Ge 層上の Si 層と電極メタル層である Ti/Ti/N との接触抵抗を世界最高レベルである $1\times 10^{-6}\Omega\text{cm}^2$ 程度に低減したことが大きく寄与していると考えられる。

さらに、本検討においては、Ge 層と比較的格子整合性のよい $\text{Si}_{90}\text{Ge}_{10}$ 層をキャップ層として適用することにより、MSM 型 Ge 受光器において $0.33\text{nA}/\mu\text{m}^2$ 程度の暗電流密度を実現し、Si 層を保護層とした場合と同等の値を実現した。SiGe 層をキャップ層として適用するメリットとして、リーク電流のばらつきが顕著に改善することが検証出来、光集積回路を実現する上で受光器特性のばらつきが大幅に改善することが期待される。本検討においては、2つの受光器で同時に光信号を受信する差動受信回路の検討を行い、集積光回路において、Si 光変調器と Ge 受光器間でのクロストーク低減が可能であることを実証した。

また、将来の低電力・高集積受信回路を実現するため、butt 光結合型の Ge 受光器を検討し、ゼロバイアス電圧においても 35GHz という世界最高レベルの周波数帯域を実現した。また、作製プロセスとして同一 CVD 成膜装置内

で、Si 層中への Ge 層の埋め込み、および上部電極層の形成を一括して行うことが出来る新規プロセスを開発した。

最後に作製した Ge 受光器と CMOS インバーター回路からなるトランスインピーダンス回路をフリップチップ実装により接続することにより、15Gbps の良好な出力アイパターンを実現すると共に、データセンター内でのマルチモードファイバー伝送を可能とする面入射型の Ge 受光器において、70%程度の量子効率と 25Gbps 動作を実現し、Ge 受光器の実用化に向けて大きく寄与出来る要素技術開発を行った。

第4章の参考文献

- 1) J. Fujikata, M. Miura, M. Noguchi, D. Okamoto, T. Horikawa and Y. Arakawa, “Si Waveguide-Integrated Metal–Semiconductor–Metal and p–i–n-Type Ge Photodiodes Using Si-Capping Layer,” *Jpn. J. Appl. Phys.* **52**, 04CG10 (2013).
- 2) N. Hirayama, H. Takahashi, Y. Noguchi, M. Yamagishi, and T. Horikawa, *Proc. 2012 Int. Conf. SSDM*, 530 (2012).
- 3) S. Assefa, F. Xia, and Y. A. Vlasov, “Reinventing germanium avalanche photodetector for nanophotonic on-chip optical interconnects”, *Nature* **464**, 80-85 (2010).
- 4) L. Vivien, M. Rouviere, J. M. Fedeli, D. Marris-Morini, J. F. Damlencourt, J. Mangeney, P. Crozat, Loubna El Melhaoui, E. Cassan, X. L. Roux, D. Pascal, and S. Laval, *Opt. Express* **15**, 9843 (2007).
- 5) G. Masini, L. Colace, G. Assanto, H. C. Luan, and L. C. Kimmerling: *IEEE Trans. Electron Devices* **48**, 1092 (2001).
- 6) S. M. Sze, D. J. Coleman, Jr., and A. Loya, *Solid-St. Electron.* **14**, 1209 (1971).
- 7) M. Miura, J. Fujikata, M. Noguchi, D. Okamoto, T. Horikawa, and Y. Arakawa, *Proc. 9th Int. Conf. Group IV Photonics*, 231 (2012).
- 8) J. D. Hwang and E. H. Zhang, *Thin Solid Films* **519**, 3819 (2011).
- 9) H. Nishi, T. Tsuchizawa, R. Kou, H. Shinojima, T. Yamada, H. Kimura, Y. Ishikawa, K. Wada, and K. Yamada, *Opt. Express* **20**, 9312 (2012).
- 10) J. Liu, J. Michel, W. Giziewicz, D. Pan, K. Wada, D. D. Cannon, S. Jongthammanurak, D. T. Danielson, L. C. Kimerling, J. Chen, F. O. Ilday, F. X. Kartner, and J. Yasaitis,

- Appl. Phys. Lett. **87**, 103501 (2005).
- 11) J. Michel, J. Liu, and L. C. Kimerling, Nat. Photonics **4**, 527 (2010).
- 12) J. Fujikata, Y. Urino, S. Akiyama, T. Shimizu, N. Hatori, M. Okano, M. Ishizaka, T. Yamamoto, T. Baba, T. Akagawa, T. Usuki, D. Okamoto, M. Miura, M. Noguchi, D. Shimura, H. Okayama, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, E. Saito, K. Wada, T. Nakamura, and Y. Arakawa, Proc. 8th Int. Conf. Group IV Photonics, 365 (2011).
- 13) S. Akiyama, T. Baba, M. Imai, T. Akagawa, M. Takahashi, N. Hirayama, H. Takahashi, Y. Noguchi, H. Okayama, T. Horikawa, and T. Usuki, “12.5-Gb/s operation with 0.29-V·cm V_{PI}L using silicon Mach-Zehnder modulator based-on forward-biased pin diode,” Optics Express **20**, 2911 (2012).
- 14) M. Miura, J. Fujikata, M. Noguchi, D. Okamoto, T. Horikawa, and Y. Arakawa, “Differential Receivers with Highly -Uniform MSM Germanium Photodetectors Capped by SiGe Layer,” Optics Express **21**, 23295 (2013).
- 15) J. Fujikata, M. Miura, M. Noguchi, D. Okamoto, T. Horikawa, and Y. Arakawa, “High Performance Silicon Waveguide-Integrated PIN and Schottky Ge Photodiodes and their Link with Inverter-Type CMOS TIA Circuits,” Proc. 2013 Int. Conf. SSDM, 980 (2013).
- 16) J. Fujikata, S. Takahashi, M. Takahashi, M. Noguchi, M. Miura, T. Nakamura, and Y. Arakawa, “High-Performance MOS Capacitor Type Si Optical Modulator, and Surface Illumination-type Ge Photodetector for Optical Interconnection,” Proc. 2015 Int. Conf. SSDM, 590 (2015).
- 17) M. Miura, J. Fujikata, M. Noguchi, and Y. Arakawa, “Ultra-Small Butt-Joint Ge Photodetector Featuring Self- Aligned In-situ Doping and CMP-

Free Novel CVD Process,” Proc. OFC2014, M2G.5 (2014).

第5章 表面プラズモン共鳴効果を利用したSiナノフォトダイオードの検討

ユビキタス情報社会を実現するため、ネットワークと情報処理技術の融合が進展してきている。情報システムを支える基本となる超大規模集積回路(VLSI)においては、Si を主体とした CMOS 技術の著しい発展が行われてきており、スケールリング則に基づく素子や配線の微細化により、高集積および高機能化、高速化が行われてきている。一方、光を用いた超高速伝送は、電気配線における回路遅延や伝送ロス、クロストークなどの問題を回避出来、波長多重化による大容量化が可能なことから、世界のどこからでも瞬時に情報交換することを可能とする技術へと成長してきている。これら進展が目覚ましい LSI 技術と超高速光伝送技術を融合させることを目的として、CMOS 技術と整合の取れる低コストな光配線技術である Si フォトニクスが、将来の LSI 技術の限界を打破し、新しい機能性を生み出す技術として注目を集めてきている¹⁻³⁾。

Si フォトニクスを構成するキーコンポーネントとしては、光導波路、発光素子、光変調素子、受光素子などが挙げられる。今回報告する受光素子(フォトダイオード)に関しては、従来の光通信において化合物半導体を用いたものが一般的である^{4,5)}。10Gbit/s 程度の伝送速度の光通信には、InGaAs を吸収層とするアバランシェフォトダイオード(Avalanche Photo Diode:APD)や GaAs を用いた pin 型フォトダイオード(pin-PD)などが用いられるが、Si フォトニクスが目指している CMOS 技術との整合性および低コスト化などの点で問題がある。一方、Si は間接遷移型の半導体であり、化合物半導体と比較して光吸収効率が一桁程度低いことが効率を高める上で問題となる。

さらに、フォトダイオードの応答速度を律速する因子としては、光吸収により生成されたフォトキャリア(電子-正孔対)の移動時間と光吸収層(空乏層)の電気容量が挙げられる⁵⁾。すなわち、キャリアの移動時間を短くするためには、光吸

吸収層を薄くする必要があるが、これによる電気容量の増大を軽減するため接合面積の低減が行われるのが一般的である。従って、高速性を実現するためには光吸収層を小さくする必要があり、高速性と感度特性はトレードオフの関係にある。

当方は、この量子効率と高速性の両立が極めて困難とされる Si を吸収層に用いたフォトダイオードにおいて、表面プラズモンによる近接場増強効果を利用して、電極と半導体との界面に光を閉じ込め、さらに波長以下の領域に集光することを実現し、高感度化と高速化の新しい概念であるナノフォトダイオードの可能性を検討した結果について報告する。さらに、LSI 上への光配線の適用例として、Si ナノフォトダイオードを用いたオンチップ光クロック配信およびオンチップ光多重信号伝送実証に関して報告する。

5-1 bull's eye 型表面プラズモンプラズモンアンテナの検討

次に実験による検討結果と FDTD 法による解析結果に関して述べる。サンプルは、まず石英基板上に収束イオンビーム(FIB)装置を用いて、400nm から 600nm 周期の同心円状のグレーティング溝を形成した。次にイオンビームスパッタ装置を用いて、200nm~300nm 厚の Ag 薄膜を成膜した。最後に同心円上の中心部に 200-300nm 径の微小開口を形成した。光学評価として、白色光源であるハロゲンランプを用いてサンプル表面から光照射し、透過光を CCD (charge coupled device) 分光器により透過スペクトルを検出した。

本実験のパラメータとして、1. グレーティングの深さを 0~300nm、2. 金属膜の積層構成として Ag 単層に加えて、Ag 上に Ta を 5nm 積層した構成、表面プラズモンが生じない金属で、表面ラフネスが小さい金属として CoZr 系金属を用いた。

図 5.1 に微小開口径を 200nm とし、周期を 600nm に固定した時の透過スペクトルのグレーティング振幅依存性を示す。この時、Ag 薄膜の厚さを 300nm 賭した。石英基板上に形成するグレーティングの振幅を 0nm から 300nm まで変化させた時、透過光スペクトル強度は、グレーティング振幅 250nm で飽和し、表面プラズモン共鳴波長である 620nm 付近において、グレーティングがない場合に比較して、7 倍程度の透過強度が得られた。

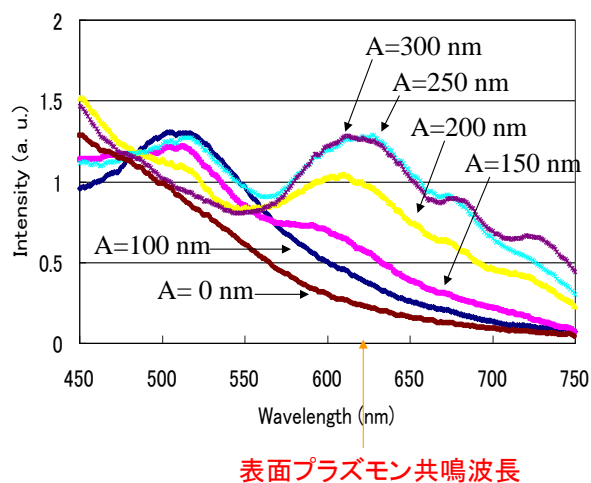


図 5.1 微小開口径を 200nm とし、周期を 600nm に固定した時の透過スペクトルのグレーティング振幅依存性⁶⁾

図 5.2 は Ag 薄膜表面に表面プラズモンが生じない金属として、Ta を 5nm 積層した時と Ta が無い場合の、透過率エンハンスメントファクターのグレーティング数依存性である。この時のグレーティング周期は 600nm であり、開口径は 200nm とした。Ag 薄膜上に Ta を 5nm 積層した場合に比較して、Ag 単層膜の場合、2 倍程度の透過率エンハンス効果が得られており、表面プラズモンが透過率エンハンスに寄与していると考えられる。

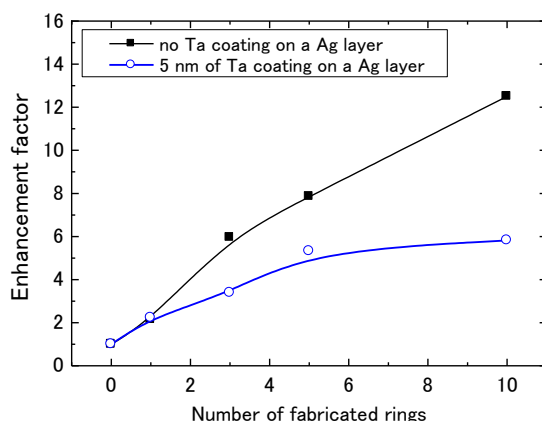


図 5.2 Ag 薄膜表面に表面プラズモンが生じない金属として、Ta を 5nm 積層した時と Ta が無い場合の、透過率エンハンスメントファクターのグレーティング数依存性⁶⁾

さらに、図 5.3 は金属膜厚をトータルで 300nm に固定し、Ag/CoZr/Ag 三層膜における Ag 層厚の割合を変化させた時の透過スペクトルである。この時のグレーティング周期は 600nm であり、開口径は 150nm とした。Ag の膜厚が 25nm 付近の時、表面プラズモン共鳴による透過スペクトルにおけるピークが観察された。すなわち、表面プラズモン共鳴が生じるために、光の skin depth 以上の Ag 膜厚が必要であることが示された。また、透過光強度は、Ag 膜厚の増加に伴い単調に増加しており、Ag 単層膜の時に最も大きなピーク強度が得られた。すなわち、微小開口を介してエバネッセント光が裏面側の Ag 薄膜に結合する過程において、微小開口側壁の金属による光損失も透過率に影響していることが明らかとなった。以上より、表面プラズモン共鳴による微小開口からの光透過率エンハンスに Ag 薄膜が有効であること、またエバネッセント波が伝わる微小開口においても、側壁が光学損失の小さい Ag であることが望ましいということが明らかとなった。

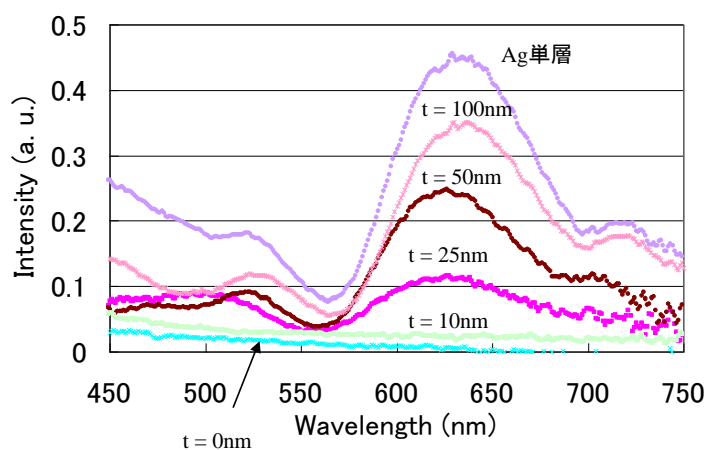


図 5.3 金属膜厚をトータルで 300nm に固定し、Ag/CoZr/Ag 三層膜における Ag 層厚の割合を変化させた時の透過スペクトル⁶⁾

図 5.4 はグレーティング形状を丸くした場合と尖らせた場合の透過スペクトルである。グレーティング形状を尖らせることにより、グレーティングの周期

660nm、微小開口径 150nm の場合において、約 400 倍の透過率エンハンス効果が得られた。すなわち、グレーティングの深さや材料だけでなく、グレーティング形状も回折効率、すなわち表面プラズモン共鳴に大きな影響があることが明らかとなった。

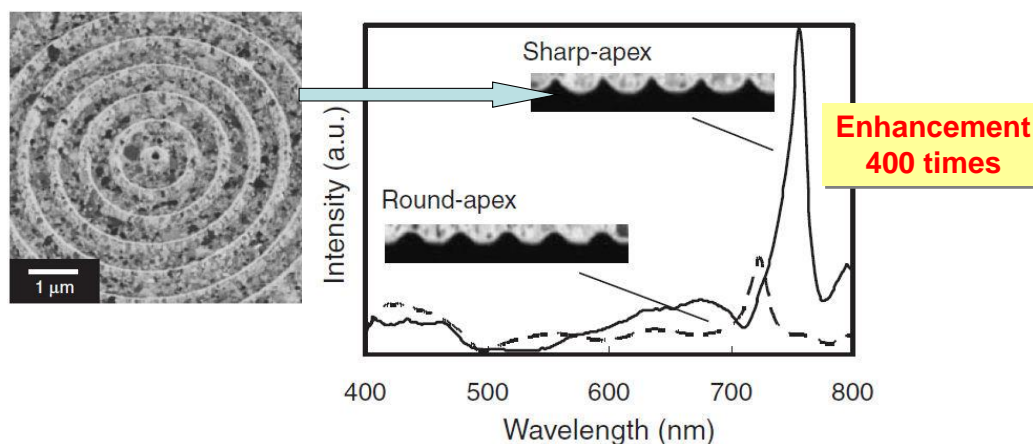


図 5.4 グレーティング形状を丸くした場合と尖らせた場合の透過スペクトル⁷⁾

最後に微小開口からの近接場光の波数分散関係を検証するため、近接場顕微鏡による微小開口プローブを用いて、近接場光の透過スペクトルを取得した。図は測定に使用した近接場プローブの写真であり、光ファイバの先端を尖らせた後、Ag 薄膜でコーティングし、先端に 50nm から 100nm の微小開口を形成した光ファイバプローブを用いた。図 5.5 は微小開口の周囲に同心円状のグレーティングを形成したサンプルにおいて、微小開口付近で透過光スペクトルを検出した結果である。微小開口から十分離れた位置では、近接場光は検出されておらず、光入射側のグレーティング構造が透過率エンハンスに寄与していると考えられる。また、微小開口の直上とすこしオフセットをかけた位置では、透過スペクトルのピーク位置が違っており、近接場光においても波数保存則に従って、微小開口からの距離により、透過スペクトルピークが長波長側にシフトすることが明らかとなった。

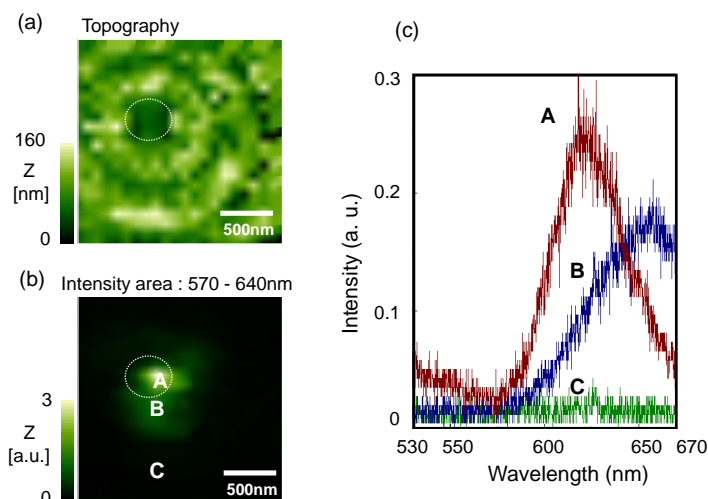


図 5.5 微小開口の周囲に同心円状のグレーティングを形成したサンプルにおいて、微小開口付近で透過光スペクトルを検出した結果⁶⁾

5-2 bull's eye 型表面プラズモンアンテナの光透過率の改善

前節では bull's eye 型表面プラズモンアンテナにおけるグレーティングの役割に関して検証した。本節では、微小開口の形状の影響に関して検討した。図 5.6 に実際に検討した bull's eye 型表面プラズモンアンテナの模式図を示す。従来の回折限界以下の単純な微小開口に加えて、微小開口に表面プラズモンの導波モードを持たせるために、微小開口部に突起形状を配置したリッジ型開口、およびスリット形状とした開口の 2 種類を検討した。リッジ型開口およびスリット型開口のいずれにおいても、表面プラズモンが導波する金属ギャップを 160nm とした。FDTD 法による電磁界解析の結果、微小開口に表面プラズモンの導波モードを持たせることにより、従来の単純な微小開口を用いた場合に比較して、リッジ開口で 30 倍、スリット開口で 50 倍の光透過率が得られることが明らかとなった(図 5.7)。また、微小開口に表面プラズモンの導波モードを持たせることにより、微小開口部で顕著な電場増強が観測されており、微小開口部において表面プラズモンの膜厚方向での cavity mode が励振されていると考えられる。

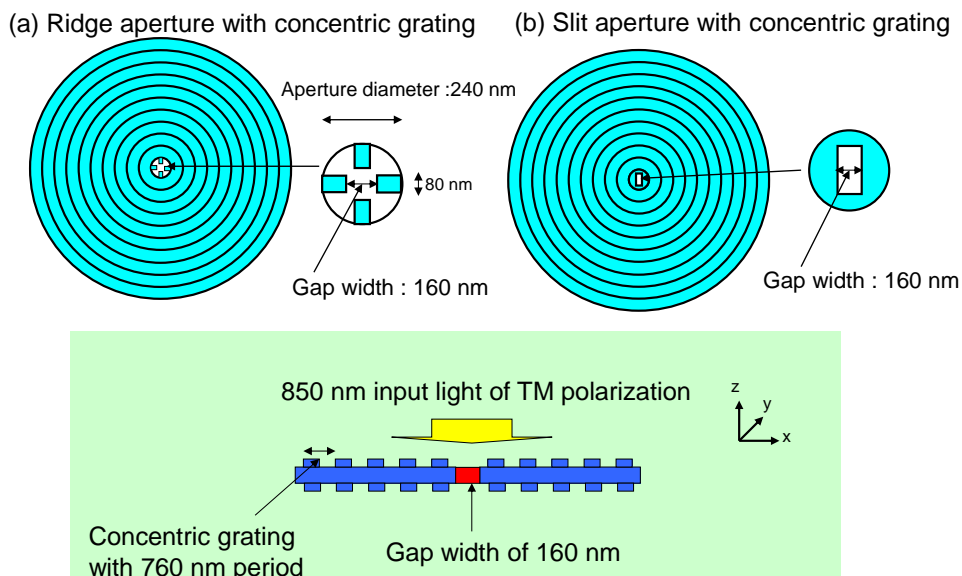


図 5.6 検討した bull's eye 型表面プラズモンアンテナの模式図⁸⁾

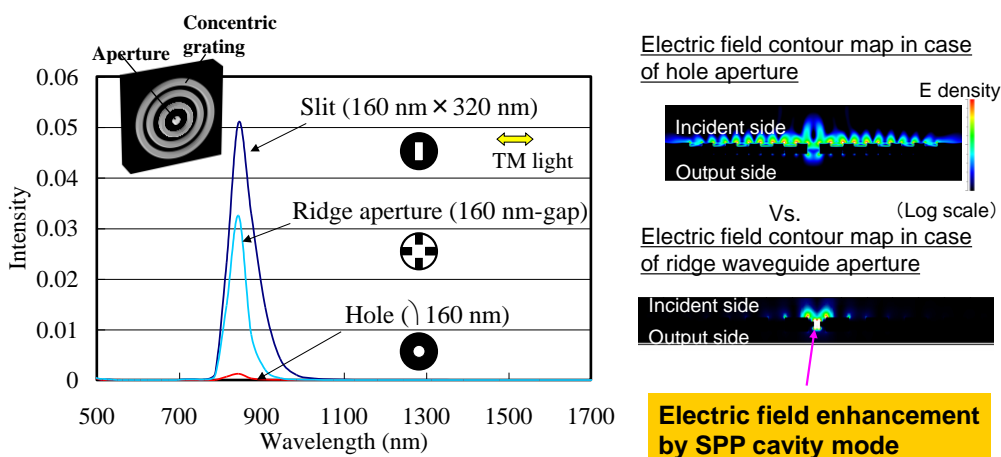


図 5.7 FDTD 法により解析したリッジ開口及びスリット開口を有する bull's eye 型表面プラズモンアンテナ光透過率と電場強度分布⁸⁾

図 5.8 は実際に FIB 加工によりリッジ開口を形成した場合のプラズモンアンテナサンプルからの透過光スペクトルである。150nm の単純な微小開口を用いた場合に比較して、リッジ開口を用いることにより約 5 倍の光透過率エンハンス効果が得られ、リッジ開口をより高精度に作製することにより、さらなる光透過率エンハンス効果が得られることが期待される。また、透過光波長は、グレーティングの周期により、制御可能であることを実証した。

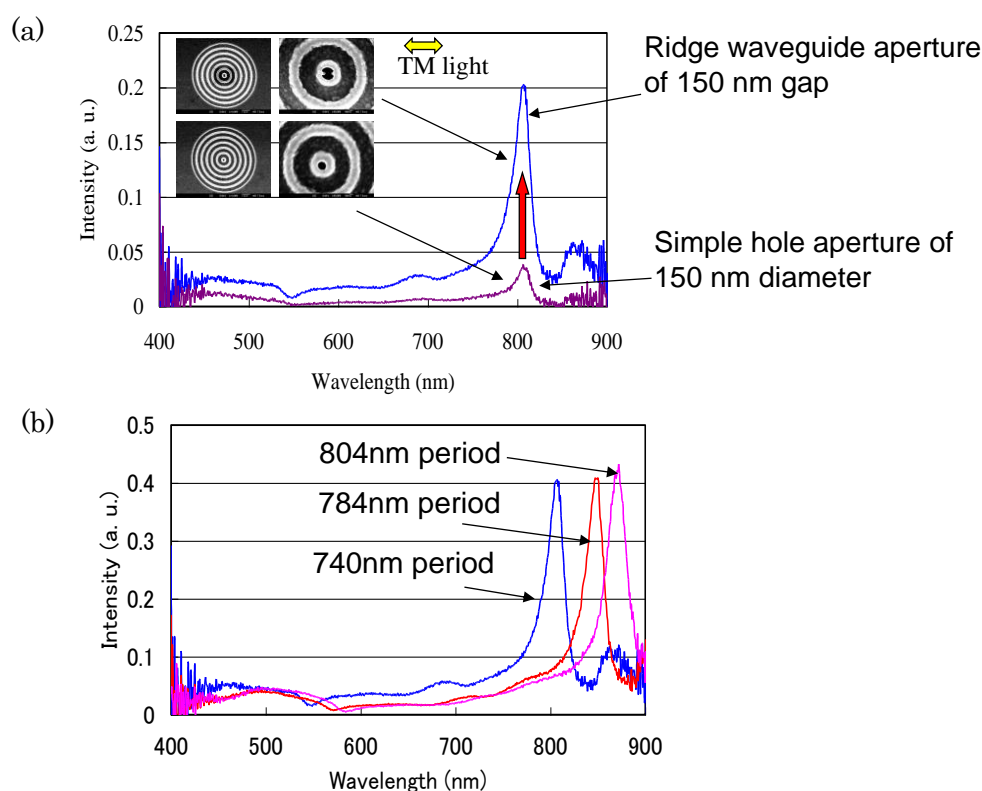


図5.8 FIB加工によりリッジ開口を形成した場合のプラズモンアンテナサンプルからの透過光スペクトル(a)リッジ開口有無し比較, (b)グレーティング周期依存性⁸⁾

5-3 表面プラズモンエンハンス効果による面入射型Siナノフォトダイオード

図 5.9 に Si ナノフォトダイオードの概念模式図を示す⁹⁾。Si ナノフォトダイオードは基本的に三つの部分からなる：(1)中心部に形成されたショットキー接合電極としての機能と、入射光を表面プラズモンポラリトンに変換して集光するプラズモンアンテナとしての機能を兼ね備えた表面金属電極、(2)光を吸収してフォトキャリアを生成する Si メサ構造、(3)オーミックコンタクト電極。表面プラズモンアンテナは、波長以下のサイズの微小開口と周囲に同心円状のグレーティング構造を有する。Si メサは表面プラズモンアンテナの下にショットキー接合を介して配置されている。また、ショットキー接合の面積は、表面プラズモンアンテナの微小開口部とほぼ同じ大きさである。

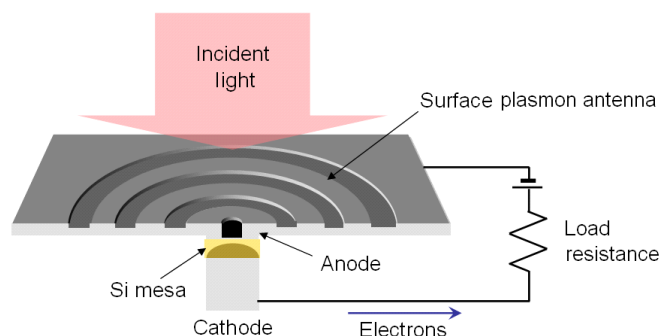


図 5.9 Si ナノフォトダイオードの概念模式図

Si ナノフォトダイオードに入射した光は、まず同心円状に配置された金属グレーティングにより表面プラズモンに変換され、中心部に集光される。集光された表面プラズモンは、微小開口部においてエバネッセント波を介して出射端において散乱され、強い近接場光を発生することとなる。表面プラズモンには、本質的に電子・フォノン散乱に起因する抵抗損失(オーミック損失)が存在することが知られており、電場強度が $1/e$ になるまでの時間が伝播寿命として定義される。従って、ナノフォトダイオードを高効率化するためには、プラズモンの寿命以下の時間内に、半導体内に染み出した電場成分がフォトキャリアを生成する必要がある、今回検討した 850 nm の波長においては表面プラズモンによるオーミック損失に比較して、Si 半導体における吸収係数が一桁以上大きいことを計算により確認している。図 5.10 は表面プラズモンアンテナ直下に 400nm の微小半導体を配置した時の FDTD 法による電磁界解析結果である。

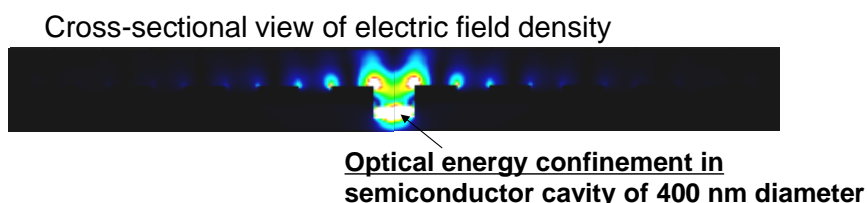


図 5.10 表面プラズモンアンテナ直下に 400nm の微小半導体を配置した時の FDTD 法による電磁界解析結果

図 5.11 は作製したナノフォトダイオードの概念図と作製したプラズモンアンテナの走査型電子顕微鏡(SEM)写真、およびプラズモンアンテナ形成前の Si メ

サ構造の断面の SEM 写真である⁹⁻¹⁰⁾。実験に用いた構造においては、表面プラズモンアンテナは Si 基板上に厚さ 200 nm の Ag 膜が積層され、さらに周期 560 nm、深さ 50 nm の同心円状グレーティングが形成されている。また、保護膜として SiO₂ 膜が積層されている。中心部の微小開口径は 300 nm であり、この下に Si メサとショットキー接合を形成するために 10 nm の Cr 膜が配置されている。

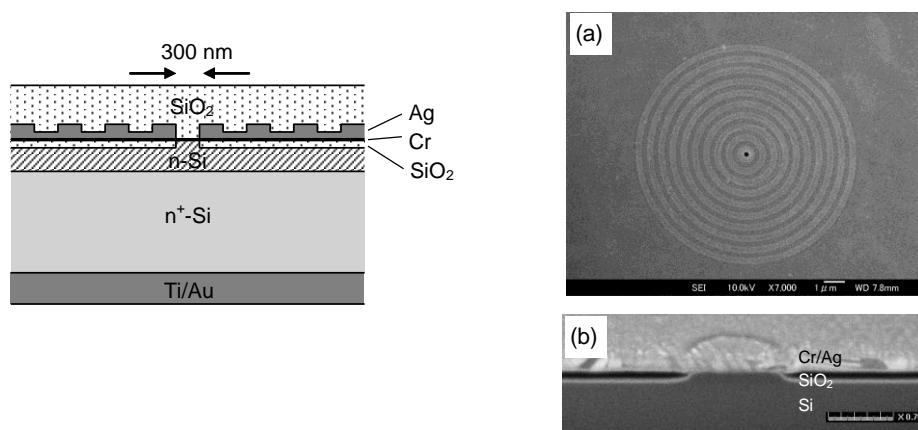


図 5.11 作製したナノフォトダイオードの概念図と作製したプラズモンアンテナの走査型電子顕微鏡(SEM)写真、およびプラズモンアンテナ形成前の Si メサ構造の断面の SEM 写真

表面プラズモンポラリトンの分散関係は以下の式で表され、SiO₂/Ag 界面における表面プラズモンポラリトンの実効屈折率は約 1.50 と見積もられる⁴⁾。

$$n_{\text{eff}} = (\epsilon_m \cdot \epsilon_d / \epsilon_m + \epsilon_d)^{1/2} \quad (1)$$

(ここで、 n_{eff} : 実効屈折率、 ϵ_m : 金属の誘電率、 ϵ_d : 金属に隣接する誘電体の誘電率)

従って、560 nm の周期のグレーティングを用いた場合、表面プラズモンの共鳴波長は約 840 nm である。

次に、上記構造のナノフォトダイオードの光応答特性を紹介する。I-V 特性から見積もられるショットキー障壁高さは 0.57 eV と見積られた。また、-2 V 印加時の暗電流値も約 10⁻⁹ A であり、実用上問題ないレベルであった。図 4.15 は

波長 840 nm、強度 1 mW の光を 2~3 μm に絞って照射した時のフォトカレントの逆バイアス電圧依存を表面プラズモンアンテナがある場合とない場合について比較したものである。プラズモンアンテナを利用することによって、出力電流が数十倍にまで増強されていることが分かる。これは表面プラズモンによって増強された近接場光が、Si 中で生成されるフォトキャリアを大幅に増加させていることを示している。また、低バイアスな電圧においても大きなフォトカレントが得られており、電極近傍の局所領域に閉じ込められた近接場光を利用することで、低電圧での動作が可能な高感度なナノフォトダイオードが得られることが確認された。

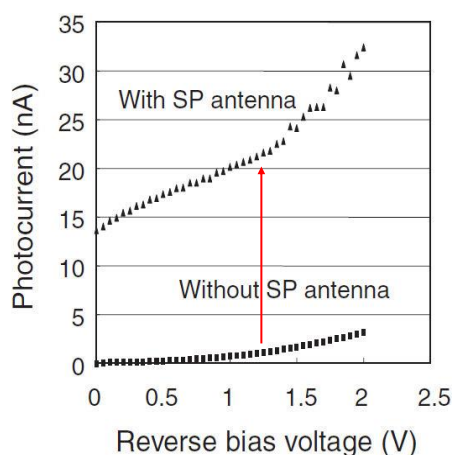


図 5.12 波長 840 nm、強度 1 mW の光を 2~3 μm に絞って照射した時のフォトカレントの逆バイアス電圧依存を表面プラズモンアンテナがある場合とない場合についての比較

上記に示した素子に関しては、光吸収領域の直径は 300 nm で、空乏層の厚さは 200 nm 程度である。従って、ショットキー接合容量は 0.1 fF 以下であると見積られる。一方、フォトキャリアのドリフト速度を 10^7 cm/s と考えると、空乏層を走行するのに必要な時間は数 ps となり、周波数応答として 80 GHz 程度が予測される。図 5.13 は Si ナノフォトダイオードのパルス応答波形を測定した系の模式図である。チタンサファイアレーザ (Ti:Sapphire laser) により、半値

幅 100fs のパルス光を発生させ、GaAs 系の pin フォトダイオードで電気的なトリガー信号を取り出し、サンプリングオシロスコープにより、Si ナノフォトダイオードからの出力波形を電圧信号として検出した。この時の繰り返し周波数は、82MHz であり、1pulse 当たりのパワーは、1.2pJ である。

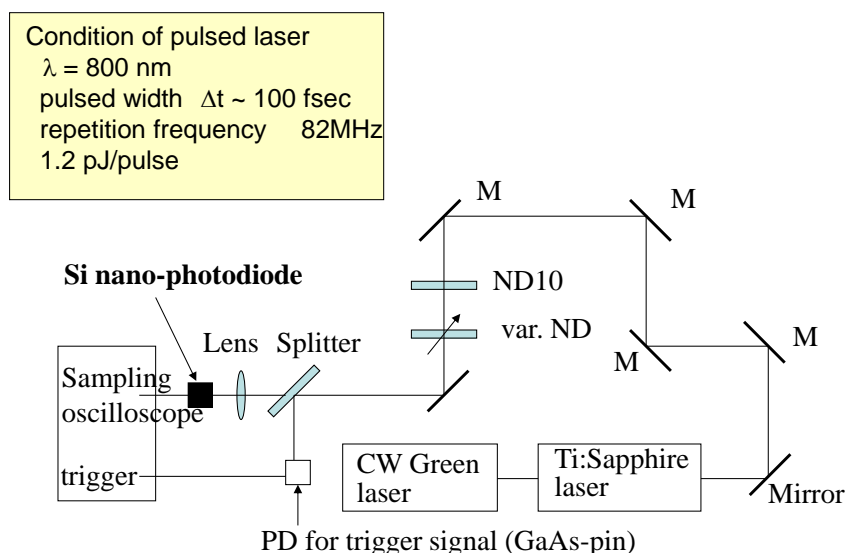


図 5.13 Si ナノフォトダイオードのパルス応答波形を測定した系の模式図

図 5.14 は高速応答測定用に実装した Si ナノフォトダイオードの写真である。セラミック基板上に作製された高周波 strip 線路上にナノフォトダイオードをワイヤボンディングにより実装し、さらに 65GHz 帯域の高周波コネクタと半田接続したサブキャリアを組み立てた。図 5.15 は Si ナノフォトダイオードからの出力波形の半値幅をバイアス電圧の関数として示したものである。出力半値幅は 20ps 程度であり、サンプリングオシロスコープの rise-fall time を考慮すると数 ps 程度であると見積もられる。図 5.16(a)は、理想的な矩形波のパルス光を入射した時の表面プラズモン共鳴が飽和する時間および半導体として Si および GaAs を想定した時の吸収に要する時間を吸収係数と実効屈折率から求めた結果である。光吸収に要する時間は、Si の場合においても 500fs 程度であることが分かる。図 5.16(b)は Si 中にパルス光を入射した時のフォトキャリアの

輸送時間を計算した結果である．表面プラズモンアンテナの直下に 400nm 程度の Si 光吸収層を配置することにより、3-4ps のフォトキャリアの応答速度が得られることが明らかとなり、実験結果をほぼ説明出来ることが明らかとなった．

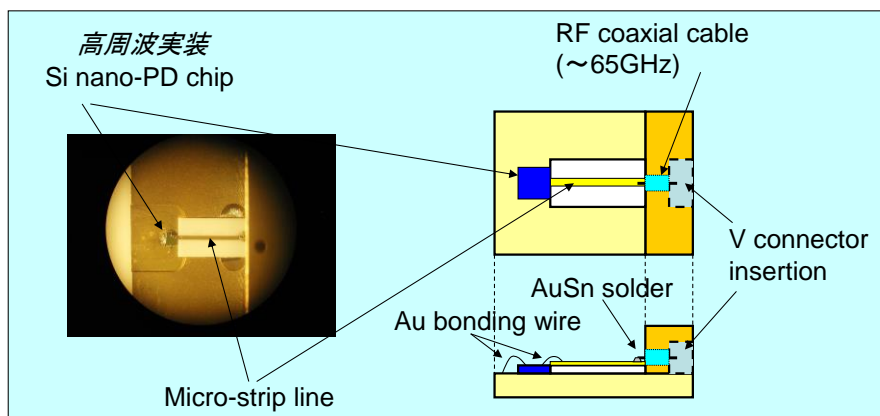


図 5.14 高速応答測定用に実装した Si ナノフォトダイオードの写真

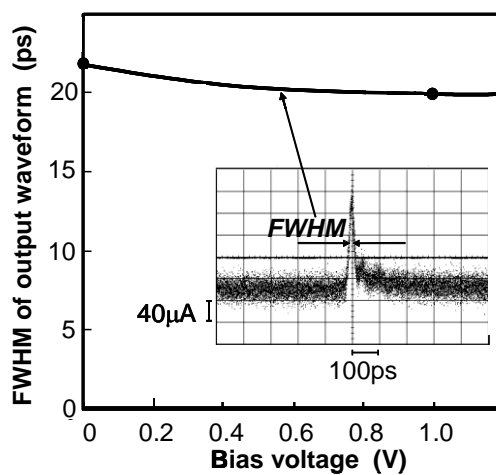


図 5.15 Si ナノフォトダイオードからの出力波形の半値幅のバイアス電圧依存¹⁵⁾

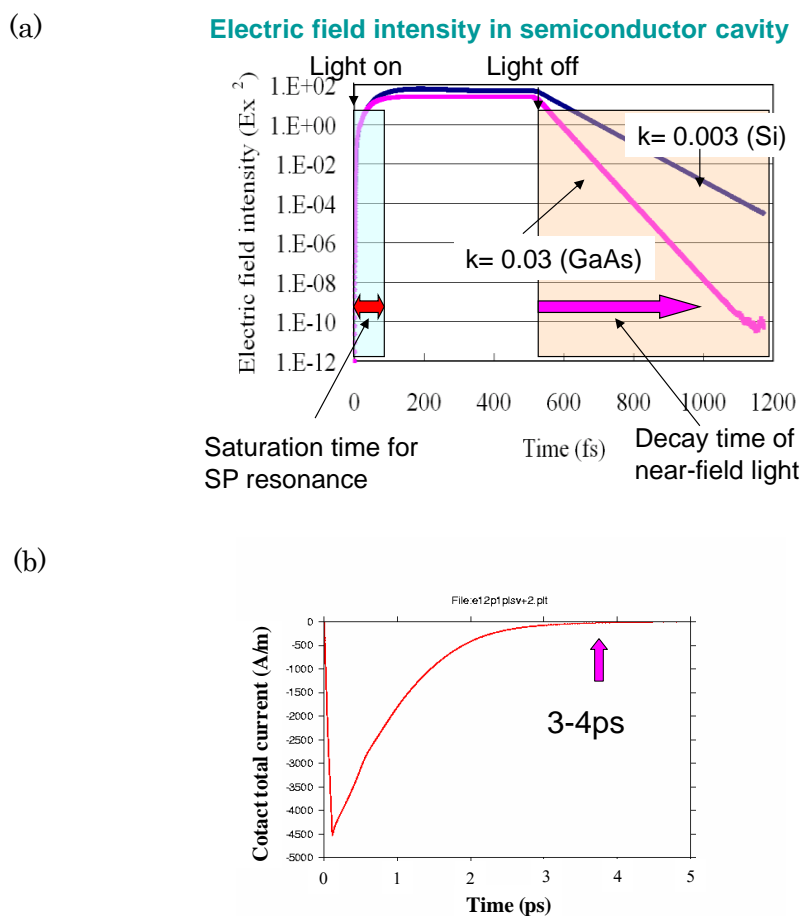


図5.16(a)理想的な矩形波のパルス光を入射した時の表面プラズモン共鳴が飽和する時間および半導体としてSiおよびGaAsを想定した時の吸収に要する時間, (b) Si中にパルス光を入射した時のフォトキャリアの輸送時間(計算)

5-4 表面プラズモン共鳴を利用した導波路結合型Siフォトダイオード¹¹⁾

LSI上での光配線を実現するためには、光導波路と高効率に光結合する導波路結合タイプのフォトダイオードを開発する必要がある。また、高集積化のためには、小型でありかつ低消費電力である必要がある。

LSI上での光配線として低損失なSiON光導波路を開発し、これと高効率に光結合するSiナノフォトダイオードについて検討した。導波路結合型Siナノフォトダイオードの断面図を図5.17(a)に示す。AgからなるナノスケールのMSM(metal-semiconductor-metal)電極構造に関して、FDTD法による電磁界シミ

シミュレーションおよび実験により検討した。240nm厚のSi吸収層表面に幅90nm、厚み30nmのAg電極からなる周期構造を埋め込んで形成し、これをSiON導波路とSi光吸収層との界面に配置した。850nm波長のTM波をSiON導波路に入力した時の光パワー分布および電場分布を光導波方向の断面図として示す(図5.17(b),(c))。SiON導波路コアとSi吸収層界面に挿入した周期的なAg-MSM電極により、SiON導波路中を伝播する光が効率的に回折され、表面プラズモンの共鳴モードであるvertical modeおよびhorizontal modeが励起されている。これにより約85%の光パワーが240nmと非常に薄いSi光吸収層中に光結合される計算結果を得ている。

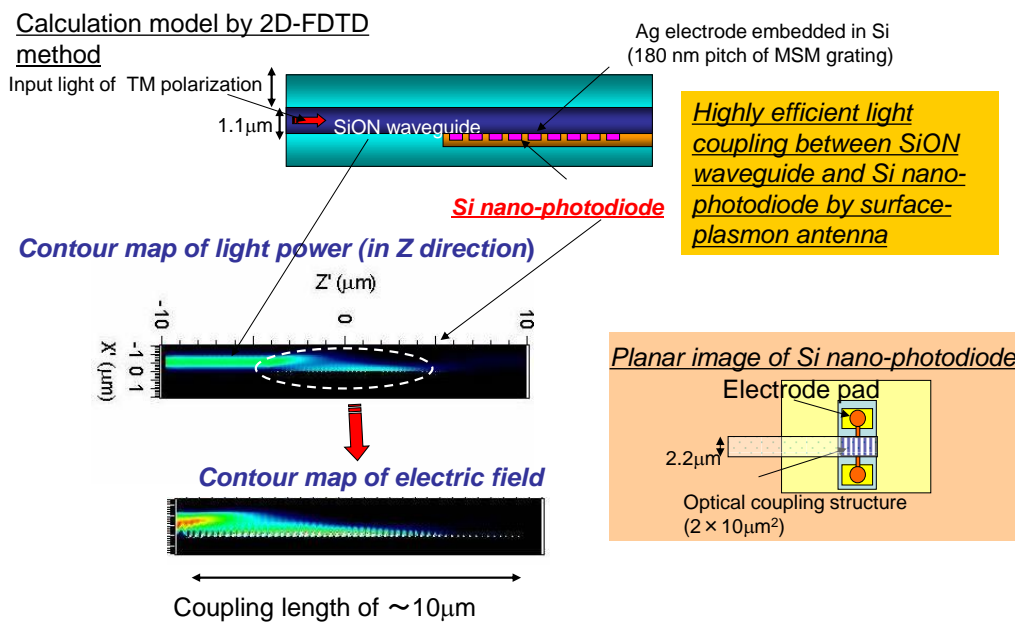


図5.17(a)導波路結合型Siナノフォトダイオードの断面図, (b),(c)FDTD法による電磁界分布シミュレーション結果

図5.18は導波路結合型Siナノフォトダイオードの光結合効率の入射光波長依存性である。Siナノフォトダイオードは比較的広い波長範囲において受信感度を有しており、これはSi光吸収層に埋め込んで形成されたAgナノ電極による表面プラズモン共鳴ピークがSiによる光吸収により広がっているためであると考

えられる。780-900nmの比較的広い波長範囲において、60%以上の光結合効率が得られている。

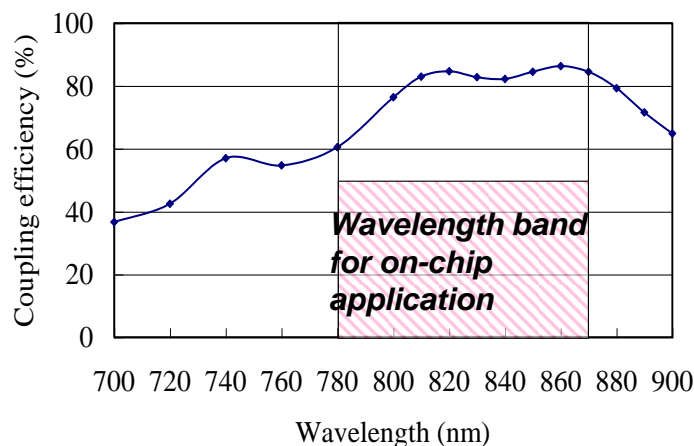


図5.18 導波路結合型Siナノフォトダイオードの光結合効率の入射光波長依存性

実際に作製した導波路結合型Siナノフォトダイオードの光学顕微鏡写真およびAg-MSM電極のSEM写真を図5.19(a)および(b)に示す。Siナノフォトダイオードはn-typeのSOI(silicon-on-insulator)基板上に形成され、光結合長が10 μ m程度となるようにLOCOS(local oxidation of silicon)プロセスによりSiメサ構造が形成されている。さらに、EB(electron beam)リソグラフィによるレジストマスクを利用してAg MSM電極を形成した。さらに、この上に低温プロセスによりSiONコアおよびSiO₂からなる上クラッド層を形成した。

図5.19(c)は作製したSiナノフォトダイオードの光応答特性である。850nm波長、1.6mWのレーザー光をSiON導波路端面から入射することにより、約10%の量子効率が得られ、TE波に比較して2-3倍のフォトカレントが得られている。すなわち、表面プラズモン共鳴によりSiON導波路とSi光吸収層との間の近接場光結合がエンハンスされていると考えられる。また、10 μ mの光結合長はデバイスの電気容量として4fFに相当し、従来のフォトダイオードに比較して1桁程度小さい値となっている。これにより、光源パワーの大幅な削減も可能であると考えられる。

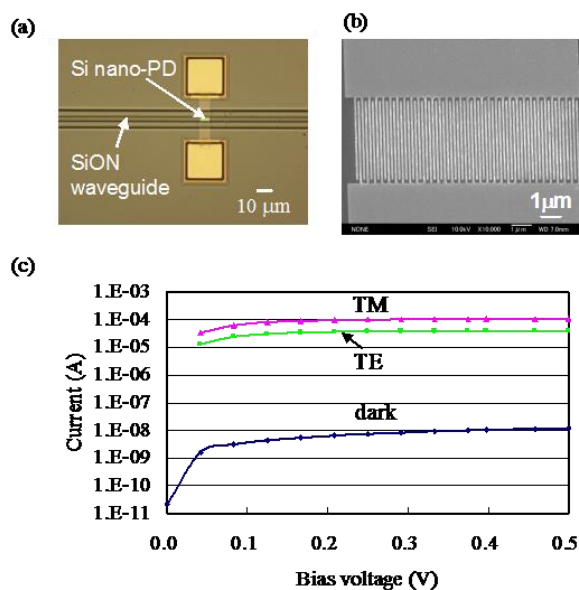


図5.19(a)および(b) 作製した導波路結合型Siナノフォトダイオードの光学顕微鏡写真およびAg-MSM電極のSEM写真, (c) Siナノフォトダイオードの光応答特性¹¹⁾

5-5 オンチップクロック配信の検討¹¹⁾

次に Si ナノフォトダイオードのオンチップ光配線への適用を検討した. 図 5.20(a)に光クロック配信用に作製した光チップの写真を示す. 入力光パワーは、1x2MMI(multi-mode interference)の 2 段カスケードにより、4 つの出力ポートに分配され、末端に配置された 4 つの Si ナノフォトダイオードに光結合されている. 図 5.20(b)および(c)に Si ナノフォトダイオードに 1V の dc バイアスを印加した時の過渡応答出力波形と出力半値幅の dc バイアス電圧依存性を示す. この実験において、780nm 波長のチタンサファイアレーザにより、半値幅 2ps 以下の光クロック信号を入射して、65GHz バンド幅のサンプリングオシロスコープにより、Si ナノフォトダイオードからの出力波形をモニターした. 出力半値幅は 1V バイアスの時 17ps であり、dc バイアスの上昇により検出器の限界である 15ps 程度に飽和した. すなわち、Si ナノフォトダイオードは、CMOS 回路と整合可能な比較的低いバイアス電圧の場合でも高速に動作することが分かる.

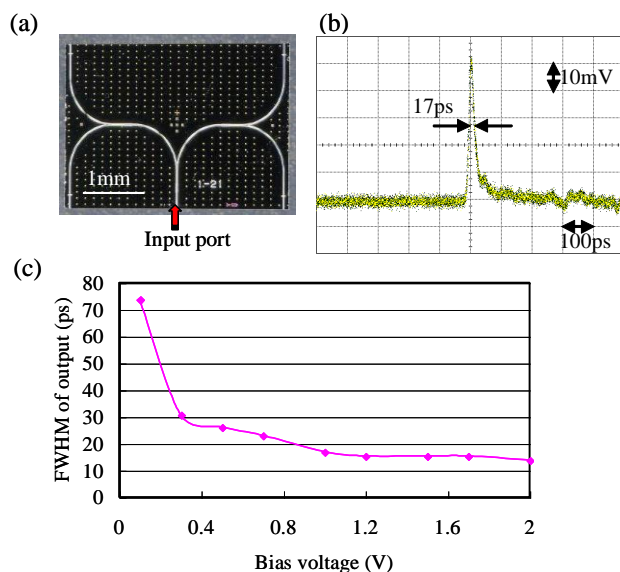


図 5.20(a)光クロック配信用に作製した光チップの写真, (b) Si ナノフォトダイオードに 1V の dc バイアスを印加した時の過渡応答出力波形, (c)出力半値幅の dc バイアス電圧依存性¹¹⁾

最後にオンチップ光クロック配信の実証実験に関して紹介する。図 5.21(a) および(b)に作製した LSI 上光クロック実証チップの写真と接続構造の断面 SEM 写真を示す。光チップは LSI と電気的に接続されており、光チップに形成された Cu ビアおよび半田バンプを介して LSI とチップ積層されている。図 5.21(c)はオンチップクロック配信用のトランスインピーダンスアンプの回路図である。Si ナノフォトダイオードからのフォトカレントは、この TIA 回路により電圧信号に変換されて出力されることになる。図 5.21(d)は 5GHz の光信号を上記光クロック実証チップに導入した時の LSI からの出力波形である。光信号は 850nm 波長、4mW 出力の CW 光源からの光をニオブ酸リチウムからなる外部光変調器により変調した。5GHz の出力信号は、4 分岐構造を有する LSI オンチップ光クロック構造において得られており、将来のオンチップ光インターコネクに非常に期待される結果であると考えられる。

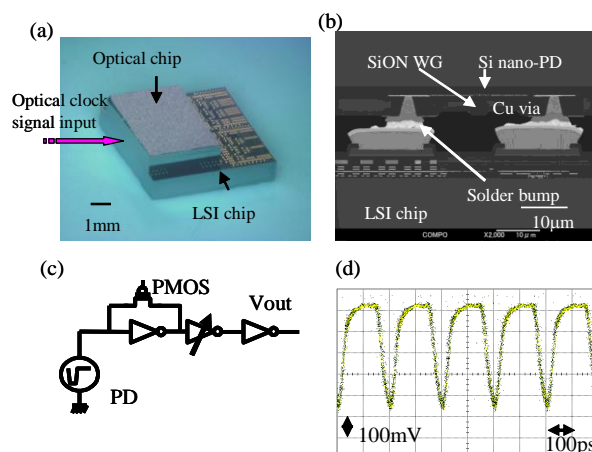


図5.21(a)LSI上光クロック実証チップの写真, (b)接続構造の断面SEM写真, (c)オンチップクロック配信用のトランスインピーダンスアンプの回路図, (d) 5GHzの光信号を光クロック実証チップに導入した時のLSIからの出力波形¹¹⁾

5-6 オンチップ波長多重信号配信の検討

図5.22に波長多重(WDM)信号伝送用SiON導波路回路チップの写真と伝送スペクトルのシミュレーション結果を示す. WDM用SiON導波路回路は、MMI (multi-mode interference) フィルターとインターリーブ構造からなる. MMI フィルターは、780 nm波長帯の光信号をbarポートに出力し、850 nm波長帯の光信号をcrossポートに出力するように設計されている. インターリーブ構造は、FSR (free spectral range)が約4 nmで識別出来るように設計されている. 図5.23はSiナノフォトダイオードと光結合したWDM導波路の光学写真である. Si nano-PD は、780nm波長のクロック信号と850nm波長帯のデータ信号を受信してLSIと接続される.

図5.24にWDM信号伝送用SiON導波路回路チップからの出力スペクトルを示す. 設計通り、barポートからクロック信号伝送用の780 nm波長帯のスペクトル波形が観測され、crossポートからは2ポートに分離して850nm波長帯のスペクトル

ル波形が約4nmのFSRで出力されている。この時、クロック信号が出力されるport1とデータ信号が出力されるport2およびport3とのクロストークは約-12 dBであり、データ信号が出力されるport2およびport3のクロストークは-12 dB以下であった。これは、オンチップ光インターコネクトを実現する上では十分な値であった。

図5.25はport1から出力されたクロック信号をSiナノフォトダイオードで検出した時の出力波形である。10 GHz間隔のクロック信号が、WDM導波路を通してSi nano-PDで検出されていることを検証した。

次に、このWDM光回路をプロトタイプのオンチップWDM信号伝送に適用した結果を示す。WDM光回路は、CuビアとAuSnバンプの接続を介してLSIと電気接続している (図5.26)。データ信号は、850 nm帯で波長制御可能なCW (continuous wave) 光源からの出力光をニオブ酸リチウム外部光変調器により光信号に変換される。入力された光信号は、約2nmの間隔でSiナノフォトダイオードにより電流信号に変換され、さらにTIA (transimpedance amplifier)回路により電気信号に変換され出力される。LSIオンチップWDM光システムにより、3-5GHzの出力信号出力が得られた(図5.27)。

以上より、オンチップ光インターコネクト用に開発した表面プラズモンアンテナを有する導波路結合Siナノフォトダイオードを開発した。WDM光信号は、MMIフィルターとインターリーブ構造により分波され、-12dB以下のクロストークで出力ポートからSiナノフォトダイオードにより光検出された。10 GHzでのクロック伝送と表面プラズモンアンテナによるエンハンスされた受信感度が得られた。さらに、プロトタイプのオンチップWDM光回路に適用し、LSI回路動作として3-5GHz動作を実証した。

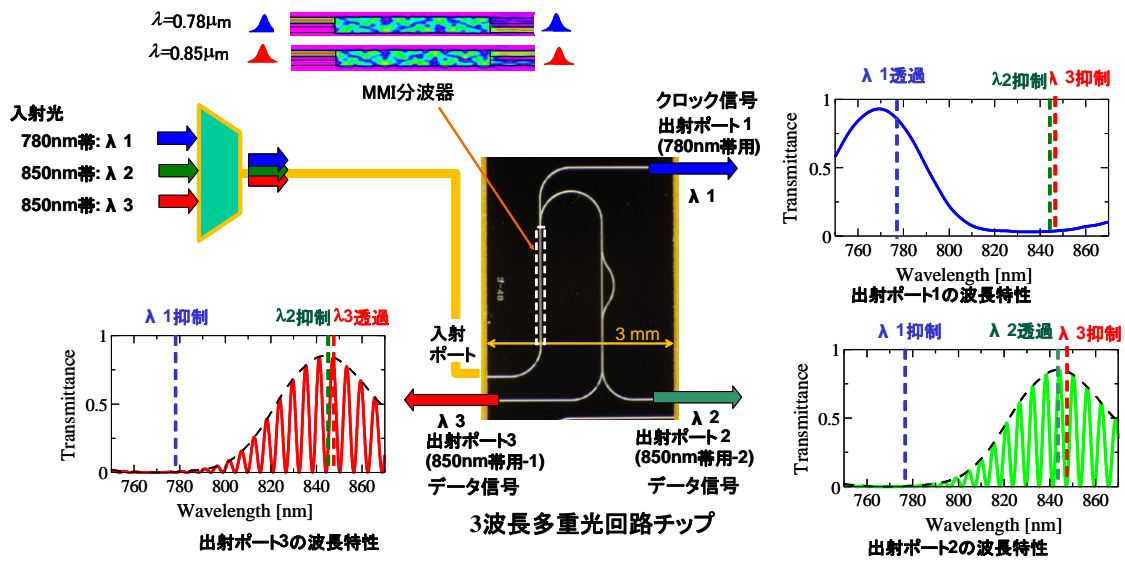


図 5.22 波長多重(WDM)信号伝送用 SiON 導波路回路チップの写真と伝送スペクトルのシミュレーション結果

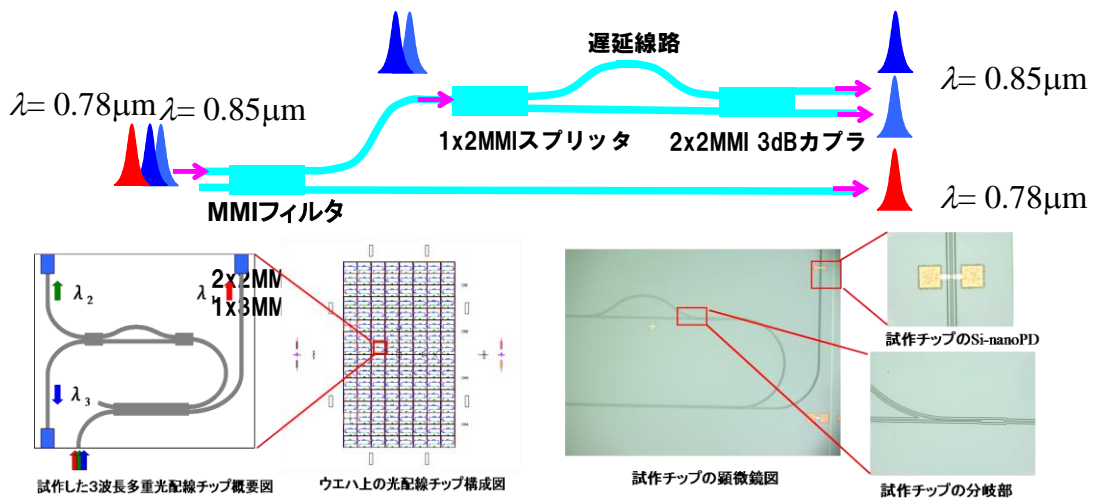


図 5.23 Si ナノフォトダイオードと光結合した WDM 導波路の光学写真

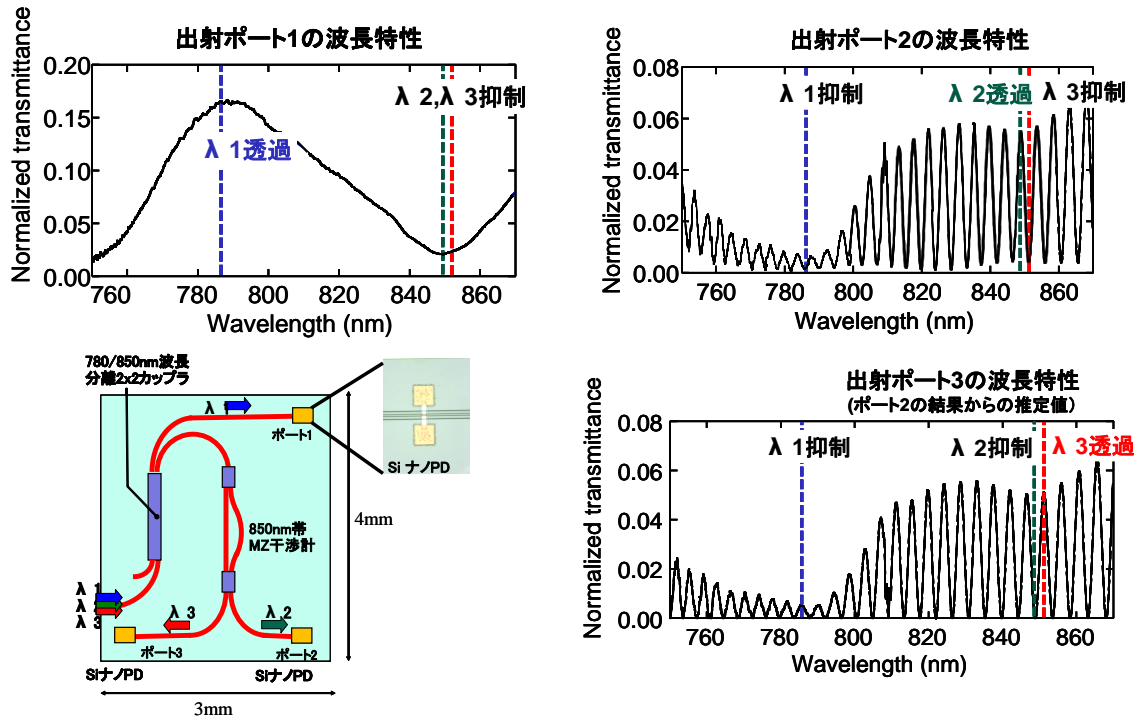
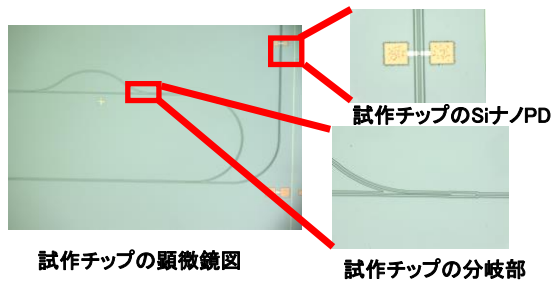


図 5.24 WDM 信号伝送用 SiON 導波路回路チップからの出力スペクトル

■ SiナノPDと集積し、波長多重光回路とSiナノPDの高效率光結合を実現



- 3波長(うち1波はクロック用10GHzパルス信号)の分離を確認
- 他ポートへのクロストークは-12dB以下

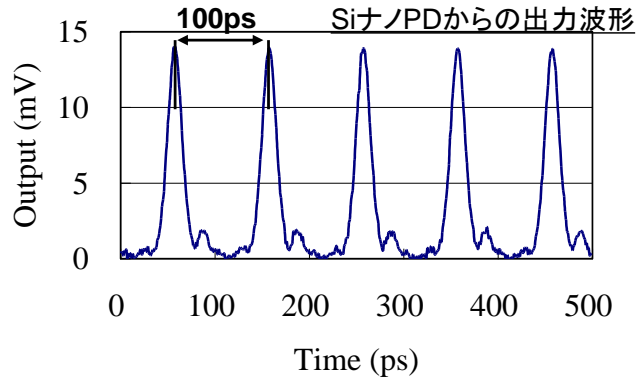


図 5.25 は port1 から出力されたクロック信号を Si ナノフォトダイオードで検出した時の出力波形

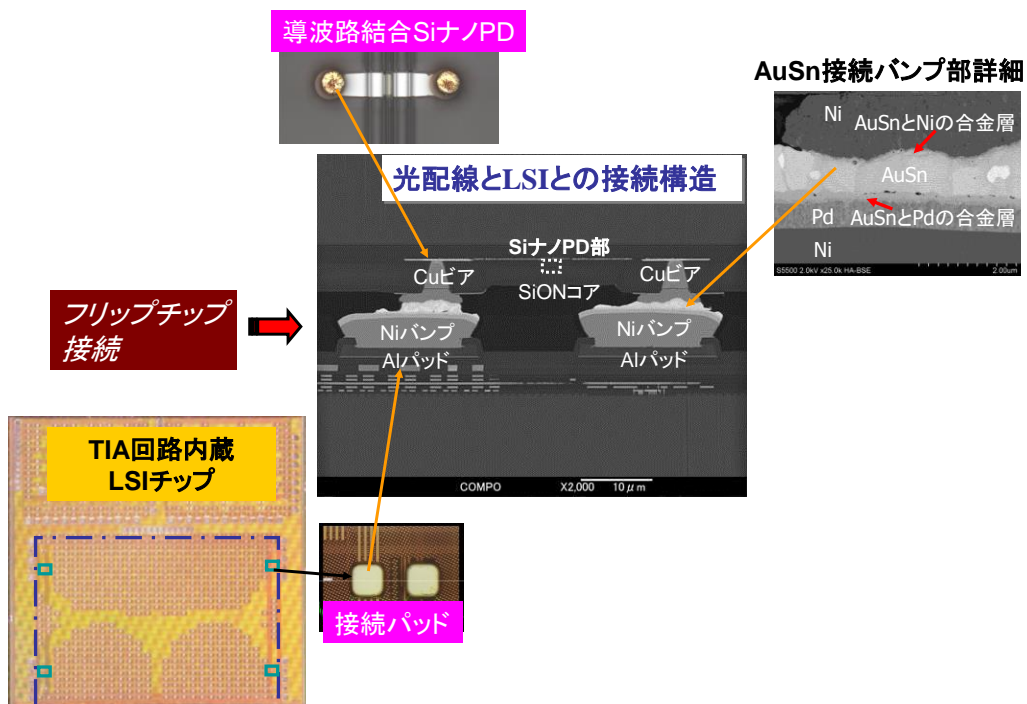


図 5.26 WDM 光回路と LSI とのフリップチップ実装による接続

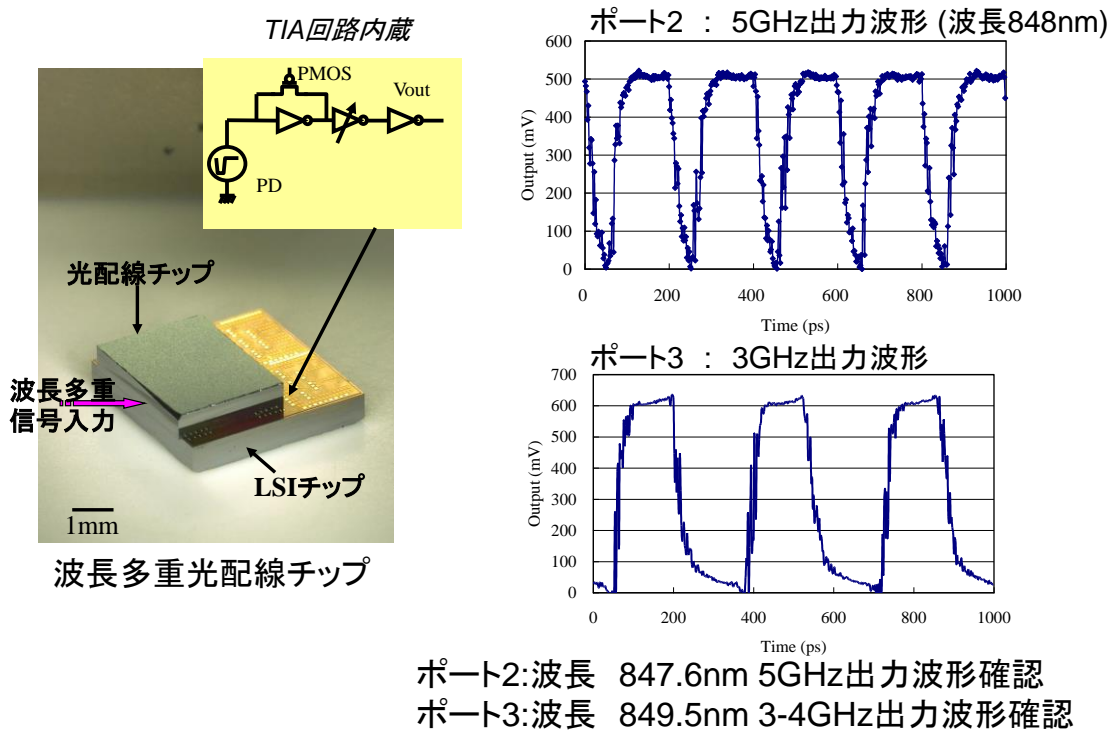


図 5.27 LSI オンチップ WDM 光システムによる LSI からの信号出力

5-7 まとめ

VLSI において基本となる Si-CMOS 技術と融合した Si フォトニクス概念をさらに発展させた、新しいコンセプトからなる Si ナノフォトダイオードに関して検討した。表面プラズモンアンテナを利用することにより、波長以下のサイズに光エネルギーを閉じ込め、これを近接場光として Si 中に入射することにより、従来困難とされた Si フォトダイオードの高速化および高効率化の両立が実現可能なことを示した。さらに、増強された近接場光の Si 中への浸入長は極めて小さく、非常に低いバイアス電圧により高速に光電変換が可能となることが明らかとなった。

また、LSI 上の光配線と集積化可能な導波路結合型 Si ナノフォトダイオードを開発し、その小型・高速動作を実証すると共に、TIA 回路を内蔵した LSI とチップ接続することにより、光クロック配信への応用を実証した。また、オンチップで光配線アーキテクチャとしてメリットがあると期待される、データ信号とクロック信号の同時伝送に関して初期実証を行い、将来の LSI グローバル配線の限界打破に向けた検討を行った。近接場光を利用した Si ナノフォトニクスが将来 LSI に新しい機能性をもたらす先駆けとなることを期待すると共に、更なる高性能化とフォトニクスとエレクトロニクスとの融合について検討していく予定である。

第5章の参考文献

- 1) 和田 一実, ライオネル キマリング : 応用物理 **68**, 1034 (1999) .
- 2) H. Wada, H.-C. Luan, D. R. C. Lim and L. C. Kimerling : Proceedings of SPIE **4870**, 437 (2002)
- 3) G. T. Reed and A. P. Knights: *Si Photonics* (John Wiley & Sons, 2004).
- 4) 吉國 裕三 : 応用物理 **74**, 766 (2005).
- 5) S. Donati: *Photodectors* (Prentice Hall PTR, New Jersey, 2000).
- 6) J. Fujikata, T. Ishi, H. Yokota, K. Kato, M. Yanagisawa, M. Nakada, K. Ishihara, K. Ohashi, T. Thio and R. A. Linke: Trans. Magn. Soc. Jpn. **3**, 255 (2004).
- 7) T. Ishi, J. Fujikata and K. Ohashi, "Large Optical Transmission through a Single Subwavelength Hole Associated with a Sharp-Apex Grating," Jpn. J. Appl. Phys. **44**, L170 (2005).
- 8) J. Fujikata, T. Ishi, D. Okamoto, K. Nishi, and K. Ohashi, "Highly Efficient Surface-Plasmon Antenna and its Application to Si Nano-Photodiode," 2006 IEEE LEOS 19th Ann. Meeting Proc., 476 (2006).
- 9) T. Ishi, J. Fujikata, K. Makita, T. Baba and K. Ohashi, "Si Nano-Photodiode with a Surface Plasmon Antenna," Jpn. J. Appl. Phys. **44**, L364 (2005).
- 10) J. Fujikata, T. Ishi, K. Makita, T. Baba, and K. Ohashi, Proc. Int. Conf. Solid State Devices and Materials, Kobe, E-3-3 (2005).
- 11) J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, "Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-chip Optical Clock Distribution", Appl. Phys. Express **1**, 022001 (2008).
- 12) J. Fujikata, J. Ushida, D. Okamoto, A. Gomyo, K. Nishi, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, "Si Nano-Photodiode with a Surface-Plasmon Antenna for SiON Waveguide-Integrated

- Structure,” 2007 IEEE/LEOS Ann. Meeting Conf. Proc., 929 (2007).
- 13) J. Fujikata, J. Ushida, M. Kinoshita, T. Shimizu, M. Noguchi, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, “Waveguide-Integrated Si Nano-Photodiode and its Application to On-Chip WDM Signal Transport,” 2009 Silicon Nanoelectronics Workshop.
 - 14) D. A. B. Miller, A. Bhatnagar, S. Palermo, A. Emami-Neyestanak, and M. A. Horowitz, ISSCC Dig. Tech. Papers, 86 (2005).
 - 15) J. -F. Zheng, F. H. Robertson, E. Mohammed, I. Young, D. Ahn, K. Wada, J. Michel, and L. C. Kimerling, OSA top. M. Tech. Dig., Opt. Comp., 20 (2003).
 - 16) K. Ohashi, J. Fujikata, M. Nakada, T. Ishi, K. Nishi, H. Yamada, M. Fukaishi, M. Mizuno, K. Nose, I. Ogura, Y. Urino, and T. Baba, ISSCC Dig. Tech. Papers, 426 (2006).
 - 17) T. Ishi, J. Fujikata, K. Makita, T. Baba, and K. Ohashi: Jpn. J. Appl. Phys. **44**, L364 (2005).
 - 18) A. Gomyo, J. Ushida, J. Fujikata, D. Okamoto, K. Nishi, K. Ohashi, T. Tsuchizawa, T. Watanabe, K. Yamada, and S. Itabashi, Ext. Abst. Jpn. Soc. Appl. Phys. 7p-R-2 (2007).
 - 19) T. Tsuchizawa, K. Yamada, H. Fukuda, T. Watanabe, J. Takahashi, M. Takahashi, T. Shoji, E. Tamechika, S. Itabashi, and H. Morita, IEEE J. Sel. Top. Quantum Electron. **11**, 232 (2005).
 - 20) J. Ushida, A. Gomyo, J. Fujikata, D. Okamoto, K. Nishi, K. Ohashi, T. Watanabe, T. Tsuchizawa, K. Yamada, and S. Itabashi, Ext. Abstr. Solid State Devices and Materials, 278 (2007).
 - 21) T. Tsuchizawa, K. Yamada, T. Watanabe, H. Fukuda, S. Itabashi, J. Ushida, A. Gomyo, J. Fujikata, D. Okamoto, K. Nishi, and K. Ohashi, 13th Microoptics Conf. Proc., 60 (2007).
 - 22) J. Fujikata, D. Okamoto, K. Nishi, and K. Ohashi, IEEE/LEOS GFP 2007 Conf. Proc., 291 (2007).

第6章 結論

ビッグデータや IoT (Internet of things)による飛躍的なデータ量の増大により、データセンターにおけるインターコネクトは、システムアーキテクチャのみならず、デバイス・ハードウェアのレベルまで大きな変換点に直面しつつあると考えられる。シリコンフォトニクスは、導波路コア層とクラッド層との比屈折率差が大きい Si 導波路を用いることにより、電子回路と同等のサイズの光集積回路を実現することが可能であり、光電子融合基盤技術として有望であると考えられる。シリコンフォトニクスによる光集積回路において、伝送密度や消費電力を大きく左右するシリコンフォトニックデバイスとして、Si 光変調器および Si 上に選択成長可能な Ge を用いた Ge 受光器の開発が非常に重要であると考えられ、欧米をはじめとして日本においても大型プロジェクトが発足し、しのぎを削ってきている。

本論文では、LSI チップ間に適用可能な Si 光変調器と Ge 受光器に関する検討結果を紹介し、Si フォトニクスにおける光インターコネクトが実用化される上で達成すべき性能指標と、これを上回る世界最高水準の性能実証を行った。

Si 光変調器に関しては、MOS 型光変調器の最大の課題である多結晶シリコン膜の高品質化のメカニズムとして結晶粒界に存在するアモルファス層におけるサブバンドギャップを低減することが重要であることを示し、2 段階アニール法や成膜原料ガスの検討により、光学損失が小さく、導電率も非常に高い多結晶シリコン膜の開発に成功した。このような多結晶シリコン膜は単結晶 Si 膜と同等の特性を示し、単結晶 Si 膜の物性値をベースとしたデバイス設計とほぼ一致する結果が得られた。

高品質多結晶シリコン膜を適用した MOS 型光変調器は、ゲート酸化膜厚が均一であるために、比較的安定して高性能な光変調特性が得られると共に、接合構

造や断面構造の工夫により、更なる特性改善が期待出来る。

一方、Soref のモデル式は Si のキャリアプラズマ効果の限界を示していること捉えることも出来、物性値の限界を打破する試みとして、歪 SiGe を用いた Si 変調器に関しても提案・検討し、Si 変調器の理論値を上回る変調効率が得られた。Si フォトニクスは、CMOS ラインで大量生産可能であるというコストメリットも大きいため、性能のみならず量産の観点でも材料選択をする必要があることは確かである。SiGe は、LSI でも汎用的に適用されている材料であり、LSI と同様のコンセプトで、デバイス性能向上が実証出来た点で有意義であると考えられる。キャリアプラズマ効果は、光減衰係数も伴うため、これを考慮したデバイス設計が今後重要となると考えられる。また、今回の検討では扱えなかったが、Si 光変調器の今後の低消費電力化に向けて、電気容量が一桁以上小さい光吸収型の SiGe 変調器も今後重要になってくると考えられる。

Ge 受光器に関しては、高速・高効率という観点では多くの報告例があるが、Ge 層は結晶欠陥が大きいことや、Ge 層表面に形成される酸化層が化学的に不安定であるために、従来実用化には大きな壁が存在した。本論文においては、Ge 層上へキャップ保護層を適用し、Ge 層表面の結晶欠陥準位を低減することにより、暗電流を低減すると共に、従来提案されてきた Si キャップ層を SiGe 層に置き換えることにより、特性ばらつきの指標である暗電流の均性を改善した。また、キャップ層を導入することにより、ゼロバイアスにおける内部電位もエンハンスされ、低バイアス電圧で高速動作を実証した。

さらに、Si 導波路中に Ge 層を埋め込んだバット結合型 Ge 受光器も検討し、電気容量を一桁程度低減し、電気アンプ回路を含めた低消費電力化への展開の可能性を示すと共に、小型集積化に向けた実証も行った。これらの結果は、CMOS 回路と Si フォトニクス集積回路とのモノリシック集積による LSI 回路

パフォーマンスの向上に大きく寄与していくものと考えられ、LSI チップ間伝送密度向上へのブレークスルー技術になると期待される。

本論文では、Si フォトニックデバイスの更なる高集積化に向けて、表面プラズモン共鳴を利用した Si ナノフォトダイオードに関して、提案・検討を行った。表面プラズモンアンテナは、外部から入射する光を集光する機能があり、3次元的な配線構造には適用可能であるが、2次元光回路には適用することが困難であった。従って、新たに導波路結合型の Si ナノフォトダイオードを提案し、光クロック配信や波長多重光回路との光結合実証を行った。Si ナノフォトダイオードは、電気容量が 10fF 以下であり、TIA 回路も低電力な回路設計が可能であった。今回は 90nm CMOS において、5GHz の動作確認を行ったが、CMOS 回路のテクノロジーノードの発展に合わせて更なる高速化も可能である。LSI チップ間配線が光配線へと置き換えられるに伴って、LSI 内での高速電気配線のクロストークや損失の問題も顕在化してくると考えられる。LSI チップ間から LSI チップ内への光導入は、非常に魅力的な技術であり、将来的にどこまでシームレスに光配線が導入されるか、CMOS-LSI チップのインターフェース規格も含めて、検討が継続されていくことに期待したい。

以上より、ハイエンドコンピュータの性能向上やデータセンター内でのインターコネクタの高密度化・低消費電力化が実現可能な LSI チップ間光インターコネクタ用 Si フォトニックデバイスを実現した。

表面プラズモン共鳴効果を利用することにより、波長以下のオーダーで Si フォトニックデバイスの小型化・高集積化が可能であり、今後 CMOS 回路とのモノリシック集積に向けた検討が期待される。

研究業績

各章に関連する研究成果：

第3章：MOS型Si光変調器の検討

学術論文：

- [1] J. Fujikata, S. Takahashi, M. Takahashi, M. Noguchi, T. Nakamura, and Y. Arakawa, “High-performance MOS capacitor-type Si optical modulator and surface-illumination-type Ge photodetector for optical interconnection,” Jpn. J. Appl. Phys., in press.
- [2] J. Fujikata, M. Takahashi, S. Takahashi, T. Horikawa, and T. Nakamura, “High-speed and high-efficiency Si optical modulator with MOS junction, using solid-phase crystallization of polycrystalline silicon,” Jpn. J. Appl. Phys., in press.

主要国際学会：

- [3] J. Fujikata, J. Ushida, Y. Ming-Bin, Z. S. Yang, D. Liang, P. Lo Guo-Qiang, D-L Kwong, and T. Nakamura, “25 GHz operation of Si modulator with projection MOS junction structure”, Optical Fiber Conf. 2010, OMI3. (+新聞発表)
- [4] J. Fujikata, S. Takahashi, M. Takahashi, and T. Horikawa, “High Speed and Highly Efficient Si Optical Modulator with MOS Junction for 1.55 μm and 1.3 μm Wavelengths,” Proc. 10th Int. Conf. Group IV Photonics, 65 (2013).

第4章：Ge受光器の検討

学術論文：

- [1] J. Fujikata, M. Miura, M. Noguchi, D. Okamoto, T. Horikawa and Y. Arakawa, “Si Waveguide-Integrated Metal-Semiconductor-Metal and p-i-

n-Type Ge Photodiodes Using Si-Capping Layer," Jpn. J. Appl. Phys. **52**, 04CG10 (2013).

- [2] M. Miura, J. Fujikata, M. Noguchi, D. Okamoto, T. Horikawa, and Y. Arakawa, "Differential Receivers with Highly -Uniform MSM Germanium Photodetectors Capped by SiGe Layer," Optics Express **21** (20), 23295 (2013).

主要学会

- [3] J. Fujikata, M.Miura, M. Noguchi, and Y. Arakawa, "Si Waveguide-Integrated High-Speed Ge Photodetector," 226th Meeting of the Electrochemical Society (2014). (Invited paper)

第5章：表面プラズモンを用いた Si ナノフォトダイオードおよびオンチップ光配線への応用

学術論文

- [1] J. Fujikata, T. Ishi, H. Yokota, K. Kato, M. Yanagisawa, M. Nakada, K. Ishihara, K. Ohashi, T.Thio, and R. A. Linke, "Surface plasmon enhancement effect and its application to near-field optical recording," Trans. Magn. Soc. Jpn. **4**, 255 (2004). (表面プラズモン効果の詳細解析)
- [2] J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, "Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-chip Optical Clock Distribution," Appl. Phys. Express **1**, 022001 (2008).

- [3] J. Fujikata, K. Nishi, A. Gomyo, J. Ushida, T. Ishi, H. Yukawa, D. Okamoto, M. Nakada, T. Shimizu, M. Kinoshita, K. Nose, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, "LSI On-Chip Optical Interconnection with Si Nano-Photonics," IEICE Trans. Electron. E91-C, No. 2 131 (2008). (Invited paper)
- [4] T. Ishi, J. Fujikata, K. Makita, T. Baba, and K. Ohashi, "Si Nano-Photodiode with a Surface Plasmon Antenna," Jpn. J. Appl. Phys., Part 2 44 L364 (2005). (JJAP 論文賞)

主要学会 :

- [5] K. Ohashi, J. Fujikata, M. Nakada, T. Ishi, K. Nishi, H. Yamada, M. Fukaishi, M. Mizuno, K. Nose, I. Ogura, Y. Urino, and T. Baba, "Optical Interconnect Technologies for High-Speed VLSI Chips Using Silicon Nano-Photonics," ISSCC 2006, 1686 (2006). (Solicited paper)
- [6] J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi , "Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-chip Optical Clock Distribution," IEEE/LEOS GFP 2008 Conf. Proc., p. 176. (Invited)
- [7] K. Nishi, J. Fujikata, D. Okamoto, and K. Ohashi, "Development of Nano-Photodiodes with a Surface Plasmon Antenna," IEEE/LEOS 2007, p. 574. (Invited)
- [8] J. Fujikata, J. Ushida, D. Okamoto, A. Gomyo, K. Nishi, T. Tsuchizawa, T. Watanabe, K. Yamada, and K. Ohashi, "Si Nano-Photodiode with a Surface

Plasmon Antenna for SiON Waveguide Integrated Structure," IEEE/LEOS
2007, p.929. (新聞発表 : オンチップ光配線の実証)

1. 原著論文

- [1] J. Fujikata, T. Ishi, H. Yokota, K. Kato, M. Yanagisawa, M. Nakada, K. Ishihara, K. Ohashi, T. Thio, and R. A. Linke, "Surface plasmon enhancement effect and its application to near-field optical recording," *Trans. Magn. Soc. Jpn.*, **4**, 255 (2004).
- [2] T. Ishi, J. Fujikata, K. Makita, T. Baba, and K. Ohashi, "Si Nano-Photodiode with a Surface Plasmon Antenna," *Jpn. J. Appl. Phys., Part 2* **44** L364 (2005).
- [3] T. Ishi, J. Fujikata, and K. Ohashi, "Large Optical Transmission through a Single Subwavelength Hole Associated with a Sharp-Apex Grating," *Jpn. J. Appl. Phys., Part 2* **44** L170 (2005).
- [4] J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, "Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-chip Optical Clock Distribution," *Appl. Phys. Express* **1**, 022001 (2008).
- [5] J. Fujikata, K. Nishi, A. Gomyo, J. Ushida, T. Ishi, H. Yukawa, D. Okamoto, M. Nakada, T. Shimizu, M. Kinoshita, K. Nose, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, "LSI On-Chip Optical Interconnection with Si Nano-Photonics," *IEICE Trans. Electron.* E91-C, No. 2 131 (2008).
- [6] J. Fujikata, M. Miura, M. Noguchi, D. Okamoto, T. Horikawa and Y. Arakawa, "Si Waveguide-Integrated Metal-Semiconductor-Metal and p-i-

- n-Type Ge Photodiodes Using Si-Capping Layer,” Jpn. J. Appl. Phys. **52**, 04CG10 (2013).
- [7] M. Miura, J. Fujikata, M. Noguchi, D. Okamoto, T. Horikawa, and Y. Arakawa, “Differential Receivers with Highly -Uniform MSM Germanium Photodetectors Capped by SiGe Layer,” Optics Express **21**, 23295 (2013).
- [8] J. Fujikata, S. Takahashi, M. Takahashi, M. Noguchi, T. Nakamura, and Y. Arakawa, “High-performance MOS capacitor-type Si optical modulator and surface-illumination-type Ge photodetector for optical interconnection,” Jpn. J. Appl. Phys., in press.
- [9] J. Fujikata, M. Takahashi, S. Takahashi, T. Horikawa, and T. Nakamura, “High-speed and high-efficiency Si optical modulator with MOS junction, using solid-phase crystallization of polycrystalline silicon,” Jpn. J. Appl. Phys., in press.
- [10] D. Okamoto, J. Fujikata, K. Nishi, and K. Ohashi, “Numerical Study of Near-Infrared Photodetectors with Surface-Plasmon Antenna for Optical Communication,” Jpn. J. Appl. Phys. **47**, 2921 (2008).
- [11] D. Okamoto, J. Fujikata, and K. Ohashi, “InGaAs Nano-Photodiode Enhanced Using Polarization-Insensitive Surface-Plasmon Antennas,” Jpn. J. Appl. Phys. **50**, 120201 (2011).
- [12] T. Tsuchizawa, T. Watanabe, K. Yamada, H. Fukuda, S. Itabashi, J. Fujikata, A. Gomyo, J. Ushida, D. Okamoto, K. Nishi, and K. Ohashi, “Low-loss Silicon Oxynitride Waveguides and Branches for the 850-nm-Wavelength Region,” Jpn. J. Appl. Phys. **47**, 6739 (2008).
- [13] S. Kono, A. Kirihara, A. Tomita, K. Nakamura, J. Fujikata, K. Ohashi, H. Saito, and K. Nishi, “Excitonic molecule in a quantum dot: Photoluminescence life time of a single InAs/GaAs quantum dot,” Phys. Rev.

- B **72**, 155307 (2005).
- [14] Keishi Ohashi, Kenichi Nishi, Takanori Shimizu, Masafumi Nakada, Junichi Fujikata, Jun Ushida, Sunao Torii, Koichi Nose, Masayuki Mizuno, Hiroaki Yukawa, Masao Kinoshita, Nobuo Suzuki, Akiko Gomyo, Tsutomu Ishi, Daisuke Okamoto, Katsuya Furue, Toshihide Ueno, Tai Tsuchizawa, Toshifumi Watanabe, Koji Yamada, Sei-ichi Itabashi, Jun Akedo, “On-chip optical interconnect,” *Proceedings of the IEEE* **97**, 1186 (2009).
- [15] 藤方潤一, 石勉, 柳沢雅広, 大橋啓之, “金属微細構造による光透過率増大と光記録への応用,” *レーザー研究* **34**, 353 (2006).
- [16] 藤方潤一, 大橋啓之, 最上徹, *光学* **40**, 98 (2011).
- [17] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, “Demonstration of record-low injection-current variable optical attenuator based on strained SiGe with optimized lateral pin junction,” *Optics Express* **23**, 12354 (2015).
- [18] Yutaka Urino, Takanori Shimizu, Makoto Okano, Nobuaki Hatori, Masashige Ishizaka, Tsuyoshi Yamamoto, Takeshi Baba, Takeshi Akagawa, Suguru Akiyama, Tatsuya Usuki, Daisuke Okamoto, Makoto Miura, Masataka Noguchi, Junichi Fujikata, Daisuke Shimura, Hideaki Okayama, Tai Tsuchizawa, Toshifumi Watanabe, Koji Yamada, Seiichi Itabashi, Emiko Saito, Takahiro Nakamura, and Yasuhiko Arakawa, “First demonstration of high density optical interconnects integrated with lasers, optical modulators, and photodetectors on single silicon substrate,” *Optics Express* **19**, B159 (2011).
- [19] Yutaka Urino, Yoshiji Noguchi, Masataka Noguchi, Masahiko Imai,

Masashi Yamagishi, Shigeru Saitou, Naoki Hirayama, Masashi Takahashi, Hiroyuki Takahashi, Emiko Saito, Takanori Shimizu, Makoto Okano, Nobuaki Hatori, Masashige Ishizaka, Tsuyoshi Yamamoto, Takeshi Baba, Takeshi Akagawa, Suguru Akiyama, Tatsuya Usuki, Daisuke Okamoto, Makoto Miura, Junichi Fujikata, Daisuke Shimura, Hideaki Okayama, Hiroki Yaegashi, Tai Tsuchizawa, Koji Yamada, Masahiko Mori, Tsuyoshi Horikawa, Takahiro Nakamura, and Yasuhiko Arakawa, "Demonstration of 12.5-Gbps Optical Interconnects Integrated with Lasers, Optical Splitters, Optical Modulators and Photodetectors on a Single Silicon Substrate," *Optics Express* **20**, B256 (2012).

[20] Yutaka Urino, Tatsuya Usuki, Junichi Fujikata, Masashige Ishizaka, Koji Yamada, Tsuyoshi Horikawa, Takahiro Nakamura, and Yasuhiko Arakawa, "High-density and wide-bandwidth optical interconnects with silicon optical interposers [Invited]," *Photon. Res.* **2**, (2014).

[21] Yutaka Urino, Nobuaki Hatori, Kenji Mizutani, Tatsuya Usuki, Junichi Fujikata, Koji Yamada, Tsuyoshi Horikawa, Takahiro Nakamura, and Yasuhiko Arakawa, "First Demonstration of Athermal Silicon Optical Interposers With Quantum Dot Lasers Operating up to 125 °C," *J. Lightwave Technology* **33**, (2015).

2. 国際学会

[1] K. Ohashi, J. Fujikata, M. Nakada, T. Ishi, K. Nishi, H. Yamada, M. Fukaishi, M. Mizuno, K. Nose, I. Ogura, Y. Urino, and T. Baba, "Optical Interconnect Technologies for High-Speed VLSI Chips Using Silicon Nano-

- Photonics," ISSCC 2006, 1686 (2006).
- [2] J. Fujikata, J. Ushida, Y. Ming-Bin, Z. S. Yang, D. Liang, P. Lo Guo-Qiang, D-L Kwong, and T. Nakamura, "25 GHz operation of Si modulator with projection MOS junction structure", Optical Fiber Conf. 2010, OMI3.
- [3] Junichi Fujikata, Yutaka Urino, Suguru Akiyama, Takanori Shimizu, Nobuaki Hatori, Makoto Okano, Masashige Ishizaka, Tsuyoshi Yamamoto, Takeshi Baba, Takeshi Akagawa, Tatsuya Usuki, Daisuke Okamoto, Makoto Miura, Masataka Noguchi, Daisuke Shimura, Hideaki Okayama, Tai Tsuchizawa, Toshifumi Watanabe, Koji Yamada, Seiichi Itabashi, Emiko Saito, Kazumi Wada, Takahiro Nakamura, and Yasuhiko Arakawa, " Differential Signal Transmission in Silicon-Photonics Integrated Circuit for High Density Optical Interconnects," Proc. 8th Int. Conf. Group IV Photonics, 365 (2011).
- [4] Junichi Fujikata, Masashi Takahashi, Shigeki Takahashi, Takeshi Akagawa, Masataka Noguchi, Tsuyoshi Horikawa, and Yasuhiko Arakawa," High Speed and High Efficiency Si Optical Modulator with MOS Junction,Using Large-Grain of Poly-Silicon Gate," Proc. Int. Conf. SSDM2012, 518.
- [5] T. Horikawa, M. Takahashi, J. Fujikata, S. Takahashi, T. Akagawa, M. Noguchi, and N. Yamamoto, "Low-Loss Polycrystalline Silicon Waveguides for High-Efficiency Optical Modulator," Ext. Abstr. Solid State Devices and Materials, 2012, p. 222.
- [6] J. Fujikata, M. Noguchi, M. Miura, D. Okamoto, T. Horikawa, and Y. Arakawa, " 45 GHz Bandwidth of Si Waveguide-Integrated PIN Ge Photodiode, and its Zero-Bias Voltage Operation," Ext. Abstr. Solid State

- Devices and Materials, 2012, p. 578.
- [7] J. Fujikata, S. Takahashi, M. Takahashi, and T. Horikawa, “High Speed and Highly Efficient Si Optical Modulator with MOS Junction for 1.55 μm and 1.3 μm Wavelengths,” Proc. 10th Int. Conf. Group IV Photonics, 65 (2013).
- [8] J. Fujikata, M. Noguchi, M. Miura, D. Okamoto, T. Horikawa, and Y. Arakawa, “High Performance Silicon Waveguide-Integrated PIN and Schottky Ge Photodiodes and their Link with Inverter-Type CMOS TIA Circuits,” Ext. Abstr. Solid State Devices and Materials, 2013, p. 980.
- [9] Junichi Fujikata, Shigeki Takahashi, Masashi Takahashi, Masataka Noguchi, Hidemi Noguchi, Tsuyoshi Horikawa, Takahiro Nakamura, and Yasuhiko Arakawa, “MOS Capacitor Type Si Optical Modulator Integrated with Ge Photodetector, and its High Speed Operation with CMOS Driver,” Ext. Abstr. Solid State Devices and Materials, 2014, p. 508.
- [10] J. Fujikata, M. Miura, M. Noguchi, and Y. Arakawa, “Si Waveguide-Integrated High-Speed Ge Photodetector (Invited talk),” 226th Meeting of the Electrochemical Society (2014).
- [11] J. Fujikata, M. Noguchi, Y. Kim, S. Takahashi, T. Nakamura, and M. Takenaka, Proc. of GFP2015, 13 (2015).
- [12] J. Fujikata, S. Takahashi, M. Takahashi, M. Noguchi, M. Miura, T. Nakamura, and Y. Arakawa, Ext. Abstr. Solid State Devices and Materials, 2015, p. 590.
- [13] J. Fujikata, M. Noguchi, M. Miura, D. Okamoto, T. Horikawa, and Y. Arakawa, “Si Waveguide-Integrated MSM Ge Photodiode,” Ext. Abstr. Solid State Devices and Materials, 2011, p. 813.
- [14] J. Fujikata, D. Okamoto, K. Nishi, and K. Ohashi, “Highly Efficient

- Surface-Plasmon Antenna and its Application to Si Nano-Photodiode,” IEEE/LEOS GFP 2007 Conf. Proc., p. 291.
- [15] J. Fujikata, K. Nose, J. Ushida, K. Nishi, M. Kinoshita, T. Shimizu, T. Ueno, D. Okamoto, A. Gomyo, M. Mizuno, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, "Waveguide-Integrated Si Nano-Photodiode with Surface-Plasmon Antenna and its Application to On-chip Optical Clock Distribution (invited)," IEEE/LEOS GFP 2008 Conf. Proc., p. 176.
- [16] K. Nishi, J. Fujikata, D. Okamoto, and K. Ohashi, "Development of Nano-Photodiodes with a Surface Plasmon Antenna (invited)," IEEE/LEOS 2007, p. 574.
- [17] M. Miura, J. Fujikata, M. Noguchi, D. Okamoto, T. Horikawa, and Y. Arakawa, "High-uniformity waveguide-integrated metal-semiconductor-metal germanium photodetector with SiGe capping layer and its application to differential receivers," IEEE/LEOS GFP 2012 Conf. Proc., p. 231.
- [18] Y. Kim, J. Fujikata, S. Takahashi, M. Takenaka, and S. Takagi, "SiGe-based carrier-injection Mach-Zehnder modulator with enhanced plasma dispersion effect in strained SiGe," Optical Fiber Conf. 2015, Tu2A.7.
- [19] K. Yashiki, Y. Suzuki, Y. Hagihara, M. Kurihara, M. Tokushima, J. Fujikata, A. Ukita, K. Takemura, T. Shimizu, D. Okamoto, J. Ushida, S. Takahashi, T. Uemura, M. Okano, J. Tsuchida, T. Nedachi, I. Ogura, J. Inasaka, K. Kurata, "5 mW/Gbps hybrid-integrated Si-photonics-based optical I/O cores and their 25-Gbps/ch error-free operation with over 300-m MMF," Optical Fiber Conf. 2015, Th1G.1.
- [20] J. Fujikata, J. Ushida, M. Kinoshita, T. Shimizu, M. Noguchi, T. Tsuchizawa, T. Watanabe, K. Yamada, S. Itabashi, and K. Ohashi, "Waveguide-Integrated Si Nano-Photodiode and Its Application to On-Chip WDM Signal Transport," 2009 Silicon Nanoelectronics Workshop.

3. 国内学会

- [1] 高橋正志、藤方潤一、野口将高、山本宗継、赤川武志、高橋博之、平山直紀、堀川剛 “多結晶シリコン導波路における導波損失機構の検討” 第 58 回応用物理学会春季講演会, 24a-KB-11 (2011).
- [2] 三浦真, 野口将高, 藤方潤一, 堀川 剛, 高橋 正志, 埜口 良二, 荒川 泰彦, “NiGe/n+ Ge コンタクトの低抵抗/浅接合化”, 第 58 回応用物理学会春季講演会, 25a-P3-17 (2011).
- [3] 野口 将高, 藤方潤一, 岡本 大典, 三浦 真, 堀川 剛, 荒川 泰彦, “MSM 型 Ge フォトダイオードと光電子集積に向けた受信回路の検討”, 応用物理学会春季講演会, 24p-KB-6 (2011).
- [4] 藤方潤一、高橋正志、野口将高、高橋重樹、山本宗継、赤川武志、高橋 博之、平山 直紀、堀川剛 “低損失多結晶 Si 光導波路と Si 光変調器への応用” 電子情報通信学会総合大会 2011 年 3 月 東京.
- [5] 野口将高, 藤方潤一, 三浦真, 岡本大典, 堀川剛, 荒川泰彦, “Si 導波路集積 MSM 型 Ge フォトダイオードの検討”, 第 72 回応用物理学会秋季講演会, 2p-ZN-1 (2011).
- [6] 岡本大典, 藤方潤一, 荒川泰彦, “光電子集積回路に向けた Ge 受光器用 TIA 回路の検討,” C-3-63 (2011).
- [7] 賣野豊, 中村隆宏, 藤方潤一, 荒川泰彦, “光配線応用に向けた光電子融合システム,” CI-1-3 (2011).
- [8] 藤方潤一, 高橋正志, 野口将高, 高橋重樹, 山本宗継, 赤川武志, 高橋博之, 平山直紀, 堀川剛, “低損失多結晶 Si 光導波路と光変調器への応用,” C-3-59 (2011).
- [9] 岡本大典, 藤方潤一, 荒川泰彦, “光電子集積回路に向けた Ge 受光器用 TIA 回路の検討Ⅱ,” C-3-34 (2011).
- [10] 高橋重樹, 藤方潤一, 中村隆宏, 荒川泰彦, “Projection MOS 構造を有する Si 光変調器の解析,” C-3-47 (2011).

- [11] 賣野豊, 清水隆徳, 岡野誠, 羽鳥伸明, 石坂正茂, 山本剛之, 馬場威, 赤川武志, 秋山傑, 臼杵達哉, 岡本大典, 三浦真, 野口将高, 藤方潤一, 志村大輔, 岡山秀彰, 土澤泰, 渡辺俊文, 山田浩治, 板橋聖一, 斉藤恵美子, 中村隆宏, 荒川泰彦, “光源・光変調器・受光器を単一シリコン基板上に集積した光電子融合システム,” C-3-53 (2011).
- [12] 野口将高, 藤方潤一, 三浦真, 岡本大典, 堀川剛, 荒川泰彦, “Si 導波路集積 PIN 型 Ge フォトダイオードの検討,” 第 59 回応用物理学会春季講演会 18a-F4-7 (2012).
- [13] 堀川剛, 高橋正志, 藤方潤一, 野口将高, 赤川武志, “多結晶シリコン導波路における導波損失と抵抗率の改善,” 第 73 回応用物理学会秋季講演会 12a-PA3-12 (2012).
- [14] 三浦真, 野口将高, 藤方潤一, 岡本大典, 堀川剛, 荒川泰彦, “SiGe cap 層を用いた差動対 MSM 型 Ge 受光素子”, 第 73 回応用物理学会秋季講演会 12a-PA3-17 (2012).
- [15] 野口将高, 藤方潤一, 三浦真, 岡本大典, 堀川剛, 荒川泰彦, “Si 導波路集積 PIN 型およびショットキー型 Ge 受光器の検討”, 電子情報通信学会 ソサエティ大会 C-3-64 (2012).
- [16] 高橋重樹, 藤方潤一, 高橋正志, 赤川武志, 野口将高, 堀川剛, 中村隆宏, 荒川泰彦, “低損失ポリシリコンゲートを有する高効率 MOS 型 Si 光変調器”, 応用物理学会秋季講演会 第 73 回応用物理学会秋季講演会 13a-C5-4 (2012).
- [17] 今井雅彦, 藤方潤一, 埜口良二, 野口将高, 高橋博之, 三浦真, 秋山傑, 山田浩治, 和田一実, 賣野豊, 堀川剛, “高密度シリコンフォトニクス回路向け集積プロセス技術 (I)”, 電子情報通信学会 ソサエティ大会 C-3-56 (2012).
- [18] 賣野豊, 埜口良二, 野口将高, 今井雅彦, 山岸雅司, 斎藤茂, 平山直紀, 高橋正志, 高橋博之, 斉藤恵美子, 岡野誠, 清水隆徳, 羽鳥伸明, 石坂政茂, 山本剛之, 馬場威, 赤川武志, 秋山傑, 臼杵達哉, 岡本大典, 三浦真, 藤方潤一, 志村大輔, 岡山秀彰, 八重樫浩樹, 土澤泰, 山田浩治, 森雅彦, 堀川剛, 中村隆宏, 荒川泰彦, “単一シリコン基板上にレーザ・光分岐器・光変調器・受光器を集積

- したシリコン光インターポータの 12.5Gbps 動作実証", 電子情報通信学会 ソサエティ大会 C-3-66 (2012).
- [19] 三浦真, 藤方潤一, 野口将高, 岡本大典, 堀川剛, 荒川泰彦, "MSM 型ゲルマニウム受光器の差動対光回路への応用", 電子情報通信学会 光エレクトロニクス研究会(OPE) 2012年12月 東京.
- [20] 三浦真, 藤方潤一, 小田克矢, 野口将高, 堀川剛, 荒川泰彦, "超小型 Ge 受光器実現に向けたエピタキシャル成長プロセス検討", 第 60 回応用物理学会 春季講演会 27p-PB4-5 (2013).
- [21] 野口 将高, 藤方 潤一, 三浦 真, 岡本 大典, 堀川 剛, 荒川 泰彦, "50GHz 帯域 Si 導波路集積 PIN 型 Ge フォトダイオードの検討", 第 74 回応用物理学会 秋季講演会 20p-A8-4 (2013).
- [22] 高橋重樹, 藤方潤一, 高橋正志, 堀川剛, 中村隆宏, 荒川泰彦, "1.55 μm 及び 1.3 μm 波長帯用高効率 MOS 型 Si 光変調器," 第 74 回応用物理学会 秋季講演会 20p-A8-6 (2013).
- [23] 賣野豊, 秋山傑, 赤川武志, 馬場威, 臼杵達哉, 岡本大典, 三浦真, 藤方潤一, 清水隆徳, 岡野誠, 羽鳥伸明, 石坂政茂, 山本剛之, 高橋博之, 埜口良二, 野口将高, 今井雅彦, 山岸雅司, 斎藤茂, 平山直紀, 高橋正志, 斉藤恵美子, 志村大輔, 岡山秀彰, 太縄陽介, 八重樫浩樹, 西 英隆, 福田浩, 山田浩治, 森雅彦, 堀川剛, 中村隆宏, 荒川泰彦, "全ての光コンポーネントを単一シリコン基板上に集積したシリコン光インターポータの 30Tbps/cm² 動作実証", 電子情報通信学会 ソサエティ大会 C-3-18 (2013).
- [24] 三浦真, 藤方 潤一, 野口将高, 荒川 泰彦, "自己平坦化 n+ Ge 埋め込み成長技術を用いた超小型 butt 接合 Ge 受光器の開発", 第 61 回応用物理学会 春季講演会 19p-F8-3 (2014).
- [25] 野口 将高, 藤方 潤一, 三浦 真, 荒川 泰彦, "面入射 PIN 型 Ge フォトダイオードの検討", 第 61 回応用物理学会 春季講演会 19p-F8-6 (2014).
- [26] 武井亮平, 前神有里子, 真子祥子, 面田恵美子, 吉田知也, 藤方潤一, 榊原陽一, 森雅彦, 亀井利浩, "低温成長シリコン導波路の電流注入屈折率変化,"

- 第 61 回応用物理学会春季講演会 19p-F8-3 (2014).
- [27] 堀川剛, 埜口良二, 野口将高, 今井雅彦, 山岸雅司, 斎藤茂, 平山直紀, 斉藤恵美子, 高橋正志, 高橋博之, 賣野豊, 秋山傑, 藤方潤一, 三浦真, 清水隆徳, 岡野誠, 羽鳥伸明, 中村隆宏, "シリコンフォトニクスに向けた集積プロセスプラットフォーム技術", 電子情報通信学会 総合大会 C-3-76 (2014).
- [28] 賣野豊, 羽鳥伸明, 赤川武志, 清水隆徳, 岡野誠, 石坂政茂, 山本剛之, 岡山秀彰, 太縄陽介, 高橋博之, 志村大輔, 八重樫浩樹, 西 英隆, 福田浩, 山田浩治, 三浦真, 藤方潤一, 秋山傑, 馬場威, 臼杵達哉, 埜口良二, 野口将高, 今井雅彦, 平山直紀, 斎藤茂, 山岸雅司, 高橋正志, 斉藤恵美子, 岡本大典, 森雅彦, 堀川剛, 中村隆宏, 荒川泰彦, "シリコン光インターポーザの高温リンク実証", 電子情報通信学会 総合大会 C-3-81 (2014).
- [29] 賣野豊, 臼杵達哉, 藤方潤一, 石坂正茂, 山田浩治, 堀川剛, 中村隆宏, 荒川泰彦, "チップ間光配線に向けたシリコンナノフォトリックデバイス集積技術," 電子情報通信学会 総合大会 CI-2-2 (2014).
- [30] 藤方潤一, 三浦真, 野口将高, 荒川泰彦, "Si 導波路集積 PIN 型およびショットキー型 Ge 受光器の検討", PECST 成果報告シンポジウム 2014 年 3 月 東京.
- [31] 三浦真, 藤方潤一, 野口将高, 荒川泰彦, "自己平坦化 n+ Ge 埋め込み成長を用いた超小型/低容量 butt 接合 Ge 受光器の開発", PECST 成果報告シンポジウム 2014 年 3 月 東京.
- [32] 堀川剛, 埜口良二, 野口将高, 今井雅彦, 山岸雅司, 斎藤茂, 平山直紀, 斉藤恵美, 高橋正志, 高橋博之, 賣野豊, 秋山傑, 藤方潤一, 三浦真, 清水隆徳, 岡野誠, 羽鳥伸明, 中村隆宏, "高密度光インターコネクトに向けたシリコンフォトリック集積プロセスプラットフォーム", PECST 成果報告シンポジウム 2014 年 3 月 東京.
- [33] 藤方潤一, 野口将高, 金栄現, 高橋重樹, 中村隆宏, 竹中充, "歪 SiGe 層を用いた空乏化型 Si 変調器の検討," 第 62 回応用物理学学術講演会, 12a-A16-11 (2015).

- [34] 野口将高、韓 在勲、藤方潤一、金栄現、高橋重樹、中村隆宏、竹中充, “Si 光変調器に向けた歪 SiGe 層成長に関する検討,” 第 62 回応用物理学学術講演会, 12a-A16-10 (2015).

4. 受賞歴：

1996 年度電気学会優秀論文発表賞

2005 年度 JJAP 論文賞：

表面プラズモンアンテナを利用した Si ナノフォトダイオードの提案・実証

2006 年度 MIRAI 優秀賞：低損失 SiON_x 光配線の開発

2007 年度 MIRAI 最優秀賞：LSI オンチップ光クロック配信の実証

2009 年度 MIRAI 最優秀賞：LSI オンチップ波長多重伝送の実証

5. 特許(登録査定、筆頭のみ)

- 1) 藤方 潤一 石 勉 森 茂, “スピントネル磁気抵抗効果膜及び素子及びそれを用いた磁気抵抗センサー、及び磁気装置及びその製造方法,” 特許第 3890893.
- 2) 藤方 潤一 石 勉 森 茂, “SPIN TUNNEL MAGNETORESISTIVE EFFECT FILM AND ELEMENT, MAGNETORESISTIVE SENSOR USING SAME, MAGNETIC APPARATUS, AND METHOD FOR MANUFACTURING SAME,” US 20050019610 A1.
- 3) 藤方 潤一 石 勉 森 茂, “SPIN TUNNEL MAGNETORESISTIVE EFFECT FILM AND ELEMENT, MAGNETORESISTIVE SENSOR USING SAME, MAGNETIC APPARATUS, AND METHOD FOR MANUFACTURING SAME,” KR462926.
- 4) 藤方 潤一 牛田 淳 戸田 昭夫 西藤 哲史, “電気光学変調器,” 特許第 5429579.
- 5) 藤方 潤一 牛田 淳 戸田 昭夫 西藤 哲史, “電気光学変調器,” 特許第 5648628.
- 6) 藤方 潤一 辰巳 徹 田邊 顕人 牛田 淳 岡本 大典 西 研一, “SiGe フォトダイオード,” 特許第 5232981.
- 7) 藤方 潤一 辰巳 徹 田邊 顕人 牛田 淳 岡本 大典 西 研一, “SiGe PHOTODIODE,” US 8269303.
- 8) 藤方 潤一 岡本 大典 牛田 淳 西 研一 大橋 啓之 土澤 泰 板橋 聖一, “WAVEGUIDE PATH COUPLING-TYPE PHOTODIODE,” US8467637.
- 9) 藤方 潤一 横田 均 石 勉, “光学素子およびそれを用いた光ヘッド,” 特許第 3932944.

- 10) 藤方 潤一 横田 均 石 勉, "OPTICAL HEAD AND OPTICAL DEVICE FOR ENHANCING THE INTENSITY OF A TRANSMITTED LIGHT," US7085220.

謝辞

本研究は筆者が日本電気株式会社にて在籍中および半導体先端テクノロジー (Selete)への出向中、さらに光電子融合基盤技術研究所(PETRA)への出向中、および東北大学大学院工学系研究科博士課程後期在籍時に行ったものであり、多くの方々のご支援を頂きましたことに深く感謝致します。

本研究をまとめるにあたり、ご指導頂きました東北大学 山田博仁教授、八坂洋教授、上原洋一教授に感謝申し上げます。

最先端研究支援プログラムおよび超低消費電力型光エレクトロニクス実装システム開発 Pj において、光電子融合システム基盤技術および Si フォトニックデバイス技術に関しましてご指導賜りました東京大学 荒川泰彦教授に感謝申し上げます。また、同プロジェクトにおきまして、ご指導・ご支援頂きました技術研究組合 光電子融合基盤技術研究所 藤田友之専務理事、中村隆宏研究統括部長に感謝致します。また、歪 SiGe を用いた革新デバイス開発に関してご指導頂くと共に共同研究して頂きました、東京大学 竹中充 准教授、金栄現様、韓在勲様に感謝申し上げます。

半導体 MIRAI-Pj においてご指導頂きました、旧 Selete 渡辺久恒社長、廣瀬全孝 CSTO、最上徹部長(現：PETRA つくば研究開発センター長)、大橋啓之テーマリーダー(現：早稲田大学ナノ・ライフ創新研究機構上級研究員)に感謝致します。また、Si フォトニクスおよび表面プラズモンに関する研究に関して、ご支援頂きました NEC 旧基礎研究所所長の曾根純一様、NEC 中央研究所の田原修一理事、NEC グリーンプラットフォーム研究所 福知清部長に感謝申し上げます。

また、光インターコネクタ用 Si フォトニクスデバイス開発を一緒に遂行し、支援して頂いたメンバーの皆様、特にデバイス試作に大きく貢献して頂い

た PETRA 野口将高様、Si 光変調器の開発に関してご協力頂きました PETRA 高橋重樹様、牛田淳様、産総研 堀川剛様、高橋正志様、平山直紀様、IME の共同研究者の皆様にご感謝致します。また、Ge 受光器の開発に関してご協力頂きました、日立研究所の三浦真様、PETRA 木下啓蔵様、受信器用 TIA 回路や表面プラズモンによるナノフォトダイオードに関して検討頂きました岡本大典様に感謝致します。

また、半導体 MIRAI-Pj において Si ナノフォトダイオードおよびオンチップ光配線の実証にご協力頂きました NTT マイクロインテグレーション研究所の土澤泰様、山田浩治様、板橋聖一様、渡辺俊文様、NEC 西研一様(現：株式会社 QD レーザ)、五明明子様(現：JST)、石勉様、牧田紀久夫様、中田武志様、PETRA/NEC 清水隆徳様、木下雅夫様、曾根純悦様、野瀬浩一様(現：ルネサスエレクトロニクス(株))、Sony(株)の湯川様、上野様に感謝致します。

最後に日頃からお世話になっている家族および両親にご感謝致します。

LSI オンチップ光配線の検討は、NEDO により Selete に委託された MIRAI プロジェクトの一環として実施されたものです。

Si 変調器および Ge 受光器の検討は、NEC と IME(シンガポール)との共同研究、さらに総合科学技術会議により制度設計された最先端研究開発支援プログラムにより、日本学術振興会を通して助成されて行われたものです。

さらに、Si 変調器の高性能化検討の一部は、NEDO の「超低消費電力型光エレクトロニクス実装システム技術開発」により委託を受けたものである。