

博士學位論文

論文題目 新アナログ記憶デバイスを用いた
集積化連想記憶システムに関する研究

提出者 東北大学大学院情報科学研究科

システム情報科学 専攻

学籍番号 97 I D 2013

氏名 原田 知親

指 導 教 官	中 島 康 治 教 授
審 査 委 員 (○印は主査)	○ <u>中島康治</u> 教授 1 <u>室田淳一</u> 教授 2 <u>亀山充隆</u> 教授 3 _____ 教授 4 _____ 教授 5 _____ 教授 6 _____ 教授

備考(1) 履歴事項は、大学入学から年次にしたがって記入すること。

(2) 博士課程の修了年月日は、学位記授与式年月日を記入すること。

①

博士學位論文

論文題目 新アナログ記憶デバイスを用いた
集積化連想記憶システムに関する研究

提出者 東北大学大学院情報科学研究科

システム情報科学 専攻

学籍番号 97 ID 2013

氏名 原田 知親

指 導 教 官	中 島 康 治 教 授
審 査 委 員 (○印は主査)	○ <u>中島康治</u> 教授 1 <u>室田淳一</u> 教授 2 <u>亀山充隆</u> 教授 3 _____ 教授 4 _____ 教授 5 _____ 教授 6 _____ 教授

備考(1) 履歴事項は、大学入学から年次にしたがって記入すること。
(2) 博士課程の修了年月日は、学位記授与式年月日を記入すること。

新アナログ記憶デバイスを用いた 集積化連想記憶システムに関する研究

東北大学大学院情報科学研究科システム情報科学専攻
博士課程後期3年の課程
原田 知親 (Tomochika Harada)

平成12年2月2日

目次

第1章	序論	4
1.1	本研究の背景	4
1.2	本研究の目的	8
1.3	本論文の構成	8
第2章	新アナログ記憶デバイスの提案とデバイス設計	9
2.1	はじめに	9
2.2	SDAMの概要	9
2.3	SDAMの回路的な問題点	11
2.3.1	書き込み・消去の際の制御の複雑化	11
2.3.2	SDAMの非線形更新特性	11
2.4	新アナログ記憶デバイス	12
2.4.1	DTSDAM(Dual Tunnel SDAM)	12
2.4.2	FBSDAM(SDAM with Feedback Circuit)	17
2.4.3	DTFBSDAM(Dual Tunnel FBSDAM)	22
2.5	まとめ	25
第3章	新アナログ記憶デバイスの試作と評価	27
3.1	新アナログ記憶デバイスの試作と測定から得られた問題点	27
3.1.1	TFTによる記憶レンジの縮小	27
3.1.2	トンネル電極やキャパシタからのリークによる記憶レンジの縮小	28
3.2	新アナログ記憶デバイスの試作	32
3.2.1	試作した新アナログ記憶デバイスの実装写真	32
3.2.2	新アナログ記憶デバイスの試作に用いた半導体製造工程	33
3.3	新アナログ記憶デバイスの評価	39
3.3.1	測定方法	39
3.3.2	拡散層TFTについて	44
3.3.3	DTSDAM	45
3.3.4	FBSDAM	46
3.4	DTSDAMとFBSDAMの特性比較	47
3.4.1	記憶更新特性の対称性に対する比較	47
3.4.2	記憶更新動作の線形性に対する比較	48
3.4.3	DTSDAM、FBSDAMの特性のまとめ	49
3.5	実用化へ向けての性能評価	49

3.5.1	性能の見積もり	49
3.5.2	集積化面積による見積もり	51
3.6	新アナログ記憶デバイスの応用	53
3.7	まとめ	54
第4章	集積化アナログ連想記憶システムの構築	55
4.1	はじめに	55
4.2	集積化アナログ連想記憶システムの機能	55
4.2.1	連想記憶システムの連想処理	55
4.3	集積化連想記憶システムの設計	58
4.4	回路構成	58
4.4.1	Memory and Matching Unit (MMU)	59
4.4.2	Winner Take All 回路	60
4.4.3	しきい値回路	62
4.5	集積化連想記憶システムの SPICE シミュレーション結果	63
4.5.1	記憶動作の SPICE による動作検証	63
4.5.2	連想動作の SPICE による動作検証	64
4.6	集積化連想記憶システムの試作	66
4.7	集積化連想記憶システムの評価	68
4.7.1	連想記憶システム測定 of 機器構成	68
4.7.2	測定手法	70
4.7.3	基本動作	71
4.7.4	閾値をおくことによる判別効果	73
4.8	集積化連想記憶システムの性能の見積もり	77
4.8.1	演算回数と集積化の際のトランジスタ数の比較	77
4.8.2	集積化の際の回路面積での比較	78
4.9	集積化連想記憶システムの応用	81
4.10	まとめ	81
第5章	まとめ	82
付録A	アナログ連想記憶システム集積化技術	84
A.1	概要	84
A.2	不揮発性アナログメモリ FBSDAM を用いたシステムの集積化技術	84
A.2.1	新規導入技術	84
A.2.2	ドライエッチング技術	85
A.2.3	平坦化技術	86
A.2.4	実験プロセス	87
A.3	本研究で導入した配線工程のドライエッチング化のまとめ	96
付録B	予備実験プロセスのプロセス表	97
付録C	不揮発性アナログ記憶デバイス試作のための半導体製造工程のプロセス表	104

関連図書・参考文献	121
謝辞	124
本研究に関する発表	125

第1章 序論

1.1 本研究の背景

近年、デジタル信号処理技術の発展が著しく、DSP (Digital Signal Processor) を用いた画像や音声の圧縮・伸長処理 (例えば MPEG2 or 4 のデコーダ [1] など) や動作クロックをあげることで高速処理を実現したマイクロプロセッサ [2] が登場している。特にマイクロプロセッサでは、マルチメディアを意識して、画像処理をマイクロプロセッサで高速に行えるようにするため、マルチメディアエクステンション機能を搭載している (インテルの MMX や Motorola の Velocity Engine など)。

しかし、デジタル信号処理においては、基本的なアーキテクチャは逐次処理がベースとなっているため、画像や音声のパターン認識や特徴抽出、立体認識といった処理においては、演算回数の膨大さによって実時間で処理を終えるのは難しい。また、精度を向上させるには入力データのビット数が増大する。そのため、多ビット演算器が必要となりその分集積化した際の占有面積が増大する。また、画像や音声はアナログ量であるから、デジタル信号処理技術を用いるには、アナログ信号をデジタル信号に変換する必要から A/D コンバータが必ず搭載される。そしてアナログ情報をデジタルに変換する際に同等のダイナミックレンジが必要なために、デジタルに変換した際の情報量がアナログのままの情報量と比べて多くなってしまう。

そこで、これらの問題を解決するために、アナログ信号処理技術が用いられてきた。自然界の入力信号はすべてアナログであり、アナログ信号処理で行なうと A/D 変換器を使うことなく小規模の回路で演算が実現できる。しかし、アナログ信号処理技術にも問題点があり、すべてアナログ回路で大規模集積化を行なうと、寄生容量と寄生抵抗で生じる発振が生じるため、動作が不安定になってしまう。そして、精度はアナログ回路を集積化する際の集積化工程の加工精度や不純物濃度の均一性といった影響を受けやすい。アナログ回路はサブスレシールド領域で動作させるため、素子の特性のバラツキの影響を多大に受ける。よって、精度を向上させるのは非常に困難である。

これらの信号処理技術の問題を解決するために、アナログ/デジタル混載技術が提案されてきた。これはアナログ信号処理の欠点とデジタル信号処理の欠点を補うことが可能であり、今後のシステム LSI 技術として、なくてはならない技術となる。

ここで、アナログ/デジタル混載技術として「アナログ・コ・プロセッサ」という概念を導入する。これは、入力が全てアナログ信号で、処理結果はデジタル信号で出力されるシステムである。一見、A/D 変換器と同じようなシステムに見えるが、このアナログ・コ・プロセッサではアナログ入力信号を直接アナログで演算できるため、デジタル信号処理で行なう演算のうち、アナログ信号入力に近い部分をアナログ・コ・プロセッサによって処理を置き換えることができる。そのため、アナログ入力信号をすぐ A/D 変換してデジタル回路へ処理を移す場合と比べて、入力情報量の削減と回路規模の縮小と高速化の実現が可能である。

このアナログ・コ・プロセッサでは、直接アナログ値で演算処理を行なう必要から、アナログ値

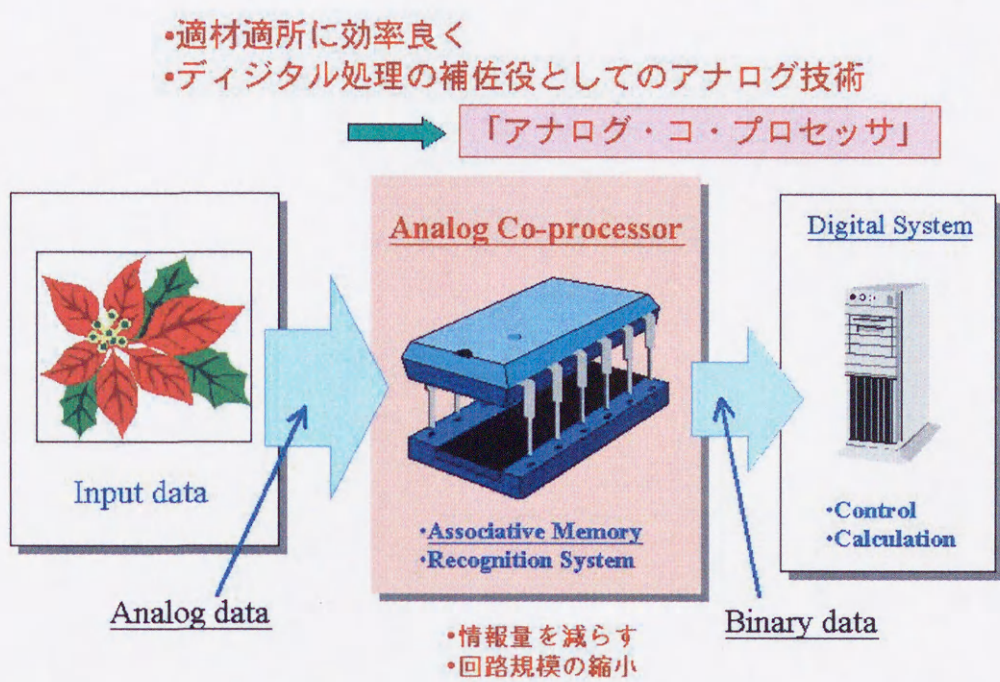


図 1.1: アナログ・コ・プロセッサの概念

を記憶できるアナログメモリの実現が必要不可欠となる。また、アナログ・コ・プロセッサの具体的なアーキテクチャとして、アナログ情報を直接処理できる連想記憶システムがある。

まず、アナログメモリにおいては、一般的なアナログメモリの実現方法として次のようなものがあげられる。

- キャパシタを用いたもの
- SRAM や DRAM を多段に繋げて実現したもの
- EEPROM や Flash Memory を用いたもの

キャパシタを用いる方法では、キャパシタに保持してある電荷の量をアナログ量に変換して読みだし、あるいはアナログ量を電荷の量に変換して記憶する [3][4]。キャパシタではごく簡単に実現でき、製造工程も通常の CMOS 集積化技術で十分対応できる。そのため、CCD 受光器内の画像圧縮処理といった、アナログ値の短期保持には使用できるが、保持時間は 1 ms 以下と短いため、長期保持が不可能である。さらに、長期保持のためのリフレッシュ回路が必要であるが、デジタルメモリでのリフレッシュ動作と違い、アナログメモリでは電荷の量そのものを復元しなければならないため、メモリ本体よりもリフレッシュ回路の方が回路規模として大きくなってしまふ。またリフレッシュ動作の際、元の記憶されたアナログ値まで回復させるのは困難である。

SRAM を使ったアナログメモリでは、アナログ値の分解能に応じて多段に接続し、D/A 変換器を通して出力することで、アナログデータが得られる。また、SRAM と D/A 変換器は通常の CMOS 集積化技術で簡単に集積化でき、かつ高速に動作できる [3][4][5][6][7][8]。しかし、このよう

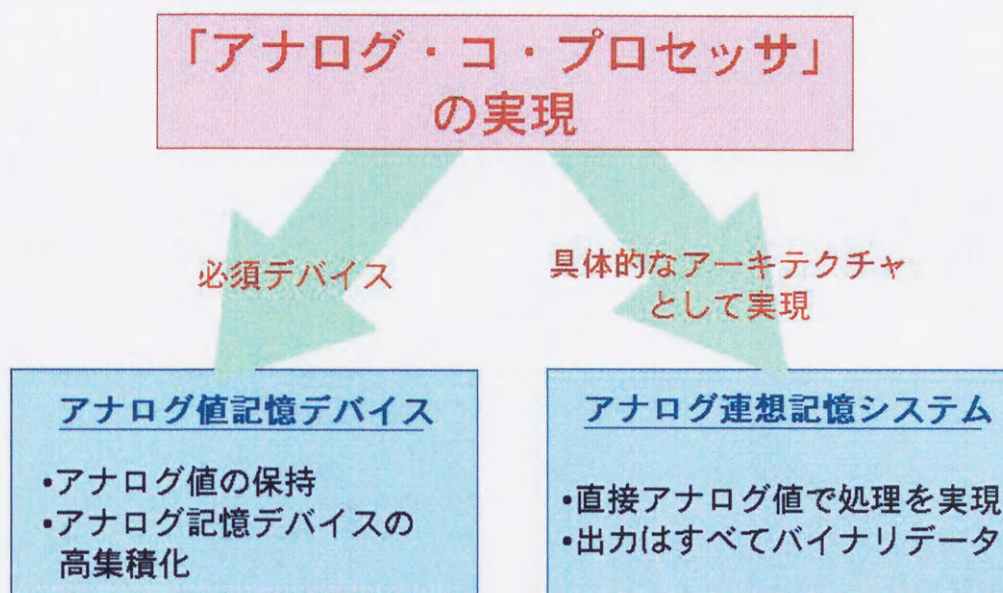


図 1.2: アナログ・コ・プロセッサの実現方法

なアナログメモリでは、アナログ値の分解能に応じてSRAMのセル数を増やしていく必要があり、回路規模も大きくなってしまいます。特に今日の集積化技術では、デジタル回路では微細化が進み、スケーリング則に基づいてシステム規模を小さくできるが、A/D変換器の部分は、動作レンジの確保の必要性から回路の微細化が進まないため、占有面積の割合が大きく現れてしまう。

EEPROMは、コントロールゲートと基板の間にフローティングゲートを設け、コントロールゲートや基板の電位を高くすることで、薄い酸化膜(トンネル酸化膜)から電荷をフローティングゲートへ注入・排出する。その電荷量をアナログ値としてよみだす事でアナログメモリとして用いることができる[3][9][10]。しかし、電荷の注入・排出の際に、Fowler-Nordheim tunnelingまたはホットキャリア注入を用いるため、書き込み消去特性に強い非線形性がみられる[11][12][13][14]。そのため、アナログ値を記憶させるには、外部制御回路が必要となってくる。また、SRAM同様、多段に組み合わせて用いる方法も存在する[15][16][17]。しかし、精度の向上にともなってアナログメモリの集積化面積が増大するため、高集積化には向かない。

また、アナログ値保持用途のEEPROMの強い非線形更新特性を改善するために、2種類のフローティングゲート型アナログメモリが提案されている(図1.3)。

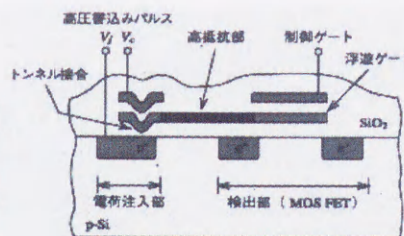
- 高抵抗挿入型
- フィードバック型

高抵抗挿入型は、藤田らによって開発された[18]。図1.3のように読み出し部と記憶部とは高抵抗で分離され、記憶部のキャパシタの容量を大きくすることにより、強い非線形更新特性が改善されている。しかし、書き込み・消去動作の時定数が集積化の際に決まってしまうため、記憶処理動作を高速化することができない。

高抵抗挿入型：線形性の向上



書き込み・消去動作速度が向上しない



フィードバック型：線形更新特性



更新値が高電圧印加パルスの幅に依存する

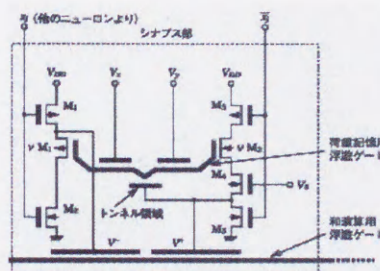


図 1.3: フローティングゲート型アナログメモリ

フィードバック型は小坂らによって開発された[19]。もともとは ν MOSトランジスタの技術を用い、ニューラルネットワークのシナプス荷重値保持を目的として作られた。フローティングゲート電位をフィードバック回路を通じてモニターし、常にトンネル電極間電圧を一定にすることでフローティングゲートへの電荷注入量を一定にできる。これにより、線形更新特性を実現しているが、線形更新のステップ値(分解能)が高電圧印加パルスの幅で決まるため、集積化した際の必要な分解能を実現するには、システムの動作クロックとは別にクロックを与える必要がある。

次に、アナログ・コ・プロセッサの具体的なアーキテクチャとして連想記憶システムをあげる。ここでは一般的な連想記憶システムについて触れることにする。現在の連想記憶システムは、フラッシュメモリ[20]やSRAM[21][22]といったデジタルメモリや多値を使った連想記憶システム[23]が提案されている。しかし、かけ離れたパターンを連想記憶システムに入力すると無理やり想起してしまうという欠点がある。また、デジタル連想記憶システムでは、入力データは全てデジタル演算で行なっているため、1ビットでもデータが異なると、違うものとして想起されてしまう。人間の持つ「連想処理」の機能では、アナログ情報の一部に欠損があっても補間して想起できる(ロバスト性)ため、人間の持つ「連想想起」をデジタルシステムで実現するのは非常に難しい。

ホップフィールドモデルやボルツマンマシンに代表されるニューラルネットワークシステムでは、学習によってパターンを記憶し、連想動作をさせることができる[24][25][26]。しかし、ニューロンの数に対して記憶できる個数が少ないため、多くのデータを連想想起させるには、それ相当のニューロン数が必要となる。

1.2 本研究の目的

本研究では、アナログ情報連想記憶システム [27][28] の構築、そしてアナログ・コ・プロセッサの実現のためのアナログメモリとして、

- 分解能が高電圧印加パルスの幅に依存しないこと
- 書き込み・消去動作の高速化
- パルス動作によるデジタルシステムとの整合性の向上とアナログ値の長期保持

が必要である。これらの条件を満たすような新たな不揮発性アナログメモリを、従来アナログニューラルネットワークのシナプス荷重値記憶素子として用いられて来た SDAM(Switched Diffusion Analog Memory)[29] をベースに 3 種提案し、数式と SPICE シミュレーションによる動作検証を行ない、その結果に基づいて実際に試作し、評価を行なった。新たに提案するアナログメモリは、更新動作回路の単純化と更新特性の対称性の維持を目的とした DTSDAM (Dual Tunnel SDAM)[30] と、高電圧印加パルスの幅と大容量のキャパシタに依存せずに線形更新特性を実現した FBSDAM (SDAM with Feedback Circuit)[31]、そして、FBSDAM に更新特性の対称性を持たせた DTFBSDAM (Dual Tunnel FBSDAM) である。そして、本研究で提案した新たなアナログ記憶デバイスを用いた「アナログ・コ・プロセッサ」の構築の 1 つとして、アナログ値で並列にかつ高速に連想処理が可能で、連想記憶システムに記憶されていない、未知な情報に対して「未知な情報」と識別できるアナログ連想記憶システムを提案し、その性能評価と集積化による実現を行なった。

また、並行して、本研究のシステムの集積化を行なう上で重要な半導体製造技術を開発し、新たなアナログメモリを用いた情報処理システムの集積化技術の確立と歩留まりの向上をはかった。

1.3 本論文の構成

本論文の構成としては、提案する 3 種のアナログ記憶デバイスについての数式と SPICE による動作検証を第 2 章で述べる。第 3 章では、第 2 章の動作検証の結果に基づいてアナログ記憶デバイスの集積化を行ない、測定評価と実用化への見積りを示し、本研究で提案したアナログ記憶デバイスの有用性を述べる。第 4 章では、アナログ・コ・プロセッサの具体的なアーキテクチャとしてアナログ値で直接連想処理が可能で「未知情報」を判別できるアナログ連想記憶システムについて、その動作原理とシステムの設計を行なった。そして、SPICE での動作検証と集積化、測定評価、実用化への見積りを行ない、本研究の連想記憶システムの応用例を述べる。第 5 章では、アナログ記憶デバイスと連想記憶システムについてのまとめを述べ、最後に付録として不揮発性アナログ記憶デバイスの集積化を支える半導体製造工程について、新規導入技術とその予備実験結果について述べる。

第2章 新アナログ記憶デバイスの提案とデバイス設計

2.1 はじめに

アナログ情報処理を実現する上でのキーデバイスとして、「アナログメモリ」があげられる。本研究では、アナログ値の長期保持と高集積化を目的としたアナログデバイスとして、不揮発性アナログメモリ SDAM(Switched Diffusion Analog Memory) をベースに、性能向上をはかった3種の新アナログメモリ (DTSDAM、FBSDAM、DTFBSDAM) を設計した。

2.2 SDAMの概要

SDAM (図2.1) はアナログ値を記憶できるメモリデバイスで、保証できる分解能はデジタル換算して7bitに相当する。SDAMの等価回路とデバイス写真を図2.1に示す。

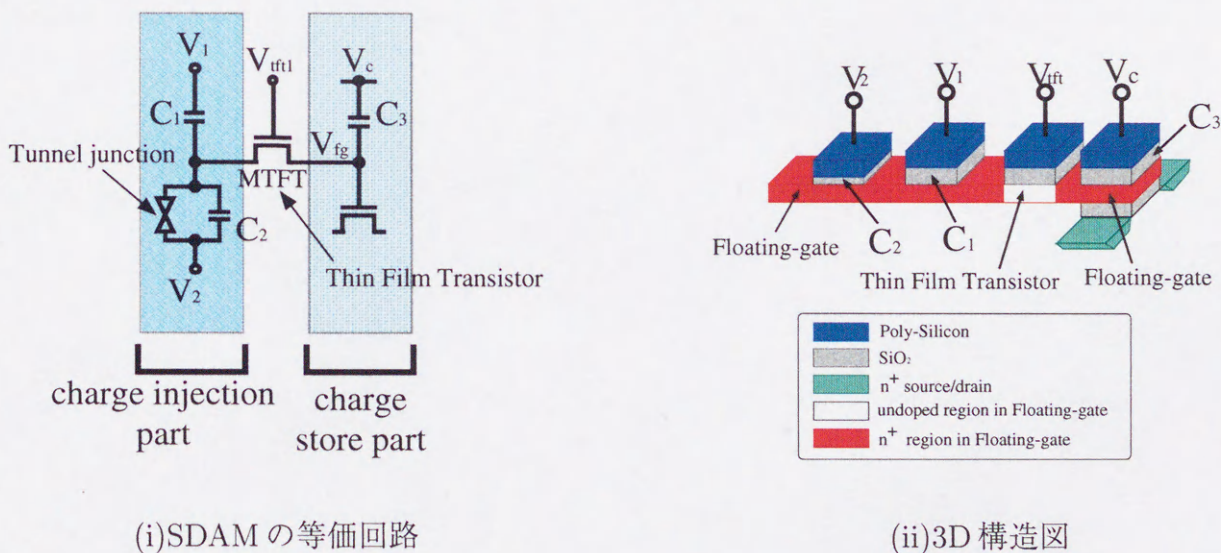


図 2.1: SDAM(Switched Diffusion Analog Memory)

トンネル電極を通しての電荷注入・排出部 (charge injection part) とアナログ値を保持する部分 (charge storage part) とを高抵抗体ではなくトランジスタに置き換えることで更新動作の高速化を実現している。ただし、トランジスタはSDAMのフローティングゲート上に形成するためTFT(Thin Film Transistor)を用いる。charge storage partのキャパシタの容量は他のキャパシタの容量より大きく、100倍以上にすることで、擬似的に線形更新特性を実現している。

また、SDAM の記憶更新動作 (書き込み・消去) シーケンスを図 2.2 に示す。

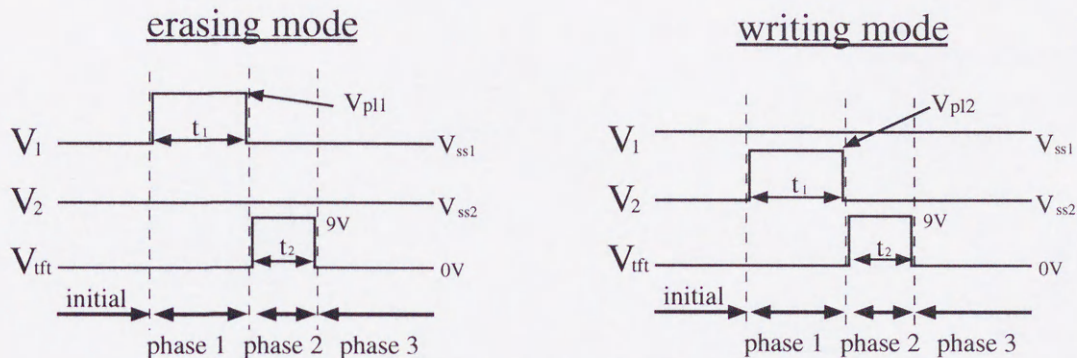


図 2.2: SDAM の書き込み・消去シーケンス

図 2.2 の動作フェーズについては、次のようになる。

- initial: 初期状態
このときのフローティングゲート電位を $V_{fg}(n)$ とする。また、charge injection part のフローティングゲートと charge store part のフローティングゲートの電位は同電位である。
- phase 1: V_1 または V_2 をオン (電荷注入・排出動作)
 V_1 または V_2 をオンにすることで、charge injection part へ電荷を注入または排出する。このとき、与える高電圧パルスの波高値 V_{p1}, V_{p2} は次のように表され、これを満たさないと電荷がフローティングゲートへ注入または排出されない。

$$V_{p1} = V_{p2} > \frac{C_1 + C_2}{C_1} (V_n + V_{tunnel} - V_{fg}(n)) \quad (2.1)$$

- phase 2: V_{tft} をオン (電荷拡散動作)
TFT をオンにすることで、図 2.1(i) の charge injection part にある電荷を charge store part まで拡散させる。この動作で charge store part と charge injection part のフローティングゲートの電位は同電位になる。
- phase 3: 更新動作終了
このときのフローティングゲート電位を $V_{fg}(n+1)$ とし、charge store part のフローティングゲート電位と charge injection part のフローティングゲート電位は同電位になっている。

この動作シーケンスによりフローティングゲート $V_{fg}(n+1)$ は以下のように示すことができる。

- Erasing mode

$$V_{fg}(n+1) = \frac{C_3}{C_1 + C_2 + C_3} V_{fg}(n) - \frac{C_1 V_{p1} - (C_1 + C_2)(V_n + V_{tnl})}{C_1 + C_2 + C_3} \quad (2.2)$$

- Writing mode

$$V_{fg}(n+1) = \frac{C_3}{C_1 + C_2 + C_3} V_{fg}(n) + \frac{C_1 V_{p2} - (C_1 + C_2)(V_n - V_{tnl})}{C_1 + C_2 + C_3} \quad (2.3)$$

但し、 V_n は V_1, V_2 にかかるバイアス電圧、 V_{p1}, V_{p2} は図 2.2 での V_{p1}, V_{p2} に対応する。 V_{tnl} はトンネル電極の閾値電圧である。

SDAM の記憶更新動作を無限回繰り返すと、各フローティングゲート電位は次のようになる。

- Erasing mode

$$V_{fg}(\infty) = -\frac{C_1 V_{p1} - (C_1 + C_2)(V_n + V_{tnl})}{C_1 + C_2} \quad (2.4)$$

- Writing mode

$$V_{fg}(\infty) = \frac{C_1 V_{p2} + (C_1 + C_2)(V_n - V_{tnl})}{C_1 + C_2} \quad (2.5)$$

2.3 SDAMの回路的な問題点

不揮発性アナログメモリ SDAM が発表されて以来、SDAM とそれを用いたシステムの試作が何度か行なわれてきたが、問題点が存在する。デバイス測定から得られた問題点は第 3 章で述べるとして、回路的な問題点としては、

- 書き込み・消去の際の制御の複雑化
- SDAM の非線形更新特性

の 2 つがあげられる。

2.3.1 書き込み・消去の際の制御の複雑化

SDAM の書き込み・消去の際のシーケンスは図 2.2 に示す通りであるが、SDAM の書き込みや消去動作の際の高電圧パルスの波高値は異なる。また、書き込みの際の高電圧パルスは V_2 に、消去は V_1 に与えているため、実装する際に電圧値が異なる電源を多く用意する必要がある。また、書き込み消去のための制御回路が必要となり、実際のメモリよりも回路規模が大きくなる。そのため、システムとして用いるには難がある。そこで、できるだけ電源の数を減らし、かつ簡単な制御回路でアナログ値を更新でき、動作レンジを狭めないようにするため、後述する DTSDAM (Dual Tunnel SDAM) という不揮発性アナログメモリを開発した。

2.3.2 SDAM の非線形更新特性

SDAM では、EEPROM のような強い非線形更新特性は示さないものの、非線形更新特性が残っているため、メモリ部のキャパシタ C_3 とトンネル部のキャパシタの容量比を大きくとり、疑似的に

線形更新特性を示すようにしている。しかし、容量比を大きくしなくても線形更新特性を示すことができれば、アナログメモリを用いたシステムのさらなる高集積化が期待できる。そこで、従来のSDAMに簡単なフィードバック回路を付加した新たな不揮発性アナログメモリFBSDAM(SDAM with Feedback Circuit)を開発した。

2.4 新アナログ記憶デバイス

本研究では、SDAMの欠点を解消し、より高性能なデバイスとして

- Dual Tunnel SDAM (DTSDAM)
- SDAM with Feedback Circuit (FBSDAM)
- Dual Tunnel FBSDAM (DTFBSDAM)

の不揮発性アナログメモリ3種を提案する。

2.4.1 DTSDAM(Dual Tunnel SDAM)

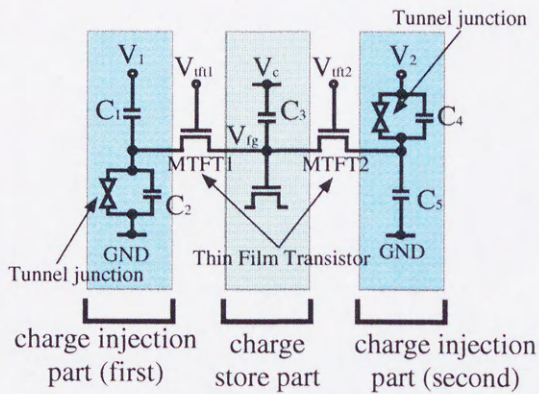
SDAMはアナログ値を記憶できるアナログメモリデバイスであるが、フローティングゲートへの電荷注入動作と電荷排出動作において、トンネル電極の印加電位の方向で電荷注入排出動作を制御していた。SDAMを構成するキャパシタの容量(C_1 と C_2)を等しくするか、または図2.2の $V_{ss1} = V_{ss2} = 0V$ とすることで、書き込み消去の更新値を等しくさせることができる。しかし、実際はキャパシタの容量は等しくすることが製造工程上不可能なため、更新値をほぼ等しくするには、 $V_{ss1} = V_{ss2} = 0V$ とする必要がある。また電荷注入排出動作切替えのための制御回路が必要となり、SDAMよりも制御回路の方が大規模になってしまい、高集積化が難しくなる。

そこで、従来のSDAMに対して、トンネル電極とTFTをもう1つ付加することで、より簡単な制御回路で、かつ単一の高電圧パルスで電荷注入排出動作が行える。また、電荷注入排出動作を同時に行うことも可能である。これをDTSDAM(Dual Tunnel SDAM)と呼ぶ。

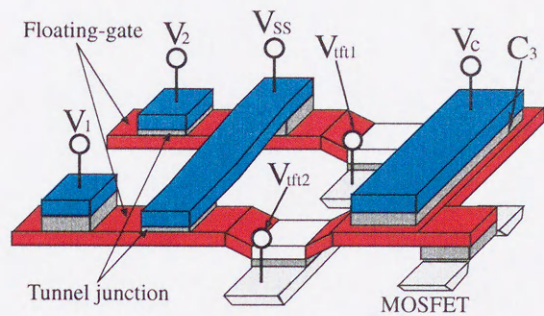
2.4.1.1 書き込み・消去動作

DTSDAMのシーケンスは、SDAMと同じシーケンスを用いるため、特性はSDAMと全く同等であり、図2.4において、 $V_{ss1} = V_{ss2} = 0V$ とする。但し、電荷を拡散させるためのTFTは同時に動かす必要がある。

- initial: 初期状態
このときのフローティングゲート電位を $V_{fg}(n)$ とする。また、2つのcharge injection partのフローティングゲートと、charge store partのフローティングゲートの電位は同電位である。
- phase 1: 電荷注入または排出動作
 V_1 または V_2 をオンにすることで、charge injection partへ電荷を注入または排出する。SDAMと異なる点は、 V_1 と V_2 への高電圧パルスの与え方である。charge injection partが2つ存在



(i) 等価回路



(ii) 3D 構造図

図 2.3: DTSDAM(Dual Tunnel SDAM)

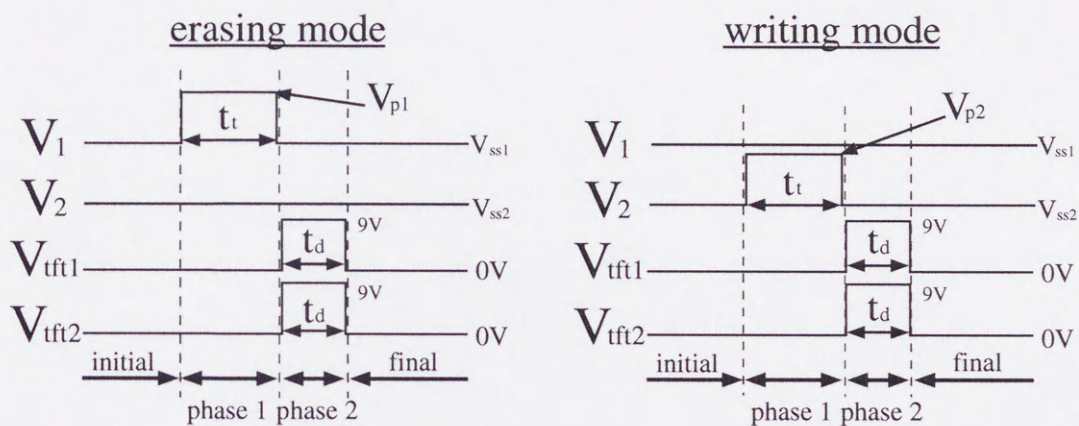


図 2.4: DTSDAM の書き込み・消去シーケンス

するため、独立に印加することができる点である。

このとき、与える高電圧パルスの波高値 V_{p1} , V_{p2} は次のように表され、これを満たさないと電荷がフローティングゲートへ注入または排出されない。

- Erasing mode

$$\frac{C_1 + C_2}{C_1} V_{tunnel} < V_{p1} < 2 \frac{C_1 + C_2}{C_1} V_{tunnel} \quad (2.6)$$

- Writing mode

$$\frac{C_4 + C_5}{C_5} V_{tunnel} < V_{p2} < 2 \frac{C_4 + C_5}{C_5} V_{tunnel} \quad (2.7)$$

ここで、 V_{tunnel} はトンネル電極の閾値電圧である。

図 2.4 において、 t_t 、つまり電荷注入または排出時間は次のように示せる。

– Erasing mode

$$(C_1 + C_2)R_t < t_t < C_3R_{offTFT} \quad (2.8)$$

– Writing mode

$$(C_4 + C_5)R_t < t_t < C_3R_{offTFT} \quad (2.9)$$

ここで、 R_t はトンネル電極の抵抗、 R_{offTFT} は TFT のオフ抵抗を示す。

• phase 2: 電荷拡散動作

TFT をオンにすることで、図 2.1(i) の charge injection part にある電荷を charge store part まで拡散させる。この動作で charge store part と 2 つの charge injection part のフローティングゲートの電位は同電位になる。このときの拡散時間 t_d は以下のように定義できる。

– Erasing mode

$$t_d > (C_1 + C_2)R_{onTFT} \quad (2.10)$$

– Writing mode

$$t_d > (C_4 + C_5)R_{onTFT} \quad (2.11)$$

ここで、 R_{onTFT} は、TFT のオン抵抗を示す。

• final : 更新動作終了

このときのフローティングゲート電位を $V_{fg}(n+1)$ とする。図 2.4 のシーケンスにより、理想的な状態でのフローティングゲート電位変化は次のような漸化式で示すことができる。

– Erasing mode

$$V_{fg}(n+1) = \frac{C_3 + C_4 + C_5}{C_{all}} V_{fg}(n) + \frac{C_1 + C_2}{C_{all}} V_{tunnel} - \frac{C_1}{C_{all}} V_{p1} \quad (2.12)$$

– Writing mode

$$V_{fg}(n+1) = \frac{C_1 + C_2 + C_3}{C_{all}} V_{fg}(n) - \frac{C_4 + C_5}{C_{all}} V_{tunnel} + \frac{C_5}{C_{all}} V_{p2} \quad (2.13)$$

但し、 $C_{all} = C_1 + C_2 + C_3 + C_4 + C_5$ である。

そこで、これら漸化式を解くと、書き込み・消去回数 n に対するフローティングゲート電位 $V_{fg}(n)$ の変化の式が得られる。

• Erasing mode

$$V_{fg}(n) = \left(V_{fg}(0) - \frac{C_1 V_{p1} - (C_1 + C_2) V_{tunnel}}{C_1 + C_2} \right) \cdot \left(\frac{C_3 + C_4 + C_5}{C_1 + C_2 + C_3 + C_4 + C_5} \right)^n + \frac{C_1 V_{p1} - (C_1 + C_2) V_{tunnel}}{C_1 + C_2}, \quad (2.14)$$

- Writing mode

$$V_{fg}(n) = \left(V_{fg}(0) + \frac{C_5 V_{p2} - (C_4 + C_5) V_{tunnel}}{C_4 + C_5} \right) \cdot \left(\frac{C_1 + C_2 + C_3}{C_1 + C_2 + C_3 + C_4 + C_5} \right)^n - \frac{C_5 V_{p1} - (C_4 + C_5) V_{tunnel}}{C_4 + C_5}, \quad (2.15)$$

ここで、 $V_{fg}(0)$ は、フローティングゲートの初期電位である。

さらに、DTSDAM に対して、 $C_1 = C_5, C_2 = C_4, V_{p1} = V_{p2} = V_p$ とすれば、式 2.14・2.15 は、それぞれ

- Erasing mode

$$V_{fg}(n) = \left(V_{fg}(0) - \frac{C_1 V_p - (C_1 + C_2) V_{tunnel}}{C_1 + C_2} \right) \cdot \left(\frac{C_1 + C_2 + C_3}{2C_1 + 2C_2 + C_3} \right)^n + \frac{C_1 V_p - (C_1 + C_2) V_{tunnel}}{C_1 + C_2}, \quad (2.16)$$

- Writing mode

$$V_{fg}(n) = \left(V_{fg}(0) + \frac{C_1 V_p - (C_1 + C_2) V_{tunnel}}{C_1 + C_2} \right) \cdot \left(\frac{C_1 + C_2 + C_3}{2C_1 + 2C_2 + C_3} \right)^n - \frac{C_1 V_p - (C_1 + C_2) V_{tunnel}}{C_1 + C_2}. \quad (2.17)$$

と書き直すことができる。ここで、フローティングゲートの初期電位 $V_{fg}(0)$ は、

$$|V_{fg}(0)| < \frac{C_1 V_p - (C_1 + C_2) V_{tunnel}}{C_1 + C_2}. \quad (2.18)$$

の範囲内で定義される。式 2.16・2.17 より、 $V_{fg}(0) = 0$ とすると、Writing mode と Erasing mode で、各項の符号が逆になっているのが分かる。このことから、更新特性が対称になっているのがわかる。この DTSDAM のフローティングゲート電位の動作レンジは次のように定義できる。

$$V_{tunnel} - \frac{C_1}{C_1 + C_2} V_p < V_{fg} < \frac{C_1}{C_1 + C_2} V_p - V_{tunnel} \quad (2.19)$$

2.4.1.2 DTSDAM の動作検証 (HSPICE)

DTSDAM の記憶更新シーケンスに基づき、数式によって解析した結果、各キャパシタの容量を設定することで DTSDAM は単一高電圧パルスで記憶更新動作が対称になる。そこで、これを実際にデバイスとして集積化するための動作検証を HSPICE で行なった。トンネル電極を通じての電荷の注入または排出の際の高電圧パルスの波高値を同じに設定し ($V_{p1} = V_{p2}$)、更新動作回数に対するフローティングゲートの電位変化の結果を図 2.5 に示す。

ここで、本研究で開発した不揮発性アナログメモリ SDAM の SPICE による動作検証でスタンダード CMOS 集積化技術と比べてモデル化しなければならない部分がある。それは、

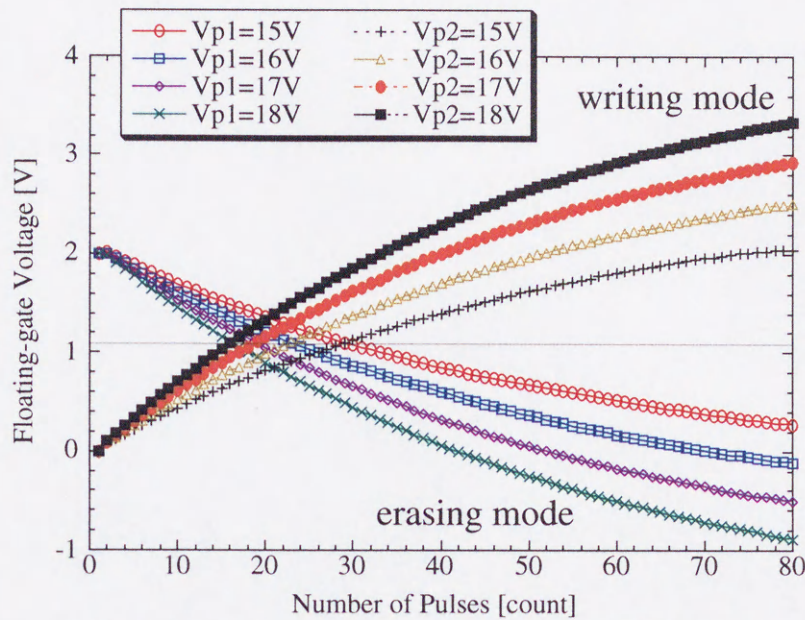


図 2.5: DTSDAM の HSPICE による動作検証

- TFT (Thin Film Transistor)
- トンネル電極

である。TFT は単結晶シリコン基板で形成している MOSFET と比べて、多結晶シリコン上で形成することや、基板が完全にフローティングになっていることから、SPICE の SOS (Silicon On Sapphire) MOSFET のモデルを流用し、実測値から得られた移動度とオン抵抗・オフ抵抗を考慮することで、TFT を SPICE シミュレーション上に実現した。トンネル電極については、トンネルの閾値電圧が SDAM では重要になるため、ダイオードのブレークダウン電圧を利用して実現した。ただし、ダイオードは空乏層容量が存在するため、その影響を無視するために、SDAM を構成するキャパシタの容量を大きめにとることが必要となる。

図 2.5 より、トンネル電極を通しての電荷注入・排出動作時の高電圧パルスの波高値を一定にして記憶更新動作を行なわせると、更新特性の対称性が実現されているのがわかる。よって、アナログメモリを用いた時に、単一の高電圧電源のラインで動作可能になる。

2.4.2 FBSDAM(SDAM with Feedback Circuit)

SDAMにおいて簡単なフィードバック回路を付加させることで、基本的にはSDAMと同機能であるが、より実用的で、メモリの更新の際に与えるパルスの回数に比例して線形的に更新が可能になる。さらに、線形変化させる場合での変化値については、パルス幅に依存しないで動作が可能であるため、パルス幅の多少の変動でも記憶量の変化値が変動するということがない。この不揮発性アナログメモリをFBSDAM (SDAM with Feedback Circuit) と呼ぶ。

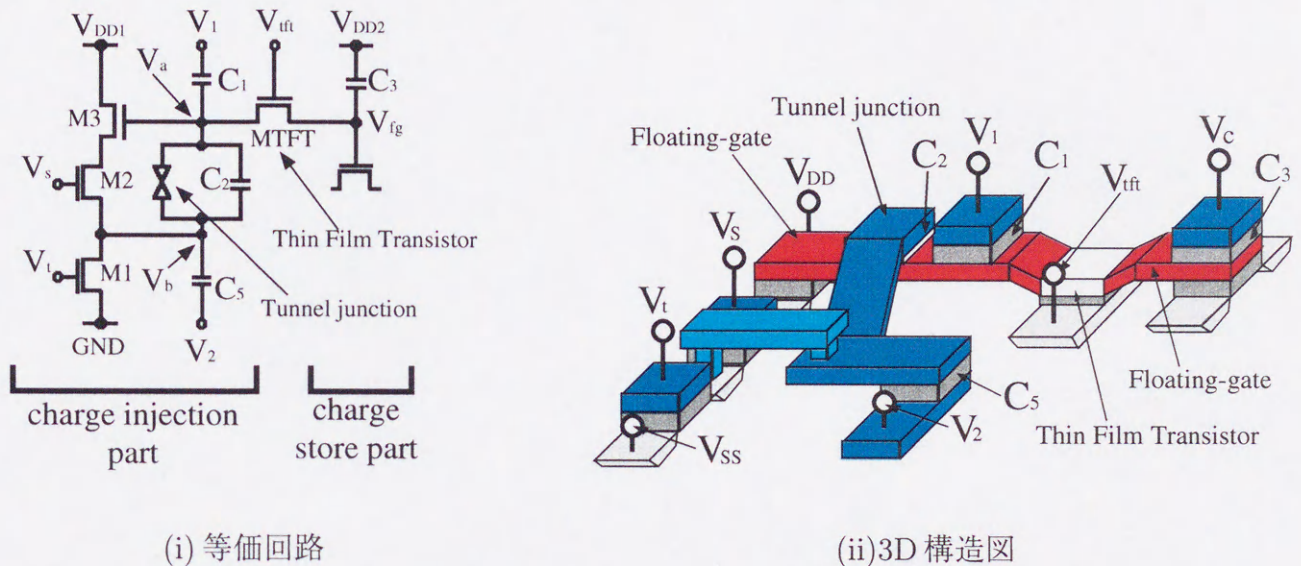


図 2.6: FBSDAM(SDAM with Feedback circuit)

FBSDAM の等価回路と構造図を図 2.6 に示す。フローティングゲートの部分を直接 MOSFET のゲートに接続し、ソースフォロワとして機能する。そこから 2 個の nMOS と接続している。制御信号を入力する部分は、 V_s 、 V_t 、 V_1 、 V_2 、 V_{tft} である。

2.4.2.1 書き込み・消去動作

書き込み・消去シーケンスを図 2.7 に示す。

図 2.7 より、各動作シーケンスには 4 つの phase から成り立っている。

- initial: 初期状態
初期状態としては、図 2.6 で、 V_a と V_{fg} は同電位、かつ、 V_b はトランジスタ M1 によってセットされているので、電位はゼロである。
- phase 1: トンネル部への電荷注入・排出前のフィードバック動作
この動作で、トンネル電極の電位差 ($V_a - V_b$) を V_{th} 、つまりトランジスタ M3 の閾値の値にセットする。これにより、トンネル電極間電位差が一定値に固定される。このときの時間 t_p は次のように表される。

$$t_p > R_{on} \left(C_5 + \frac{C_1 C_2}{C_1 + C_2} \right) \quad (2.20)$$

但し、 R_{on} はトランジスタ M2 のオン抵抗を示す。

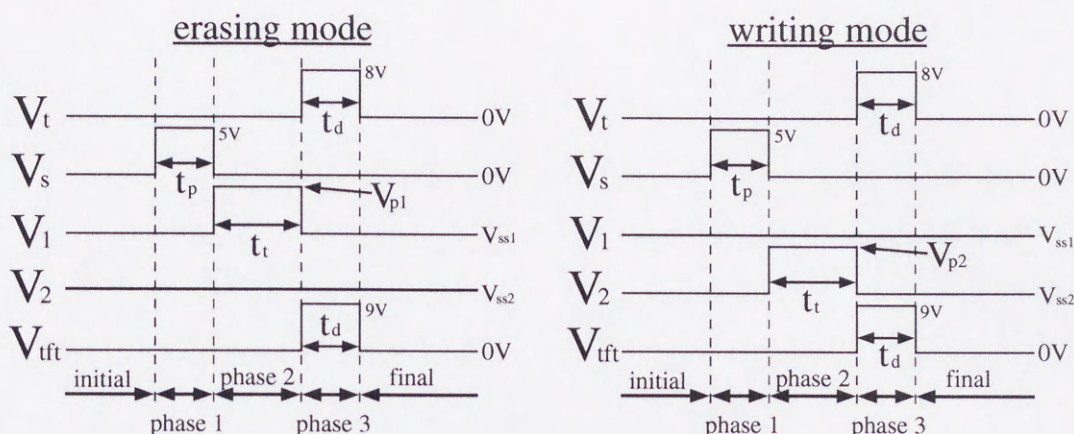


図 2.7: Feedback 付き SDAM の動作シーケンス

- phase 2: トンネル部への電荷注入または排出
F-N Tunneling 現象を用いて、電荷をフローティングゲートへ注入または排出する。
このとき、 V_1 または V_2 に与える高電圧パルス (V_{p1}, V_{p2}) について、以下の条件を満たさないと、フローティングゲートに電荷が注入または排出されない。

$$V_{p1} \geq \frac{(V_{tunnel} - V_{th})(C_1C_2 + C_1C_5 + C_2C_5)}{C_1C_5} \quad (2.21)$$

$$V_{p2} \geq \frac{(V_{tunnel} + V_{th})(C_1C_2 + C_1C_5 + C_2C_5)}{C_1C_5} \quad (2.22)$$

また、フローティングゲートに電荷を注入または排出する時間 t_t はつぎのように表すことができる。

$$R_t(C_1 + C_2 + C_5) < t_t < C_3R_{off,tft} \quad (2.23)$$

但し、 R_t はトンネル抵抗、 $R_{off,tft}$ は TFT のオフ抵抗を示す。

- phase 3: TFT による電荷拡散
TFT を通して、charge injection part の電荷を charge storage part の C_3 へ拡散させる。
- final: 更新動作終了
図 2.7 の書き込み・消去動作シーケンスにおいて、フローティングゲート電圧 $V_{fg}(n)$ の変化値は、次のように示される。

– Erasing mode

$$V_{fg}(n) = V_{fg}(0) - \Delta V_{fg-e} \cdot n \quad (2.24)$$

$$\Delta V_{fg-e} = \frac{C_1C_5V_{p1} - (C_1C_2 + C_1C_5 + C_2C_5)(V_{tunnel} - V_T)}{(C_1 + C_5)(C_1 + C_2 + C_3)} \quad (2.25)$$

- Writing mode

$$V_{fg}(n) = V_{fg}(0) + \Delta V_{fg-w} \cdot n \quad (2.26)$$

$$\Delta V_{fg-w} = \frac{C_1 C_5 V_{p2} - (C_1 C_5 + C_1 C_2 + C_2 C_5)(V_{tunnel} + V_T)}{(C_1 + C_5)(C_1 + C_2 + C_3)} \quad (2.27)$$

ここで、 $V_{fg}(0)$ はフローティングゲート電位の初期電位、 n は書き込み・消去動作の回数をしめす。式(2.24)-(2.27)より、FBSDAMは書き込み・消去回数に対して線形に更新動作を行なうことがわかる。

線形更新動作においては、その線形更新の更新幅は式(2.25)・(2.27)より、

- 高電圧パルスの波高値 (V_{p1}, V_{p2})
- FBSDAMを構成するキャパシタの容量比

で決まる。もちろん、トンネルとMOSFETの閾値電圧も線形更新の際の更新幅に影響を与えるパラメータであるが、これら2つの値は製造工程で決まってしまうため、FBSDAMを設計する際には既定値になる。

また、FBSDAMの理想的な線形動作範囲は、以下のように示される。

$$V_{th} < V_{fg} < V_{tunnel} \quad (2.28)$$

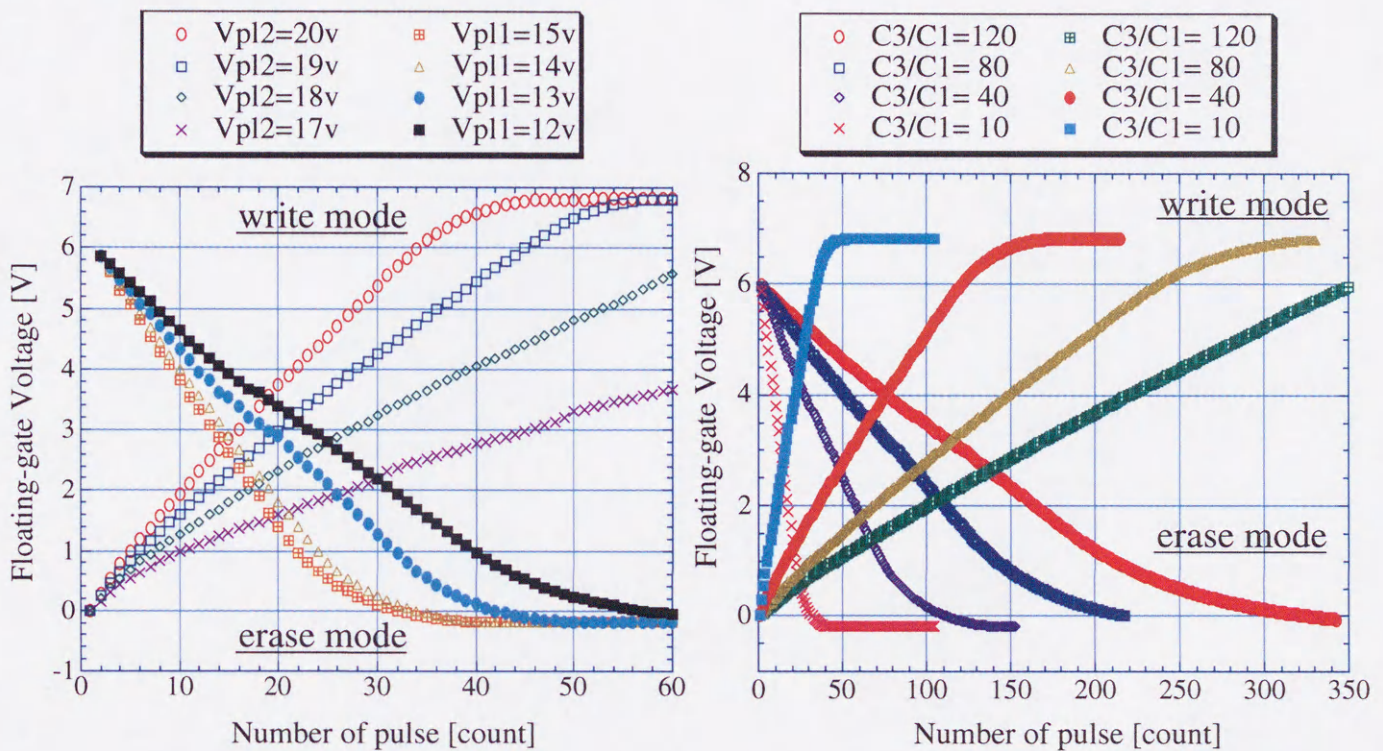
つまり、ソースフォロワとして機能しているMOSFET(図2.6のMOSFET M2)の閾値電圧から、トンネル電極の閾値電圧の範囲まで動作する。

但し、式(2.28)の範囲が成り立つには以下の条件が必要となる。

- トランジスタM2がソースフォロワによってキャパシタ C_5 と接続する電位が固定されないような十分大きな入力電圧を V_s に与える。
- TFTがソースフォロワ動作によりメモリ部の電位が固定されないような十分大きな入力電圧を V_{ift} に与える。
- MOSFETのon/off動作による入力容量の充放電の影響を受けないほど十分大きなキャパシタの容量値で設計する。

2.4.2.2 SPICEによる動作解析

FBSDAMを構成するMOSFETを理想的なスイッチとして仮定した場合の数式による解析から、FBSDAMは線形更新することが可能であることがわかった。そこで、これを実際にデバイスとして集積化するための動作検証をHSPICEで行なった。TFTやトンネル電極のモデルについてはDTSDAMの動作検証と同様のものを用いた。ここで用いたトンネルの閾値電圧は6.5V、MOSFETの閾値は1Vであるため、線形動作範囲は式(2.28)より、1Vから6.5Vの範囲となる。



(i) 高電圧パルスの波高値を変えた場合

(ii) キャパシタの容量比 C_1 と C_3 を変えた場合

図 2.8: FBSDAM の HSPICE による動作検証

図 2.8(i)(ii) より、更新特性が更新回数に対して線形であることが明らかであるが、FBSDAMを設計する際に、FBSDAMの線形更新の更新幅は式(2.25)・(2.27)より、

- 高電圧パルスの波高値 (V_{p1}, V_{p2})
- FBSDAMを構成するキャパシタの容量比

で決まることが分かっている。そこで、トンネル電極を通じての高電圧パルスの波高値を変えた場合と設計の際のキャパシタの容量比(ここでは $C_1 = C_5 = 4C_2$ と C_3)を変えた場合の2つの場合における更新動作特性をSPICEで検証した。

式(2.25)・(2.27)より、FBSDAMを設計する際に、更新幅を小さくするには高電圧パルスの波高値を低くするか、キャパシタ C_3 の容量を他の容量より大きくとることで実現できることが分か

る。このことは図2.8の検証結果からでも明らかである。

よって、FBSDAMは記憶更新特性の線形性が実現されているのがSPICEによる動作検証から明らかになった。

2.4.3 DTFBSDAM(Dual Tunnel FBSDAM)

FBSDAM 単体で線形動作が可能であるが、さらに DTSDAM の動作特性の対称性と書き込み・消去制御回路の簡単化を取り入れることで、書き込み制御回路を含んだアナログメモリを簡単に実現することができる。ここで、これを DTFBSDAM(Dual Tunnel FBSDAM) と呼ぶことにする。図 2.9 に等価回路と 3D 構造図を示す。

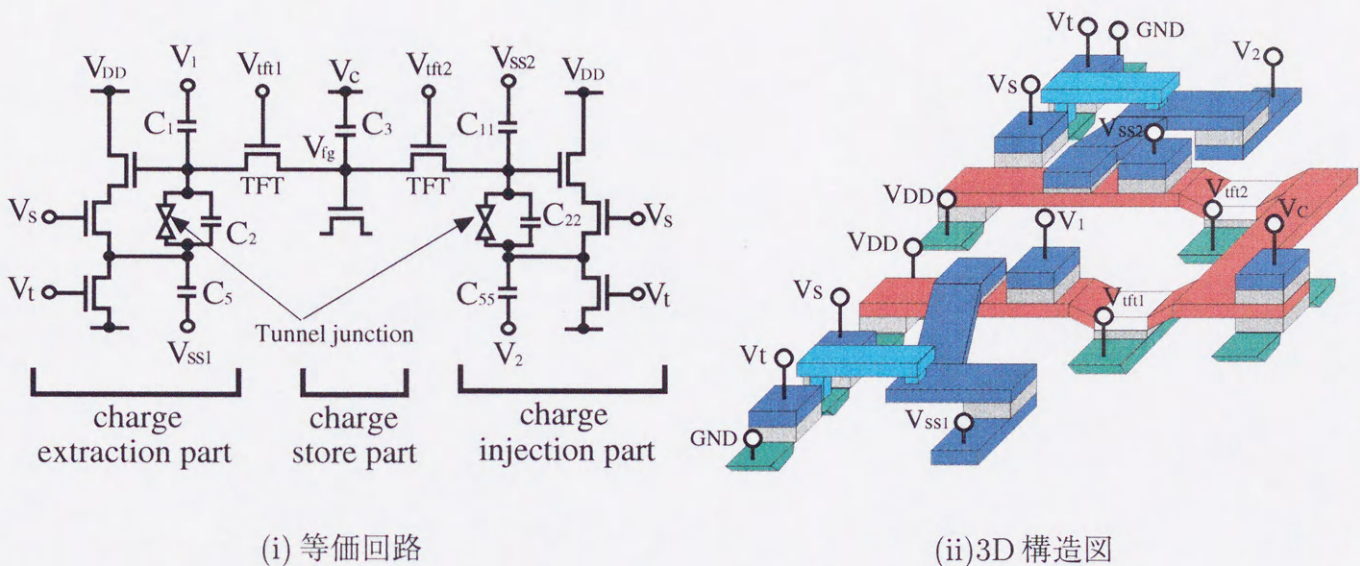


図 2.9: DTFBSDAM(Dual Tunnel SDAM with Feedback circuit)

2.4.3.1 書き込み・消去動作

書き込み・消去シーケンスについては、FBSDAM と DTSDAM の各シーケンスを合わせた形になる。それを図 2.10 に示す。

- initial: 初期状態
初期状態としては、図 2.9 で、 V_{fg} は同電位、かつ、 V_b はトランジスタ M1 によってリセットされているので、電位はゼロである。
- phase 1: トンネル部への電荷注入・排出動作前のフィードバック動作
この動作で、2 つ存在するトンネル電極の電位差を V_{th} 、つまりトランジスタ M3 の閾値の値にセットする。これにより、トンネル電極間電位差が一定値に固定される。このときの時間 t_1 は次のように表される。

$$t_1 > \max\left(R_{on}\left(C_5 + \frac{C_1 C_2}{C_1 + C_2}\right), R_{on}\left(C_{55} + \frac{C_{11} C_{22}}{C_{11} + C_{22}}\right)\right) \quad (2.29)$$

但し、 R_{on} はトランジスタ M2 のオン抵抗を示す。

- phase 2: トンネル部への電荷注入または排出動作
F-N Tunneling 現象を用いて、電荷をフローティングゲートへ注入または排出する。

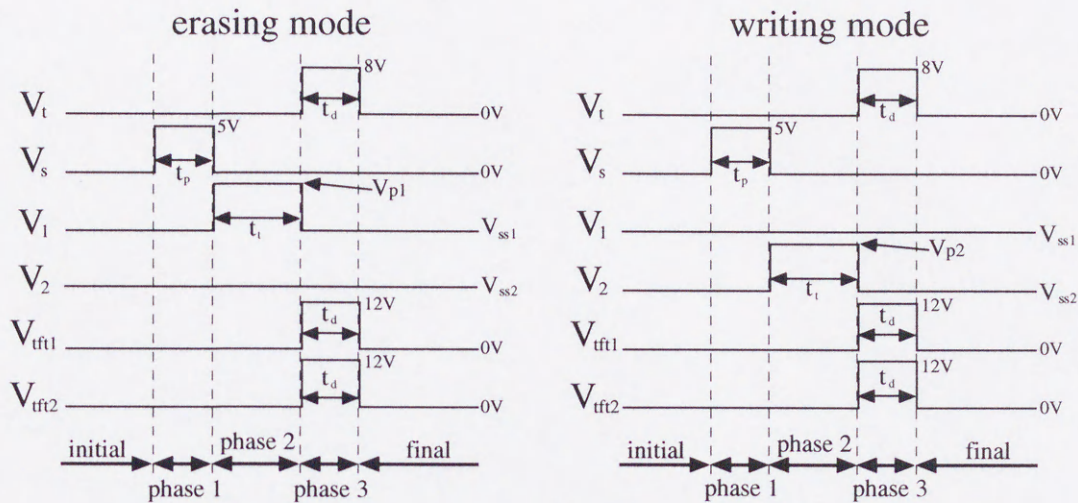


図 2.10: DTFBSDAM の書き込み・消去シーケンス

このとき、 V_1 または V_2 に与える高電圧パルス (V_{p1}, V_{p2}) について、以下の条件を満たさないと、フローティングゲートに電荷が注入または排出されない。

$$V_{p1} \geq \frac{(V_{tunnel} - V_{th})(C_1 C_2 + C_1 C_5 + C_2 C_5)}{C_1 C_5} \quad (2.30)$$

$$V_{p2} \geq \frac{(V_{tunnel} + V_{th})(C_{11} C_{22} + C_{11} C_{55} + C_{22} C_{55})}{C_{11} C_{55}} \quad (2.31)$$

また、フローティングゲートに電荷を注入または排出する時間 t_2 はつぎのように表すことができる。

$$\max(R_t(C_1 + C_2 + C_5), R_t(C_{11} + C_{22} + C_{55})) < t_2 < C_3 R_{offtft} \quad (2.32)$$

但し、 R_t はトンネル抵抗、 R_{offtft} は TFT のオフ抵抗を示す。

- phase 3: TFT による電荷拡散動作

TFT を通して、charge injection part または charge extraction part の電荷を charge storage part の C_3 へ拡散させる。

- phase 4: 更新動作終了

図 2.7 の書き込み・消去動作シーケンスにおいて、更新動作回数 n に対するフローティングゲート電圧の変化 $V_{fg}(n)$ は、次のように示される。

- Erasing mode

$$V_{fg}(n) = V_{fg}(0) - \Delta V_{fg-e} \cdot n \quad (2.33)$$

$$\Delta V_{fg-e} = \frac{C_1 C_5 V_{p1} - (C_1 C_2 + C_1 C_5 + C_2 C_5)(V_{tunnel} - V_T)}{(C_1 + C_5)(C_1 + C_2 + C_3 + C_{11} + C_{22})} \quad (2.34)$$

- Writing mode

$$V_{fg}(n) = V_{fg}(0) + \Delta V_{fg-w} \cdot n \quad (2.35)$$

$$\Delta V_{fg-w} = \frac{C_{11}C_{55}V_{p2} - (C_{11}C_{55} + C_{11}C_{22} + C_{22}C_{55})(V_{tunnel} + V_T)}{(C_{11} + C_{55})(C_1 + C_2 + C_3 + C_{11} + C_{22})} \quad (2.36)$$

ここで、 $V_{fg}(0)$ はフローティングゲートの初期電位を示す。

記憶更新動作の線形性については、式(2.33)-(2.36)より、線形更新特性が実現されているのがわかる。基本的にはFBSDAMと構造は変わらないため、線形更新特性の更新幅を決める要因はFBSDAMと同じである。

次に、記憶更新動作の対称性について検討する。ここで、式(2.34)・(2.36)において、パラメータの数が多いため検討するのが困難である。そこで、以下のような仮定をして実際に検証してみる。

- トンネルの閾値電圧 V_{tunnel} と MOSFET の閾値 V_T は一定

- $C_1 = C_5 = C_{11} = C_{55}, C_3 = AC_1$ 。但し、Aは定数。

ここで、トンネル電極の容量 $C_2 \cdot C_{22}$ を $C_2 = kC_1, C_{22} = lC_{11}$ とおき、Erasing mode と Writing mode での変化値の絶対値が等しいとにおいて式(2.34)・(2.36)を解く。そうすると、次のような関係式が算出される。

$$k = \frac{V_T + (V_{tunnel} + V_T) \cdot l}{V_{tunnel} - V_T} \quad (2.37)$$

つまり、式(2.37)でkとlを求めれば、DTFBSDAMの記憶更新特性の対称性が保証される。よって対称性をDTFBSDAMで実現させるには、式(2.37)にしたがってトンネル電極の容量を決めれば良いことになる。

例えば、 $V_{tunnel} = 6V, V_T = 1V$ と仮定し、 $C_{22} = 0.1C_{11}$ でキャパシタをデザインすると、式(2.37)より、 $C_2 = 0.34C_1$ となる。よってこの容量比でDTFBSDAMを設計すれば、記憶更新動作の対称性が理論的に実現できる。

また、DTFBSDAMの線形動作範囲は、以下のように示される。

$$V_{th} < V_{fg} < V_{tunnel} \quad (2.38)$$

つまり、ソースフォロワとして機能しているMOSFETの閾値電圧から、トンネル電極の閾値電圧の範囲まで動作する。

但し、式(2.38)の範囲が成り立つには以下の条件が必要となる。

- V_s のノードをもつトランジスタがソースフォロワによってキャパシタ C_5 または C_{55} と接続する電位が固定されないような十分大きな入力電圧を V_s に与える。
- TFTがソースフォロワ動作によりメモリ部の電位が固定されないような十分大きな入力電圧を V_{ift} に与える。
- MOSFETのon/off動作による入力容量の充放電の影響を受けないほど十分大きなキャパシタの容量値で設計する。

2.4.3.2 SPICEによる動作解析

数式による解析から FBSDAM と同様に、記憶更新特性の線形性が実現されていることが分かった。そこで、これを実際にデバイスとして集積化するための動作検証を HSPICE で行なった。TFT やトンネル電極のモデルについては DTSDAM や FBSDAM の動作検証と同様のものを用いた。

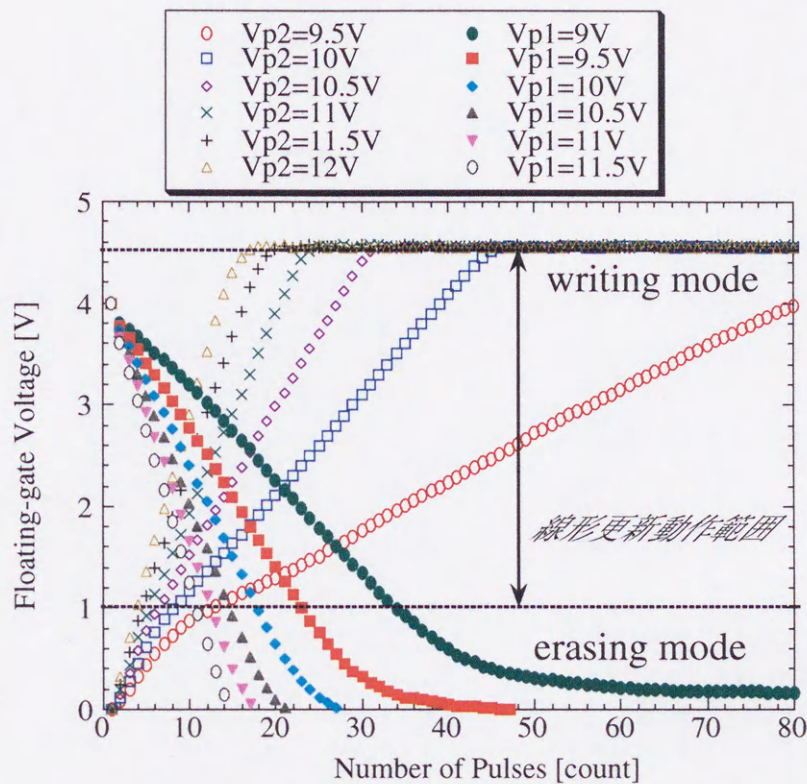


図 2.11: DTFBSDAM の動作検証 (HSPICE)

図 2.11 の結果より、線形性が実現されていることが分かる。基本的な構造は FBSDAM と変わらないため、線形更新特性の更新幅は FBSDAM と同様に、トンネル電極を通して電荷注入または排出を行なうための高電圧パルスの波高値と、キャパシタの容量比に依存する。但し、FBSDAM と比べて、キャパシタの数が増えたこととフィードバック動作を行なう際のフィードバックの回路が 2 つに増えたことから、FBSDAM と比べて線形更新特性が若干向上している。

2.5 まとめ

本研究では、「アナログ・コ・プロセッサ」に必須で、かつアナログ情報処理を実現する上でアナログ値の長期保持と高集積化を目的としたアナログ記憶デバイスとして、新たな不揮発性アナログメモリ DTSDAM、FBSDAM、DTFBSDAM を提案し、設計を行ない、SPICE シミュレーションによる動作検証を行なった。その結果、以下の 3 つのことを結論づけることができる。

- DTSDAM は、トンネル電極を通じての電荷注入・排出の際に印加する高電圧パルスの波高値を同じにしても、トンネル電極が 1 つしかない SDAM と同様の記憶更新動作特性の対称性

が実現されていることが数式による解析と SPICE による動作検証から明らかとなった。

- FBSDAM は、メモリ部のキャパシタの容量を大きく形成しなくても、記憶更新動作特性の線形性が実現されていることが数式による解析と SPICE による動作検証から明らかとなった。
- DTFBSDAM では、数式で解析した結果から FBSDAM の線形更新特性が実現されているのが明らかであるが、設計の際にキャパシタの容量比によっては記憶更新特性の対称性を持たせることが数式での解析から可能であることがわかった。

第3章 新アナログ記憶デバイスの試作と評価

第2章での数式による解析と SPICE による検証結果を踏まえ、DTFBSDAM の試作を行なう前に、DTSDAM と FBSDAM の試作と評価を行なった。

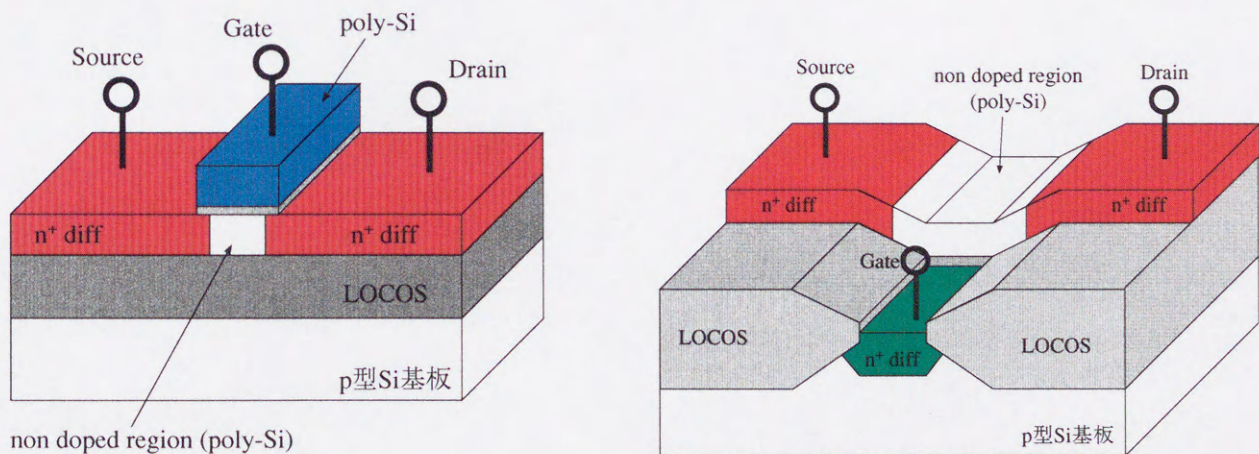
3.1 新アナログ記憶デバイスの試作と測定から得られた問題点

新アナログ記憶デバイスの試作にあたっては、まず、過去の試作・測定評価から生じた問題点を解決しなければならない。その問題点を以下に挙げる。

- TFT からのリークによる記憶レンジの縮小
- トンネル電極・キャパシタからのリークによる記憶レンジの縮小

3.1.1 TFT による記憶レンジの縮小

SDAM のトンネル部からメモリ部への電荷転送のために TFT (Thin Film Transistor) が用いられている。SDAM で用いられている従来の TFT の構造を図 3.1 に示す。従来の TFT の構造は、通常の MOSFET 同様にゲート電極がチャンネルの上部にある [35][36][37]。



(i) 従来の TFT の構造

(ii) 拡散層ゲート TFT の構造

図 3.1: TFT の構造

しかし、従来の TFT の構造では TFT のゲートとソース・ドレインとの間のリークが問題となる。TFT のゲート酸化膜は、多結晶シリコンを熱酸化して生成されるが、多結晶シリコン表面は、

単結晶と違いフラットではないため、微小な凹凸が生じる [38]。さらに余計な不純物拡散を抑えるため [39]、低温で生成しているため、平坦な酸化膜が生成しにくい。そのため、酸化膜で極端に薄い部分からリークする。実際にリークしているデータを図 3.2 に示す。

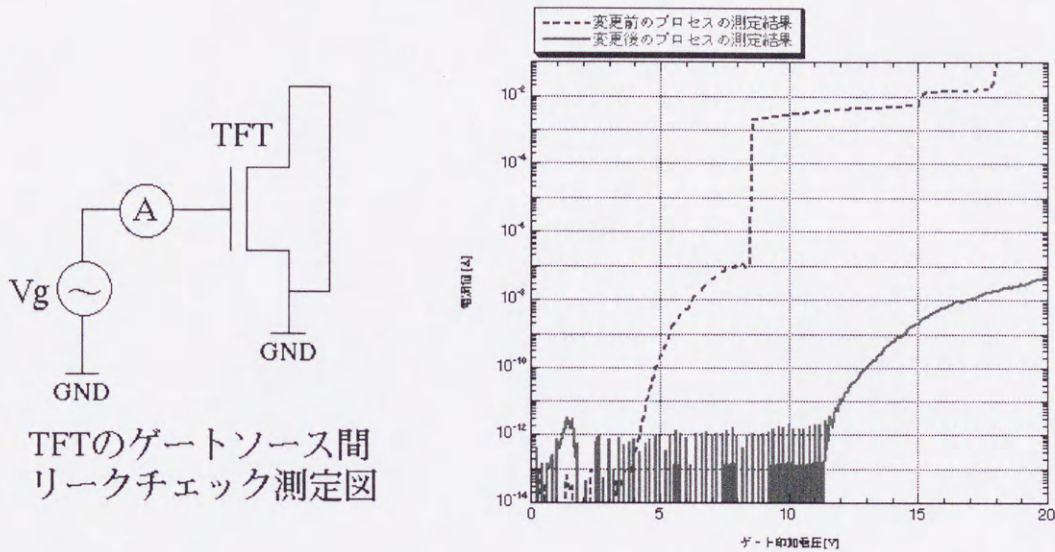


図 3.2: TFT のゲート・ソース間のリークの比較 (1996 年度プロセスデータによる)

そこで、この問題を解決するため、TFT の構造を図 3.1(ii) のように変更した。つまり、ゲートをチャンネルの下、つまり拡散層で形成し、ゲート酸化膜を単結晶シリコン基板から生成することで、TFT のゲート・ソースまたはゲート・ドレイン間のリークを防止することが可能になる。これを拡散層ゲート TFT と呼ぶことにする。

3.1.2 トンネル電極やキャパシタからのリークによる記憶レンジの縮小

不揮発性アナログメモリ SDAM の試作を行ってきたが、TFT のゲート・ソース間のリークのほかに、トンネル電極やキャパシタからの電荷のリークによる記憶レンジの縮小が問題になる。特にトンネル電極では FBSDAM の線形動作範囲を決定するトンネルの閾値電圧に影響を与えるため、リークが存在すると、記憶レンジが狭くなってしまふ。

これらはキャパシタやトンネル電極を形成する際の CAD デザインに起因する。従来、キャパシタの容量をエッチング精度の影響をできるだけ受けないようにするために、ポリシリコン 1 層と 2 層をオーバーラップする形でデザインしてきた (図 3.3)。しかし、このデザインでキャパシタやトンネル電極を形成すると、各電極のエッジの部分の酸化膜の厚さが平坦な部分と比べて薄くついてしまうため、エッジ部からのリークが起こりやすくなる (図 3.4)。特にトンネル電極ではトンネル酸化膜が 200 \AA として形成しているものの、実際はエッジ部が 200 \AA より薄く形成されているため、トンネルの閾値電圧の低下やリークの問題が生じる。

そこで、新アナログ記憶デバイスの試作においては、従来のキャパシタのデザインをやめ、図 3.5 のようなデザインを採用した。これにより、キャパシタの寸法はエッチング精度に影響してし

まうものの、リークは防ぐことが可能になる。特にこのデザイン変更で有効なのはトンネル酸化膜の形成で、図3.6に示すように、トンネル電極を形成することで、トンネル酸化膜の形成を完全に制御することができる。この制御により、トンネル電極のリークやSDAMの記憶レンジの縮小を防止することが可能である。

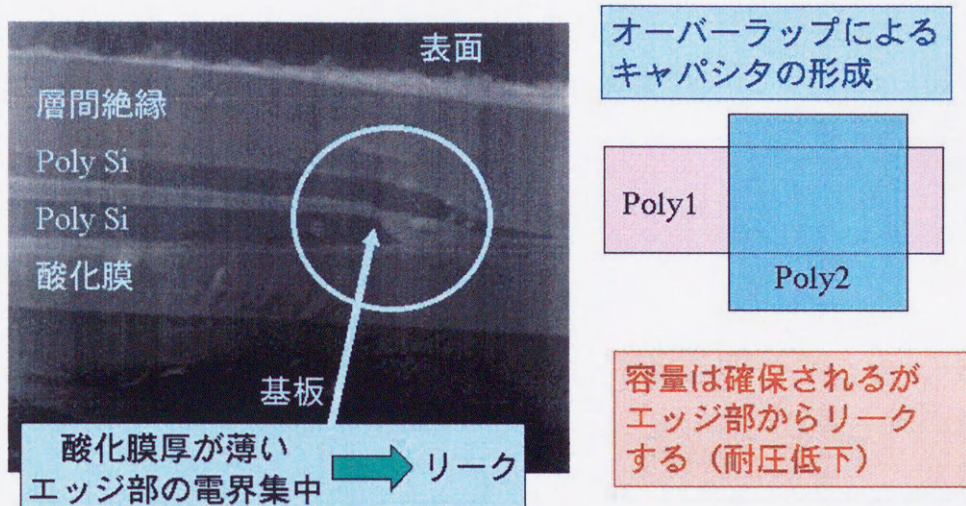


図 3.3: 従来のキャパシタデザイン

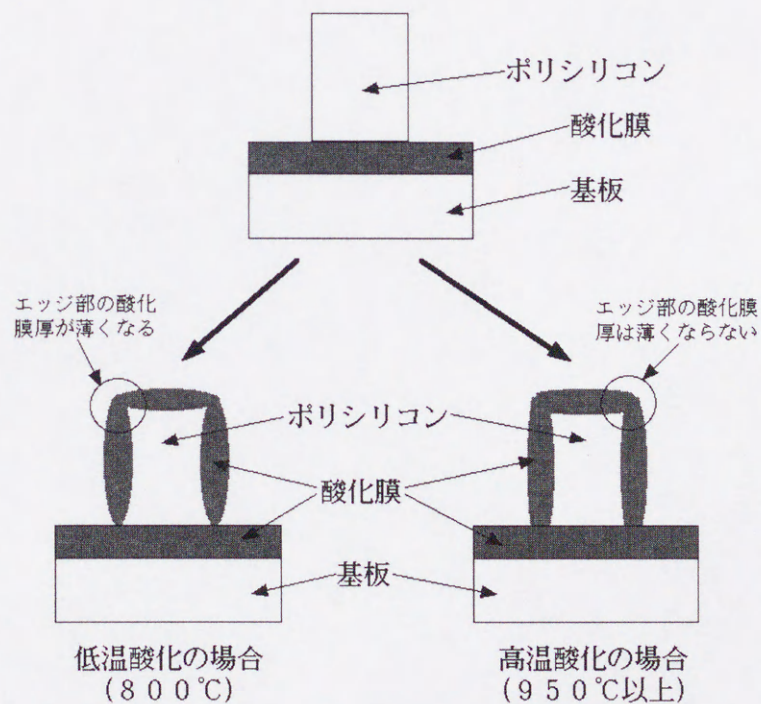
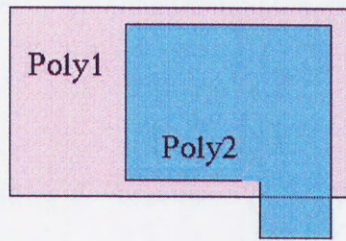


図 3.4: 酸化膜の形成



キャパシタデザインの例

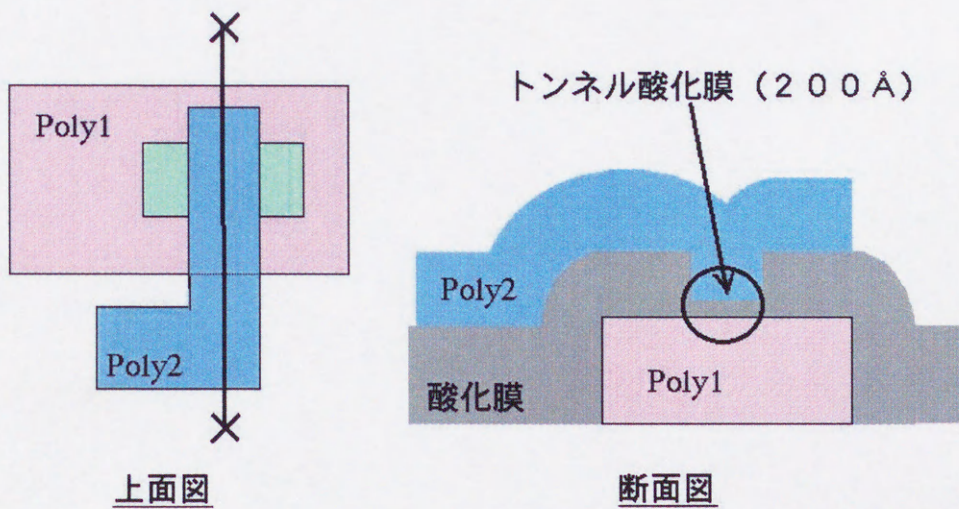
オーバーラップによるキャパシタ形成から変更（左図）



容量はエッチング精度で変わってしまうが、耐圧向上とリーク低減が見込める

特に、トンネル電極に適用することで、トンネル酸化膜形成の制御性の向上と耐圧向上が見込める。

図 3.5: 変更したキャパシタデザイン



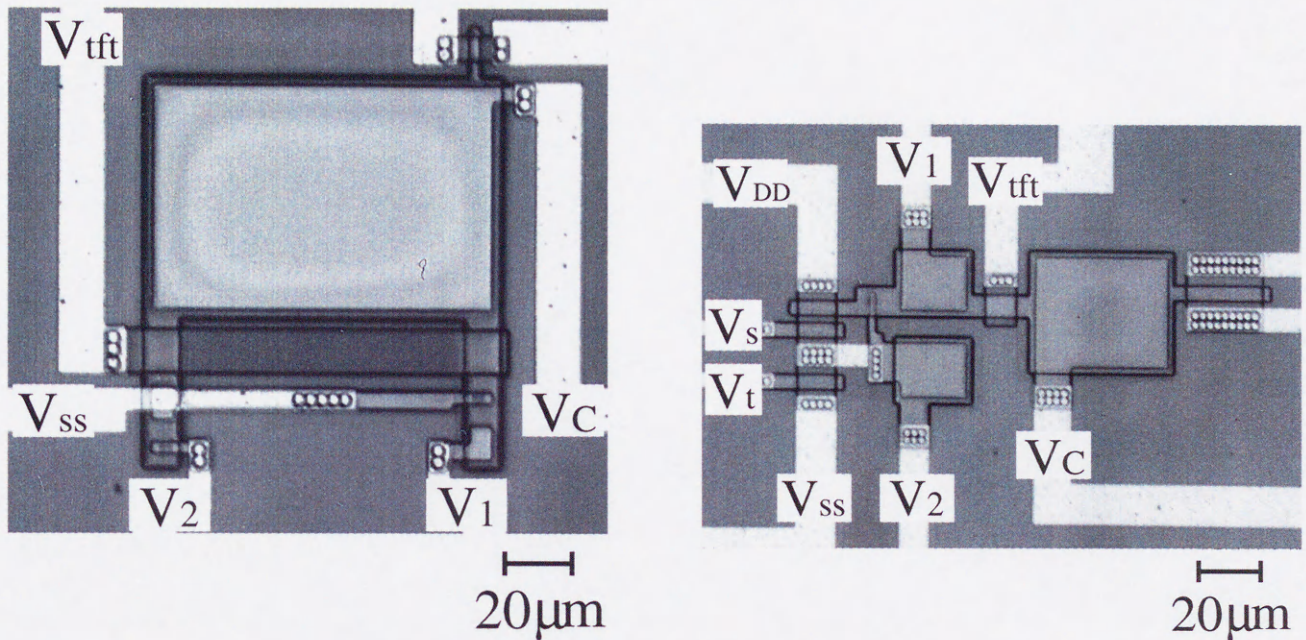
※トンネル酸化膜形成の制御性が向上

図 3.6: トンネル電極の形成

3.2 新アナログ記憶デバイスの試作

3.2.1 試作した新アナログ記憶デバイスの実装写真

アナログメモリの実装写真を図 3.7(i)・(ii) に示す。集積化に関しては、東北大学超高密度高速知能システム実験施設にて独自に開発した半導体製造プロセスに基づいて行なった。



(i)DTSDAMの実装写真(4 μm ルール)

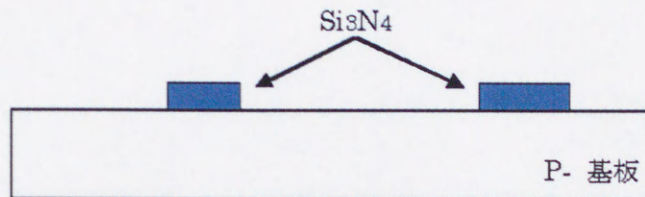
(ii)FBSDAMの実装写真(4 μm ルール)

図 3.7: 新アナログ記憶デバイスの集積化

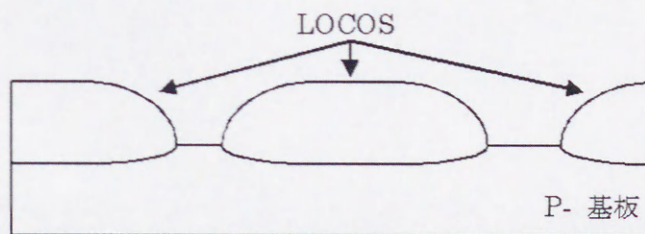
3.2.2 新アナログ記憶デバイスの試作に用いた半導体製造工程

また、この試作に用いた半導体製造工程を以下に示す。新アナログ記憶デバイスの試作のため、nMOS + SDAMの製造工程を用いて試作を行なった。また、本研究では、新たな技術として2層配線工程を導入している。

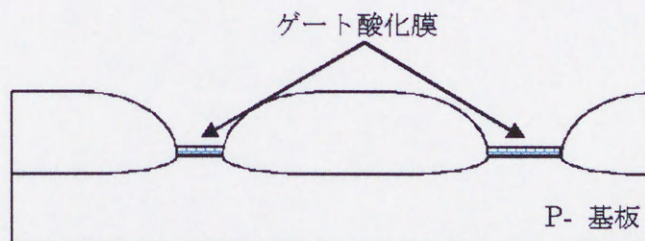
1. 窒化膜デポ&パターンニング



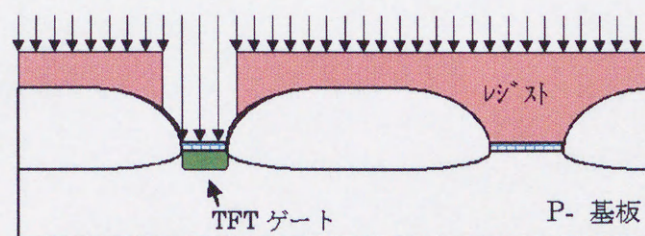
2. LOCOS 形成&窒化膜除去



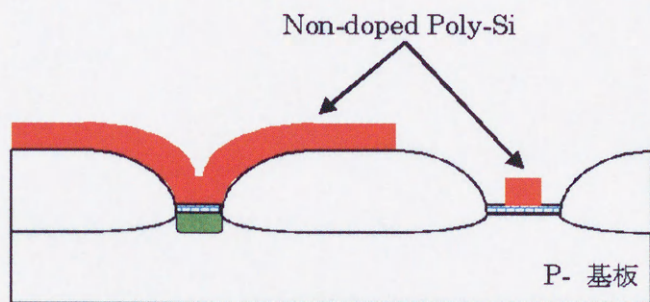
3. ゲート酸化膜形成



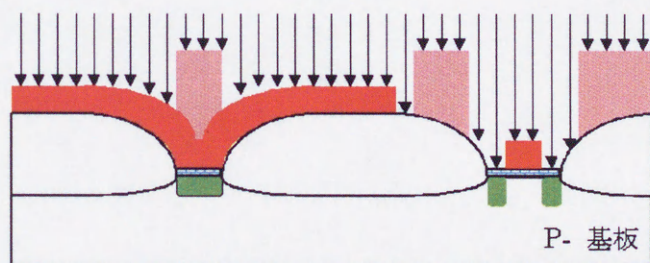
4. TFT ゲート形成



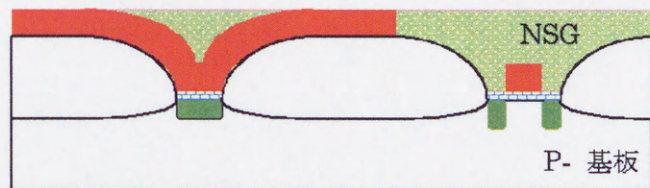
Non doped Poly-Si デポ&パターンニング



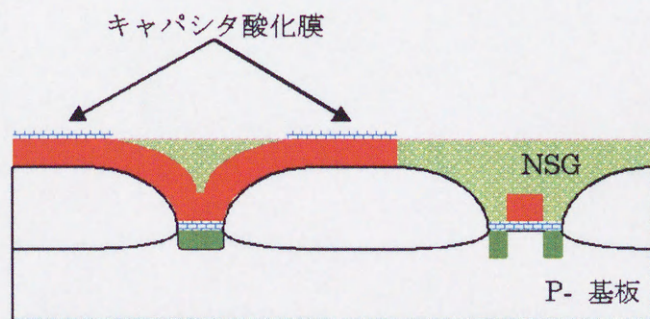
5. NMOS・TFT ソースドレイン形成



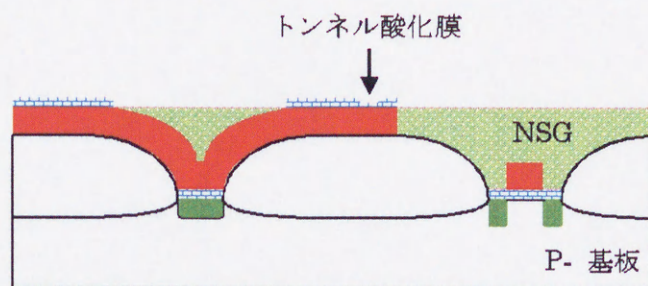
6. 平坦化(1)



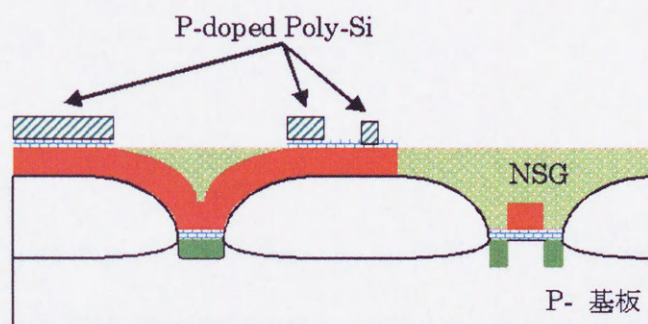
7. キャパシタ酸化膜の形成



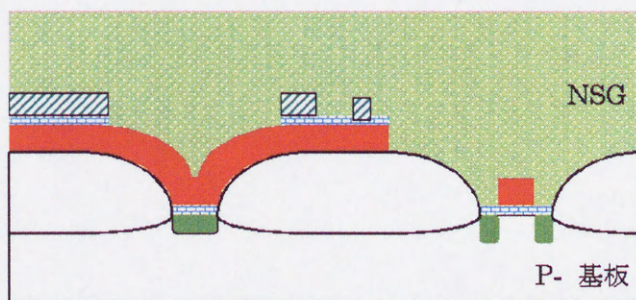
8. トンネル酸化膜の形成



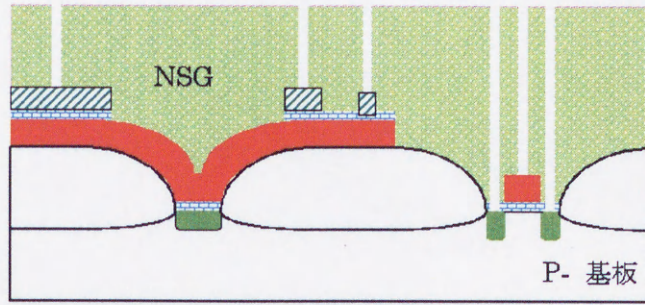
9. P doped Poly-Si デポ&パターンニング



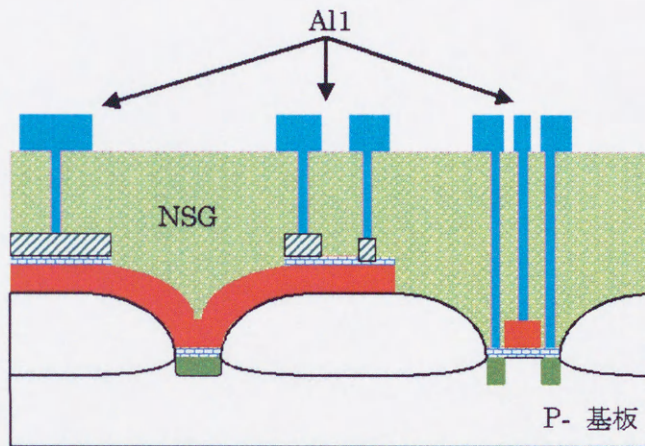
10. 平坦化(2) & NSG デポ



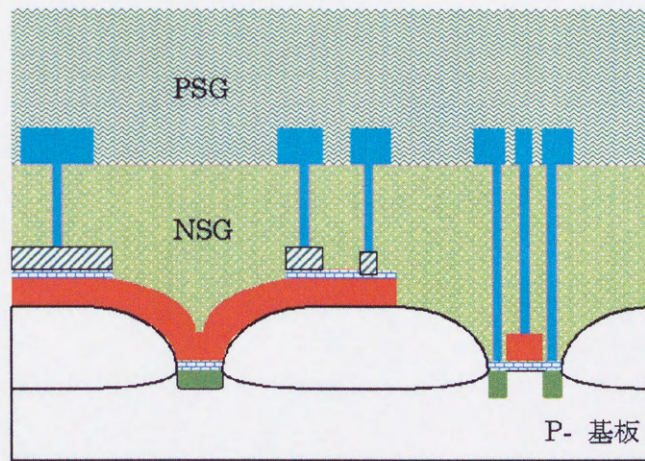
11. コンタクトホール形成



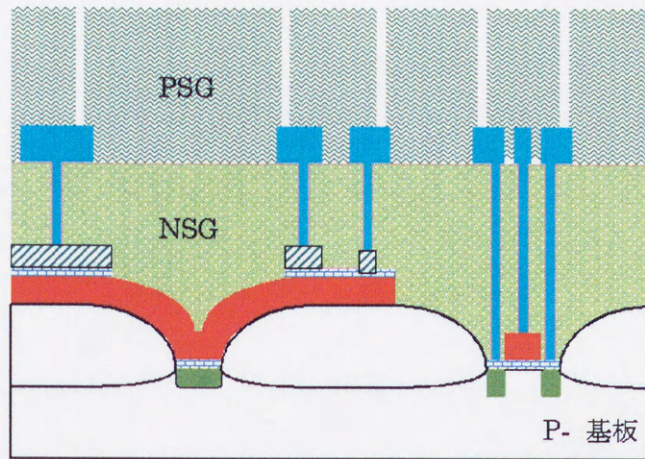
12. 1層アルミ配線形成



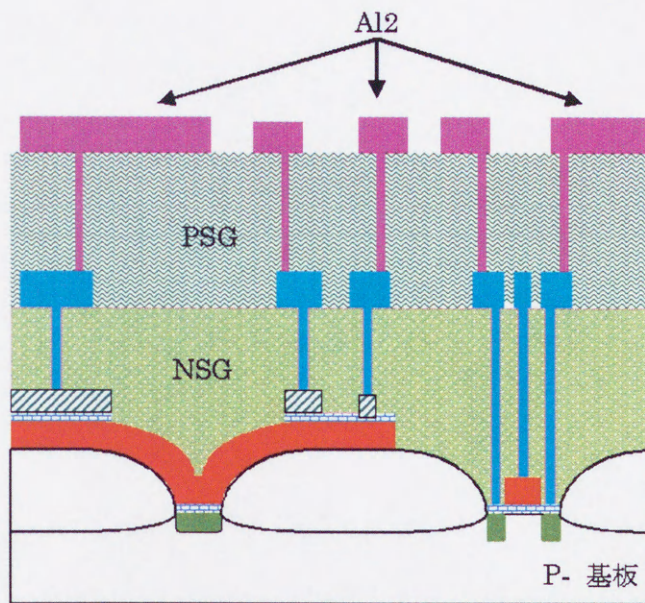
13. 平坦化 (3) & PSG デポ



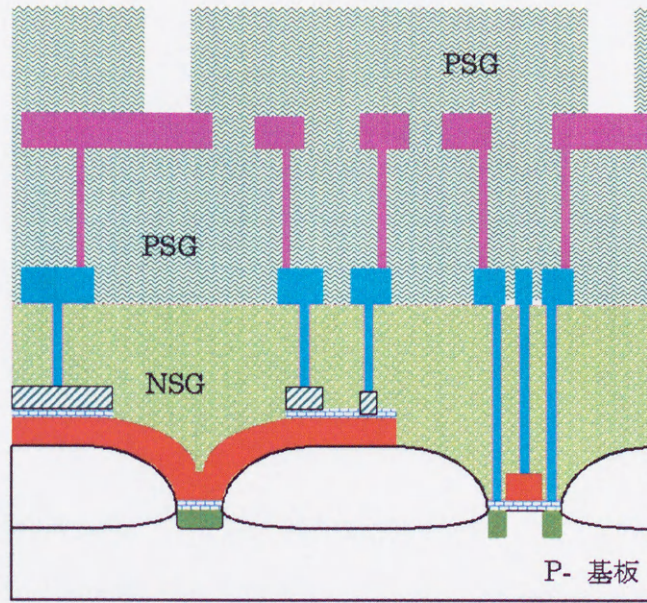
14. コンタクトホール形成 (VIA)



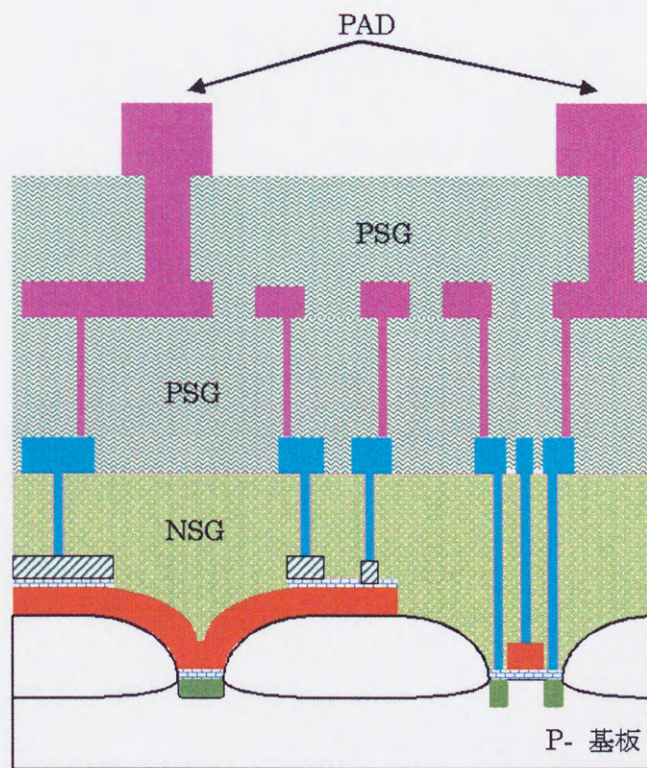
15. 2層アルミ配線形成



16. PSG デポ& PAD コンタクト形成



17. PAD 形成



3.3 新アナログ記憶デバイスの評価

3.3.1 測定方法

3.3.1.1 SDAM 測定の構成

本研究の新アナログ記憶デバイス測定の構成を図 3.8 に示す。また、測定方法を図 3.9 に示す。SDAM の動作測定については、直接フローティングゲートへプローブの針をおろして測定することは困難なため、読みだし用の MOSFET(nMOS) を SDAM のフローティングゲート電位読みだし部に接続している。そして、読みだし用 MOSFET のソースと外部回路の抵抗 ($1.8\text{M}\Omega$) を接続し、ソースフォロワー動作させることで、フローティングゲート電位を間接的に測定している。実際に測定される電位は、フローティングゲート電位 V_{fg} から、フォロワー動作している MOSFET の閾値 V_{th} を引いた分、つまり $V_{fg} - V_{th}$ の電位が測定される。

書き込み・消去の制御は PC から行なっている。書き込み・消去時に高電圧が必要なため ($8\text{V} \sim 17\text{V}$)、測定・制御用ボードを介して SDAM の動作を制御している。フローティングゲート電位は、デジタルオシロスコープで測定し、GP-IB インターフェースを通して PC ヘデータを転送している。

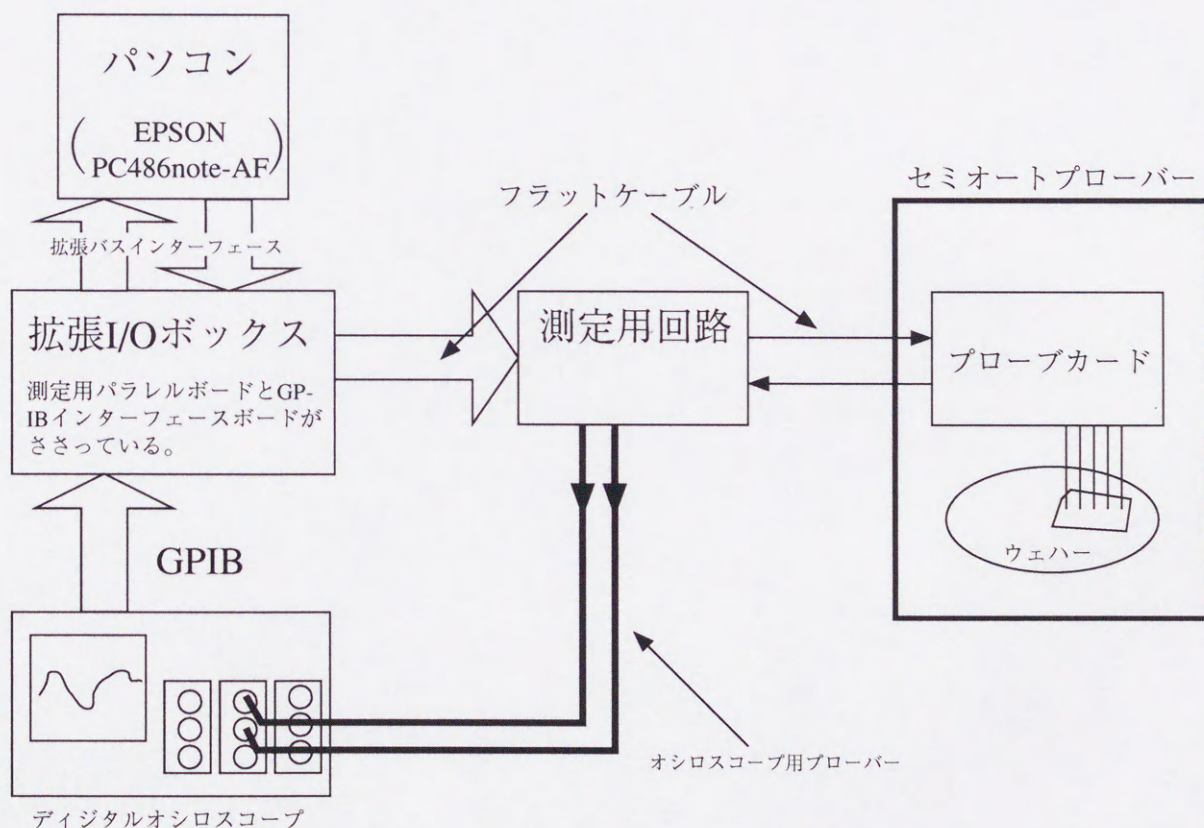


図 3.8: SDAM 測定での機器構成

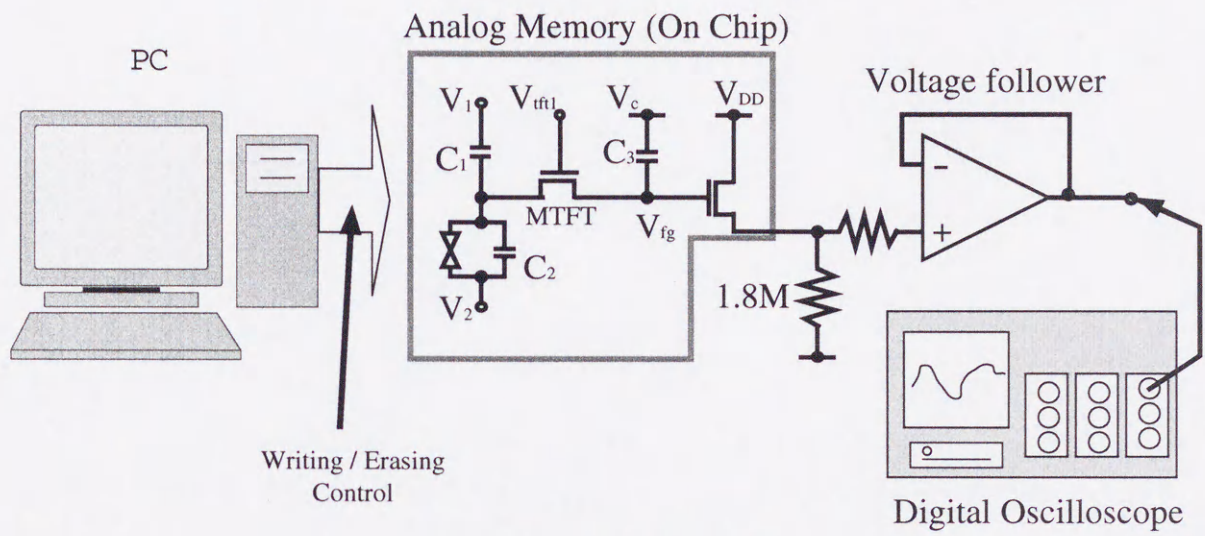


図 3.9: SDAM の測定方法

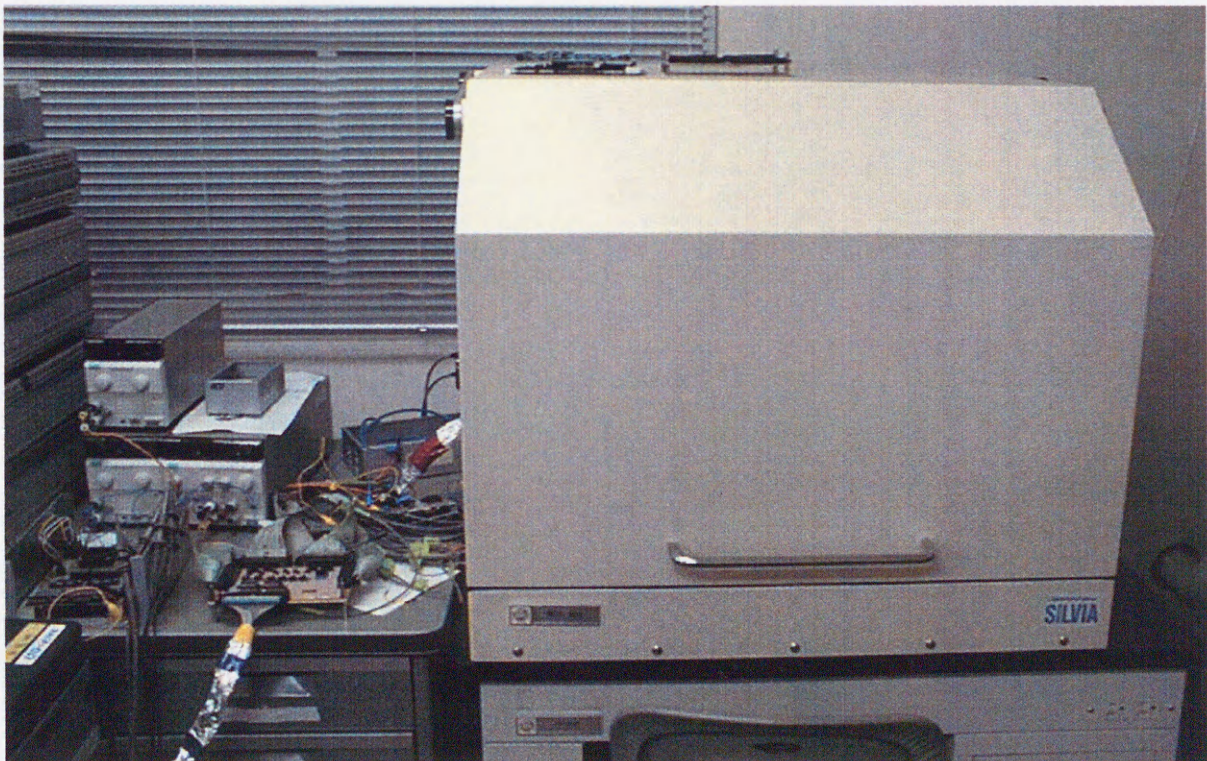


図 3.10: SDAM の測定 (1) (右: プロローバー、左: 測定用ボード類)

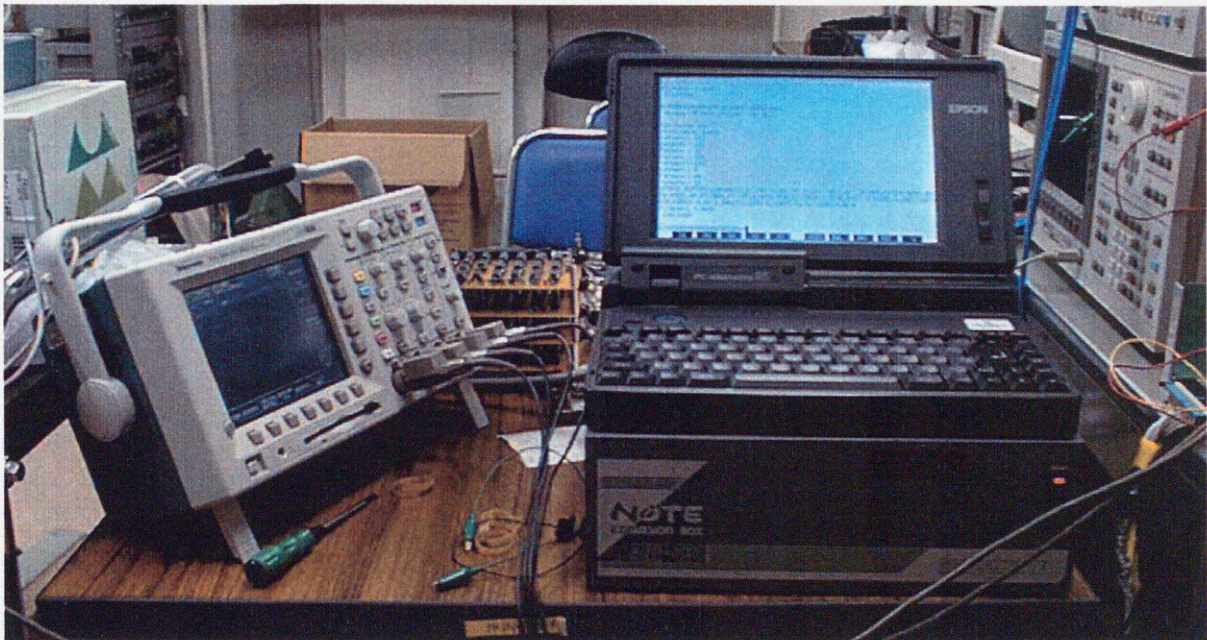


図 3.11: SDAM の測定 (2) (右: 制御用 PC、左: デジタルオシロスコープ)

3.3.1.2 SDAM 測定・制御用ボード

SDAM 制御用ボードの回路図を図 3.12 に、実装図を図 3.13 に示す。PC に接続している PPI ボードからの出力を使って直接駆動させることは不可能なので、バッファを 1 段挿入する必要がある。本研究の測定ボードでは、PPI ボードの出力を直接 CMOS-TTL レベル変換 IC に接続させることで実現した。そして、CMOS-TTL レベル変換 IC の出力は、バイポーラトランジスタ 2 段で構成するレベルシフタへ接続され、パルス電圧を 8V~17V へ昇圧する。最終段にある 1K Ω の抵抗は大電流による素子破壊を防ぐための電流制限抵抗としてはたらいっている。

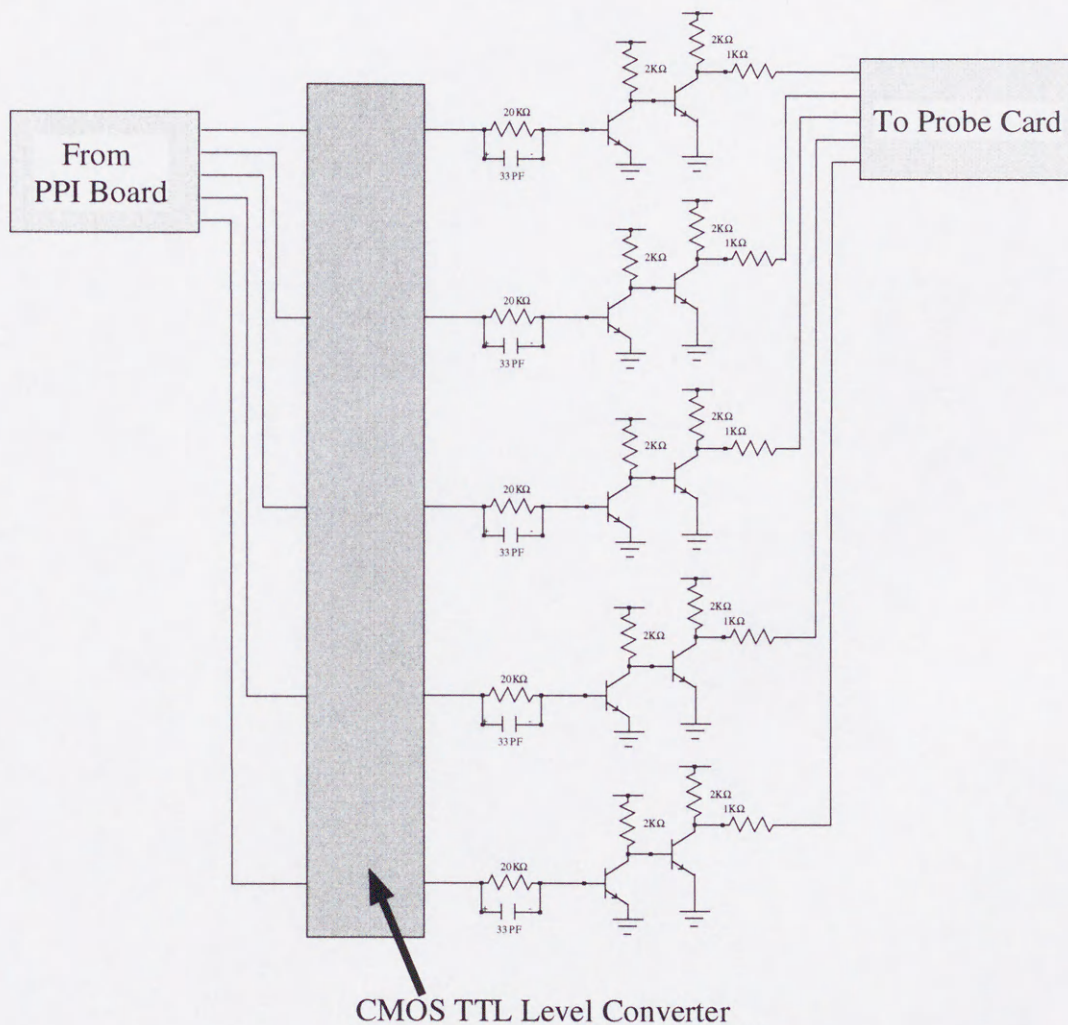


図 3.12: SDAM 制御用ボードの回路図

また、SDAM の電圧出力は、図 3.9 のように高抵抗を接続し、SDAM の読みだし用 MOSFET をソースフォロワ動作させることによりフローティングゲート電圧をモニターする。そして、2 段目に電圧フォロワー回路によりインピーダンス変換を行ない、デジタルオシロスコープでフローティングゲート電位の測定を行なう。

一方、SDAM を構成する基本素子である TFT については、半導体パラメータ装置 HP4155A を用いて測定した。

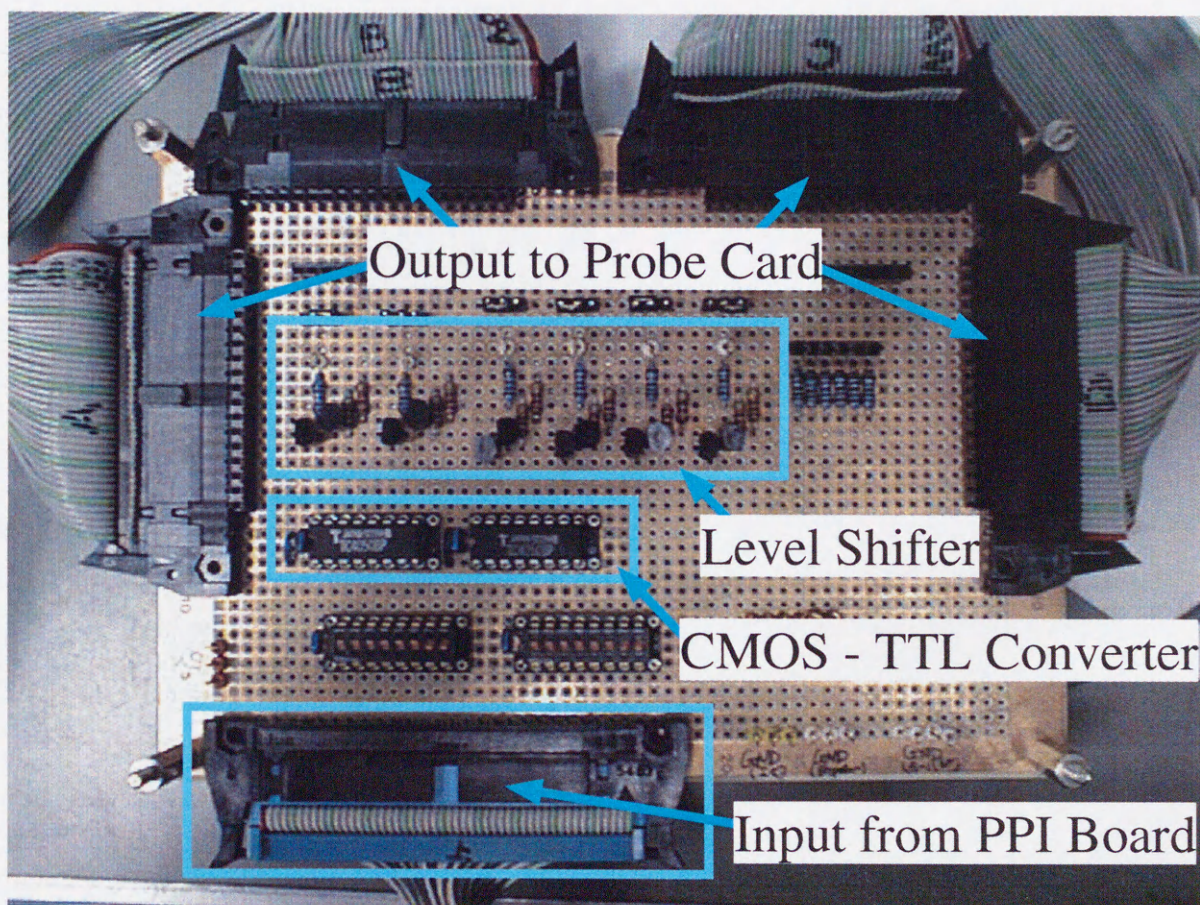
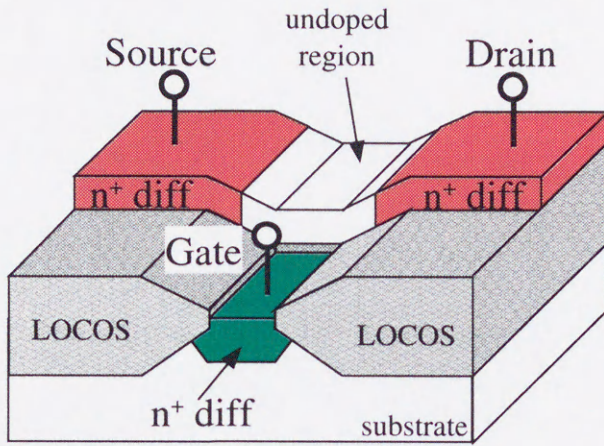


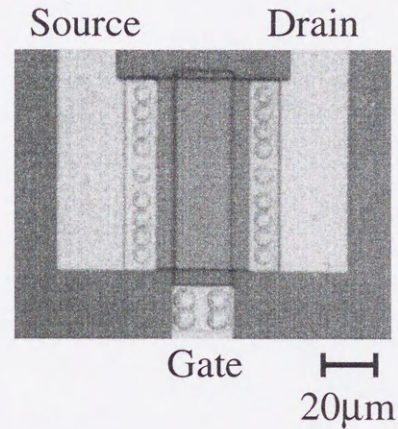
図 3.13: SDAM 制御用ボード

3.3.2 拡散層 TFT について

本研究で採用した拡散層ゲート TFT の測定結果を図 3.15 に示す。TFT のサイズは、 $W/L = 32\mu\text{m}/17\mu\text{m}$ である。また、この閾値は 4.2V である。

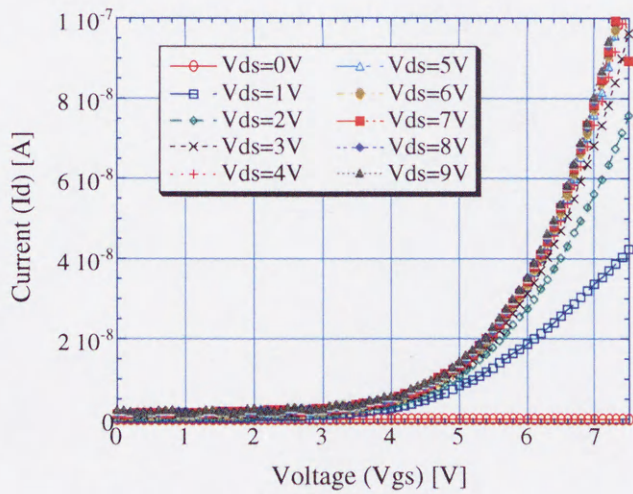


(i) The 3D structure

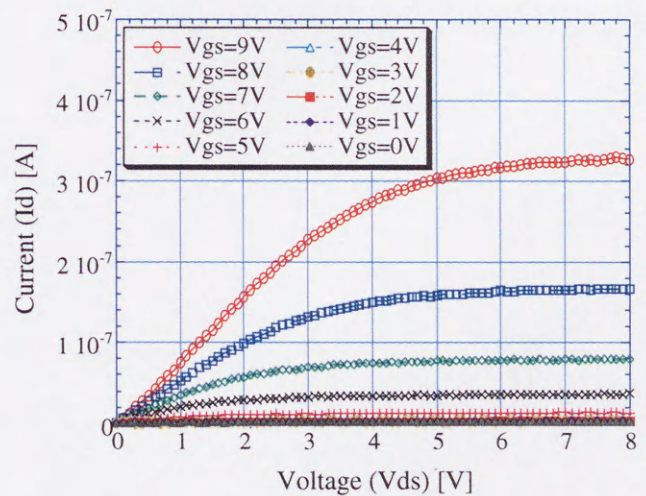


(ii) Microphotograph

図 3.14: 拡散層 TFT



(i) $V_{gs} - I_d$ characteristic



(ii) $V_{ds} - I_d$ characteristic

図 3.15: 拡散層 TFT の特性

3.3.3 DTSDAM

記憶更新動作回数を横軸にとった場合のDTSDAMの書き込み・消去特性を図3.16にしめす。このときの書き込み・消去速度は $300\mu\text{s}$ である。

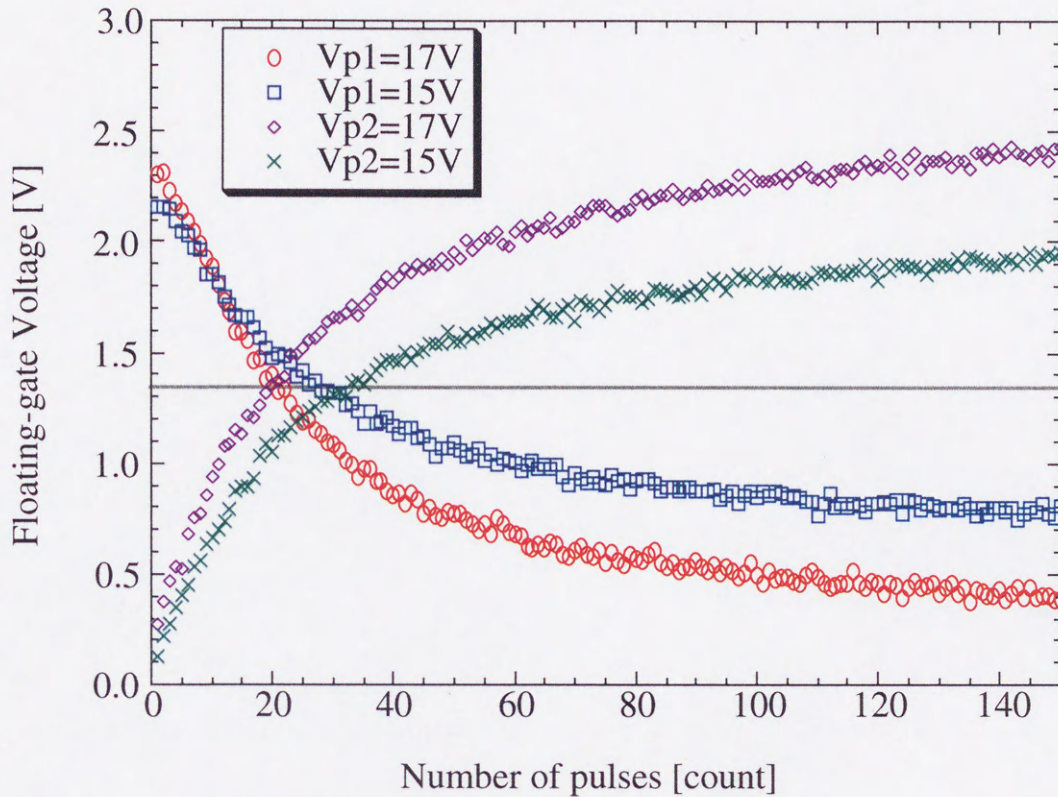


図 3.16: DTSDAM の書き込み・消去動作特性

図3.16の結果から、DTSDAMは単一高電圧パルスで対称性よく動作していることがわかる。このときのDTSDAMの書き込み・消去速度は $300\mu\text{s}$ であるが、 $40\mu\text{s}$ での書き込み・消去動作が可能であることを確認している。

3.3.4 FBSDAM

記憶更新動作回数を横軸にとった時のFBSDAMの書き込み・消去特性を図3.17にしめす。図3.17から、線形的に更新しているのがわかる。このときのFBSDAMを構成しているキャパシタの比は、

$$C_1 : C_2 : C_5 : C_3 = 10.5 : 1 : 10.5 : 42 \quad (3.1)$$

である。このときの書き込み・消去動作は $300\mu\text{s}$ であるが、DTSDAM 同様、 $40\mu\text{s}$ での書き込み・消去動作が可能であることを確認している。

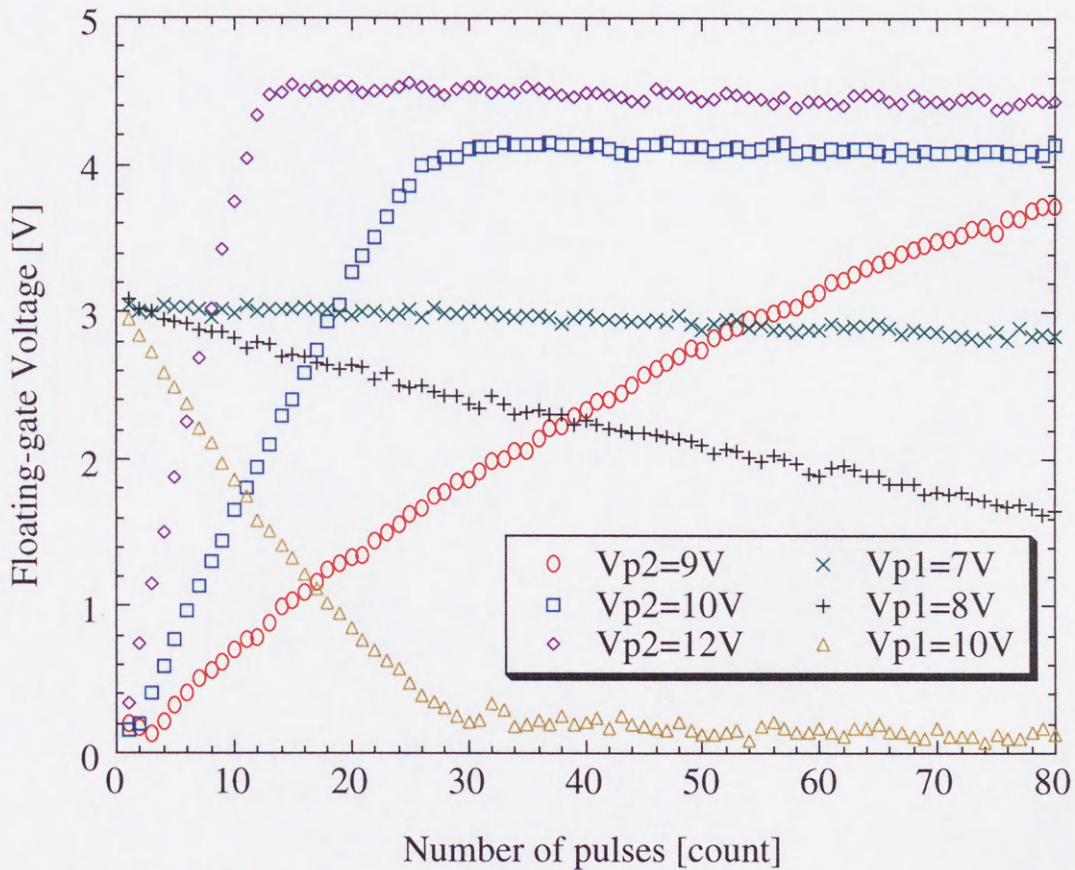


図 3.17: FBSDAM の書き込み・消去動作特性

測定結果から分解能を計算すると (フローティングゲート電位が飽和するまでのパルスの印加回数から算出する)、FBSDAM はデジタル換算して 8bit 分の分解能を持つことが分かる。

3.4 DTSDAM と FBSDAM の特性比較

3.4.1 記憶更新特性の対称性に対する比較

DTSDAM と FBSDAM に対して、トンネル時の高電圧パルスを $V_{p1} = V_{p2}$ として記憶更新動作を行なわせたときの特性の対称性の比較を図 3.18 に示す。

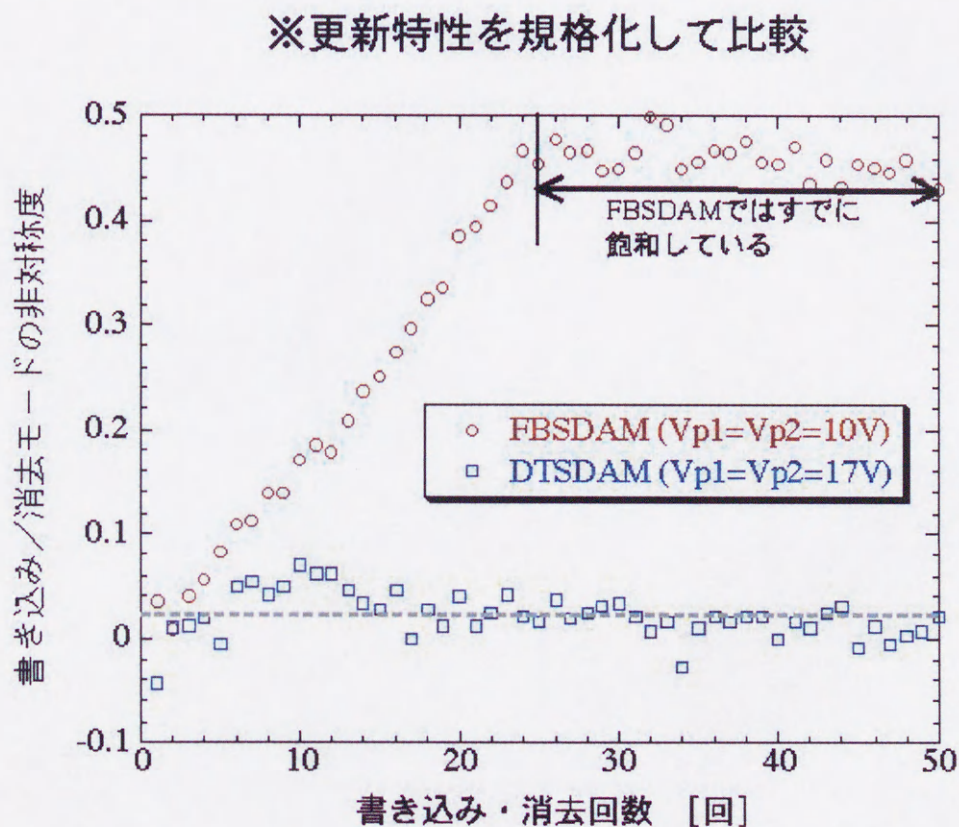


図 3.18: 記憶更新特性の対称性の比較

DTSDAM・FBSDAM とともに比較を容易にするため、規格化については、以下のような方法で行なった。

$$(\text{normalized data}) = \frac{(\text{出力電圧値}) - (\text{出力電圧の下限値})}{(\text{出力電圧のレンジ幅 (上限値-下限値)})} \quad (3.2)$$

この規格化を行なうことで動作レンジによらずに比較することが可能になる。

この規格化を行ない、さらに記憶更新特性の対称性を示すために、書き込みまたは消去特性いづれかを反転させ、差をとることで非対称度という値で示すことができる。つまり非対称度が小さい程書き込み・消去特性の対称性が良いことになる。

図 3.18 を見ると、DTSDAM の記憶更新回数が増えてもほぼ 0 に近い値で一定であるため、対

称性が実現されていることがわかる。しかし、FBSDAMでは、 $V_{p1} = V_{p2}$ で記憶更新動作をさせると、もともと非対称な特性であるため、更新動作回数が増えるにしたがって非対称度が広がるため、対称性が実現されていないのがわかる。

よって、DTSDAMは記憶動作特性の対称性が実現されていると結論できる。

3.4.2 記憶更新動作の線形性に対する比較

FBSDAMとDTSDAMに対して、書き込み消去を連続して行なわせた場合の線形性の比較を図3.19に示す。各デバイスの動作レンジに対して規格化することで容易に比較ができる。図3.19の点線は理想的な規格化線形更新特性であるが、理想的な線形更新特性とFBSDAM、DTSDAMの規格化更新特性を比較すると、FBSDAMの方が理想的な線形更新特性に近い特性を示すことがわかる。

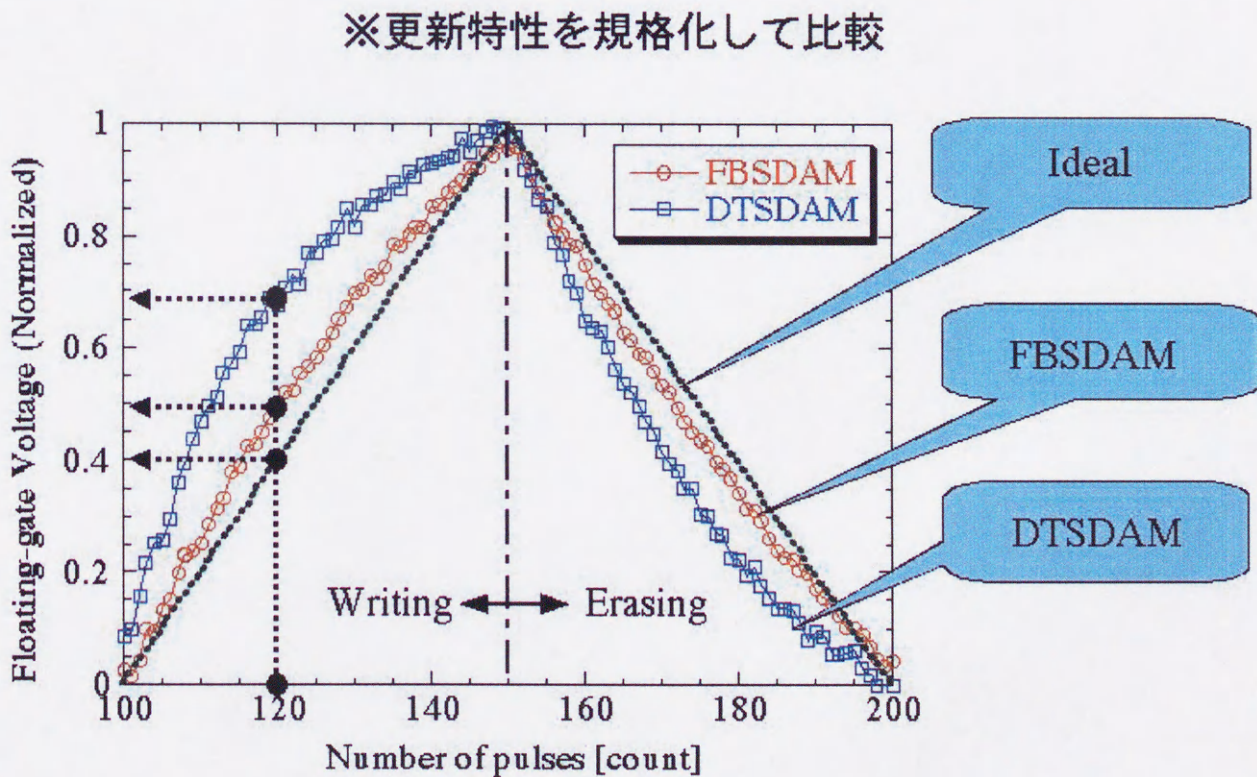


図 3.19: 記憶更新特性の線形性の比較

よってFBSDAMは、記憶更新動作の線形性が実現されていると結論できる。

3.4.3 DTSDAM、FBSDAMの特性のまとめ

このような測定結果から、DTSDAM・FBSDAMの特性をまとめると次のようになる。

	DTSDAM	FBSDAM
記憶動作速度	300 μ s	300 μ s
分解能	80 steps (6ビット相当)	220 steps (8ビット相当)
キャパシタ比 ($C_1 : C_2 : C_3 : C_4 : C_5$)	2 : 1 : 200 : 1 : 2	10.5 : 1 : 42 : 0 : 10.5
デバイスサイズ	170 μ m \times 140 μ m	100 μ m \times 80 μ m
特性	記憶更新動作の対称性の実現	記憶更新動作の線形性を実現

表 3.1: DTSDAM, FBSDAM の特性

3.5 実用化へ向けての性能評価

本研究では、確実に動作を行なわせるために、ゲート長4 μ mのSDAM集積化工程を用いてデバイスの試作を行なったが、現在の集積化技術を用いた場合の各不揮発性アナログメモリの性能を見積もることとする。

3.5.1 性能の見積もり

ゲート長0.6 μ mのCMOS製造工程と本研究で開発した不揮発性アナログメモリ製造工程を用いてFBSDAMを製作したと仮定する。実際は、高耐圧MOSFETやチャージポンプ回路技術が必要であるが、すでに0.6 μ mの製造プロセスに含まれているとする。ここで、ゲート長0.6 μ mの製造工程を想定した理由は、集積化した際の供給電源電圧が微細化に伴って5Vから3.3Vそして2.1Vへと低下するため、アナログ記憶デバイスとして動作するための動作レンジをとることが難しい領域に入ってくるからである。

0.6 μ mで集積化したと想定して、記憶更新特性をSPICEにより見積もってみた。アナログ記憶デバイスとしてFBSDAMを用い、トンネル電極の大きさを0.36 μ m²とした。TFTについては、ポリシリコン上の不純物拡散長は単結晶シリコンと比べて長いいため、微細化を行なうのは難しいが、実際に研究レベルでゲート長が0.8 μ mのTFTが発表されているため[40]、ゲート長が0.8 μ mのTFTを用いることとする。サブミクロンMOSのパラメータについては、チップファウンドリVDECを通じての試作の際に提供されたMOSFETのパラメータを用いた。

0.6 μ mの製造工程で集積化したと仮定した場合の記憶更新動作のSPICEによる検証結果を図3.20に示す。図3.20より、0.6 μ mを想定してFBSDAMを製作した場合でも4 μ mで製作したFBSDAMと同様に、記憶更新特性の線形性を実現できることがわかる。図3.20においては、FBSDAMを例にSPICEでの見積もりを示したが、DTSDAMに対しても同様なことがいえる。

次に、記憶更新動作の速度について見積もってみる。本研究のアナログ記憶デバイスで用いて

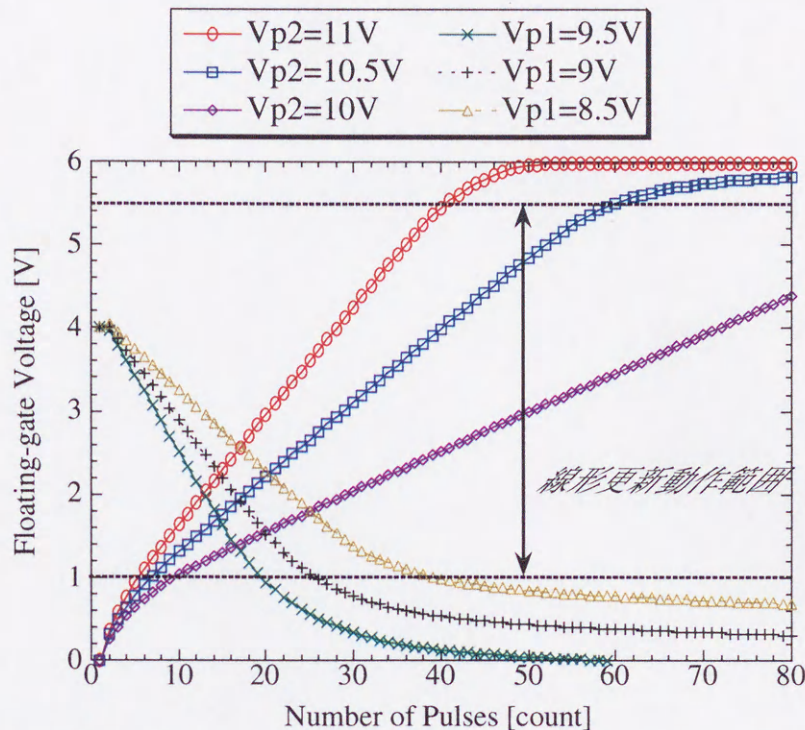


図 3.20: $0.6\mu\text{m}$ で製作したと仮定した場合の FBSDAM の更新特性

いるトンネル電極のトンネル酸化膜の厚さは 200\AA であるが、これを 150\AA で形成したと仮定する。また、トンネル電極の閾値電圧 V_{tunnel} は 6V 、MOSFET の閾値電圧 V_T を 1V とする。FN tunneling の特性式と本研究で Si_2H_6 を用いて LPCVD により堆積したポリシリコンで作られるトンネル電極の FN プロット [29] を用いてトンネル電極のトンネル抵抗 R_t を計算すると、 $5\text{M}\Omega$ となる。よって、数式による解析で算出した各時定数 (フィードバック動作時間 t_p 、トンネル電極を通じての電荷注入・排出時間 t_t 、TFT による電荷拡散時間 t_d) は、次のようになる。

- DTSDAM: $t_t=9.9\text{ns}$, $t_d=61.3\text{ns}$
- FBSDAM: $t_p=47.5\text{ps}$, $t_t=16.5\text{ns}$, $t_d=61.3\text{ns}$

よって DTSDAM の記憶更新速度は 72ns 、FBSDAM では 78ns まで向上させることが可能であると見積もることができる。

記憶更新特性の更新幅と分解能については、これらのアナログメモリの後段に接続する回路の分解能が 10mV (電圧入力 Winner Take All 回路は、各入力に対して識別できる電位差は 10mV [27]) であるため、識別できる最小電圧値を 10mV とする。このとき、記憶更新動作の動作レンジあるいは線形更新動作できるレンジから考察すると、DTSDAM では 110 steps 、FBSDAM では 500 steps まで向上させることができる。

これらをまとめて DTSDAM と FBSDAM の性能を見積もった表を表 3.2 に示す。このことから、DTSDAM、FBSDAM とともに微細化に対しても有用なアナログ記憶デバイスであることが結論できる。

	DTSDAM	FBSDAM
トンネル電極の サイズ (C_2)	$0.36\mu\text{m}^2$ (0.6fF)	$0.36\mu\text{m}^2$ (0.6fF)
キャパシタのサイズ C_1	$2.16\mu\text{m}^2$ (1.32fF)	$2.16\mu\text{m}^2$ (1.32fF)
C_3	$216\mu\text{m}^2$ (132fF)	$21.6\mu\text{m}^2$ (13.2fF)
C_4	$0.36\mu\text{m}^2$ (0.66fF)	×
C_5	$2.16\mu\text{m}^2$ (1.32fF)	$2.16\mu\text{m}^2$ (1.32fF)
TFT のサイズ (L/W)	$0.8\mu\text{m}/1.6\mu\text{m}$	$0.8\mu\text{m}/1.6\mu\text{m}$
デバイスサイズ	$\sim 230\mu\text{m}^2$	$\sim 25\mu\text{m}^2$
記憶更新動作の 動作速度	72ns/update	78ns/update
記憶レンジに対する 更新ステップ数	110 steps (7ビット相当)	500 steps (9ビット相当)

表 3.2: DTSDAM と FBSDAM の $0.6\mu\text{m}$ で集積化を行なったと仮定したときの性能の見積もり

3.5.2 集積化面積による見積もり

本研究のアナログ記憶デバイスと既存のアナログメモリとの比較を通して、本研究のアナログ記憶デバイスの集積化面積に対する評価を行なってみる。既存のアナログメモリの構成として、SRAM 多段構成で実現したアナログメモリを考える。SRAM 自体はデジタルなので、アナログ値を出力させるには D/A 変換器が必要であるが、ここでは後述する集積化連想記憶システムの一部の設計の際に用いた R-2R ラダー抵抗による 8ビット D/A 変換器をつかったアナログメモリを用いて比較を行なった。設計ルールは同一で、ゲート長が $0.6\mu\text{m}$ の集積化技術を用いている。またどちらとも書き込み消去制御や読みだし回路を搭載している。

図 3.21 と図 3.22 の回路面積を比較すると、本研究の新アナログ記憶デバイスによって構成したアナログメモリの集積化面積は 8bitSRAM と D/A 変換器で構成するのと比べて 25分の1になっているのが分かる。仮に 8ビットの SRAM だけの構成を考えてみても、本研究で設計したアナログ記憶デバイスの集積化面積が 9分の1になっているのがわかる。これにより、本研究のアナログ記憶デバイスによる高集積化が実現できることが結論できる。

また、高集積化のメリットを生かして、後述する連想記憶システムにこのアナログ記憶デバイスを適用することで、回路面積縮小による高集積化がはかれることが期待できる。

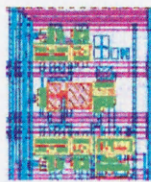


図 3.21: FBSDAM で実現した場合 (サイズ : $70\mu\text{m} \times 75\mu\text{m}$)

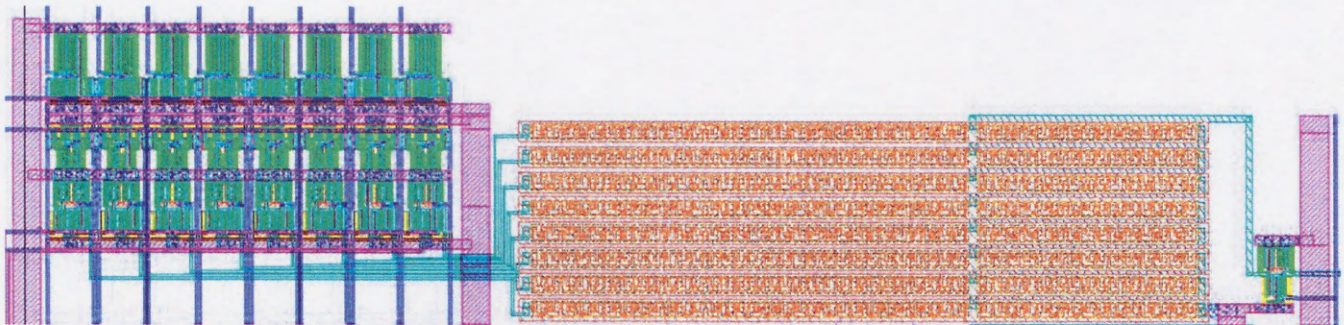
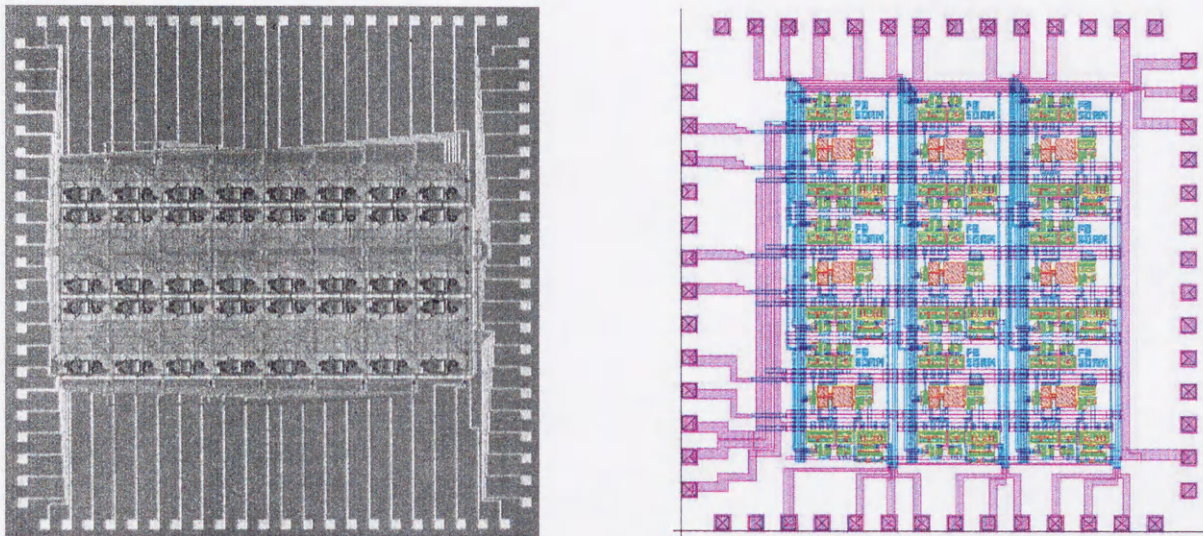


図 3.22: 8bit SRAM と D/A 変換器を用いて実現した場合 (サイズ : $900\mu\text{m} \times 150\mu\text{m}$. のうち SRAM は $330\mu\text{m} \times 150\mu\text{m}$)

3.6 新アナログ記憶デバイスの応用

本研究のアナログ記憶デバイスの応用として、アナログデータ記憶 LSI システムへの応用があげられる。その例として、図 3.23 (i)(ii) に示す。いずれもゲート長 $4\mu\text{m}$ の CMOS 技術と不揮発性アナログメモリ製造技術を用いて集積化または設計を行なった。



(i)DTSDAMで構成した電流出力の不揮発性アナログメモリアレイの構成(チップ写真) (ii)FBSDAMで構成した電圧出力の不揮発性アナログメモリアレイの構成(レイアウト図)

図 3.23: アナログ記憶用 LSI チップの構成

図 3.23(i) は 40 個の DTSDAM が使われており、5.2mm 角のチップとして実現している。分解能は DTSDAM の測定結果からデジタル換算で 6 ビット相当である。一方、図 3.23(ii) については 9 個の FBSDAM が使われ、3.1mm 角のチップとして設計した。

これらの不揮発性アナログメモリアレイを用いることで、アナログデータの長期保持が実現できる。そのため、アナログ回路でのアナログ値記憶 LSI として十分対応できる。一方、前述のとおり、本研究で開発した FBSDAM や DTSDAM は高集積化が可能な記憶素子である。よって、CCD カメラの画質補正值を記憶させるための記憶素子や [42]、後述する集積化連想記憶システムのようなアナログ値で直接処理をするシステムのアナログ情報記憶素子、そしてアナログニューラルネットワークのシナプス荷重値記憶素子として用いることができる。

3.7 まとめ

第2章でDTSDAMとFBSDAMの動作特性を数式とSPICEで検証した結果をもとに、DTSDAMとFBSDAMの基本性能を検証するために試作と評価を行なった。また、過去に不揮発性アナログメモリを試作・評価した際に生じた問題点を改善し、拡散層TFTやキャパシタ・トンネル電極のCADデザイン変更を行なった。

これら改善点を踏まえてDTSDAMとFBSDAMをデザインし、集積化を東北大学電気通信研究所附属超高密度・高速知能システム実験施設にて行なった。測定の結果、次のようなことが結論できる。

- 試作の際の各構成部品に現れる寄生容量や寄生抵抗により完全ではないものの、DTSDAMは数式やSPICEで解析した通り、記憶更新特性の対称性が確認できた。
- 寄生容量やMOSFETの諸特性(基板バイアス効果やチャンネル長変調効果など)により完全な線形更新特性はないものの、DTSDAMと比較してFBSDAMは記憶更新特性の線形性が確認できた。

また、実用化へ向けての性能評価においては、DTSDAMやFBSDAMは非常に有用な不揮発性アナログ記憶デバイスであると結論でき、動作速度を80nsまで向上させることが可能であると見積もることができる。

本研究のアナログ記憶デバイスの高集積化のメリットをいかして、アナログ情報処理用の記憶保持デバイスとして用いることができる。また、アナログ値記憶用LSIとして実現が可能であり、実際に9個のFBSDAMや40個のDTSDAMを用いたアナログ記憶LSIを設計した。分解能は、デジタル換算で8ビット相当であるが、アナログ値を直接長期にわたって保持が可能である。よって、アナログデータストレージ用途などへの応用が期待できる。

第4章 集積化アナログ連想記憶システムの構築

4.1 はじめに

本研究で提案しているアナログ記憶デバイスは、アナログ値を長期保持できるデバイスとして用いることができる。そこで、アナログ値を直接処理かつ記憶できるメリットを生かした情報処理システムとして、アナログ入力を直接連想処理できる「アナログ連想記憶システム」を設計した。

4.2 集積化アナログ連想記憶システムの機能

本研究の連想記憶システムのコンセプトとして、

- 「アナログ・コ・プロセッサ」の概念を採り入れたアーキテクチャ
入力アナログ値で、出力はバイナリにすることで、デジタルシステムとの親和性と情報量の削減を実現する。
- かけ離れた情報に対して無理やり想起せずに「該当しない情報」として識別する
この動作により、「未知な情報」を識別させることができる。
- 想起動作においては完全に合致させる必要はない
人間の連想処理では、すべての情報を提示しなくても連想処理ができる。これを本研究の連想記憶システムに取り入れることで、ニューラルネットワーク以外でロバスト性を実現する。

がある。これらのコンセプトを根底におき、設計を行なった。

4.2.1 連想記憶システムの連想処理

本研究の連想記憶システムの構成図を図4.1に示す。

m 個の要素をもつアナログ入力信号を、

$$\vec{X} = (x_1, x_2, x_3, \dots, x_m) \quad (4.1)$$

と定義する。これに対してパターンが連想記憶システムに格納されている、 j 列目の記憶値を(これを記憶ベクトルと定義する)

$$\vec{\omega}_j = (\omega_{1j}, \omega_{2j}, \omega_{3j}, \dots, \omega_{mj}) \quad (4.2)$$

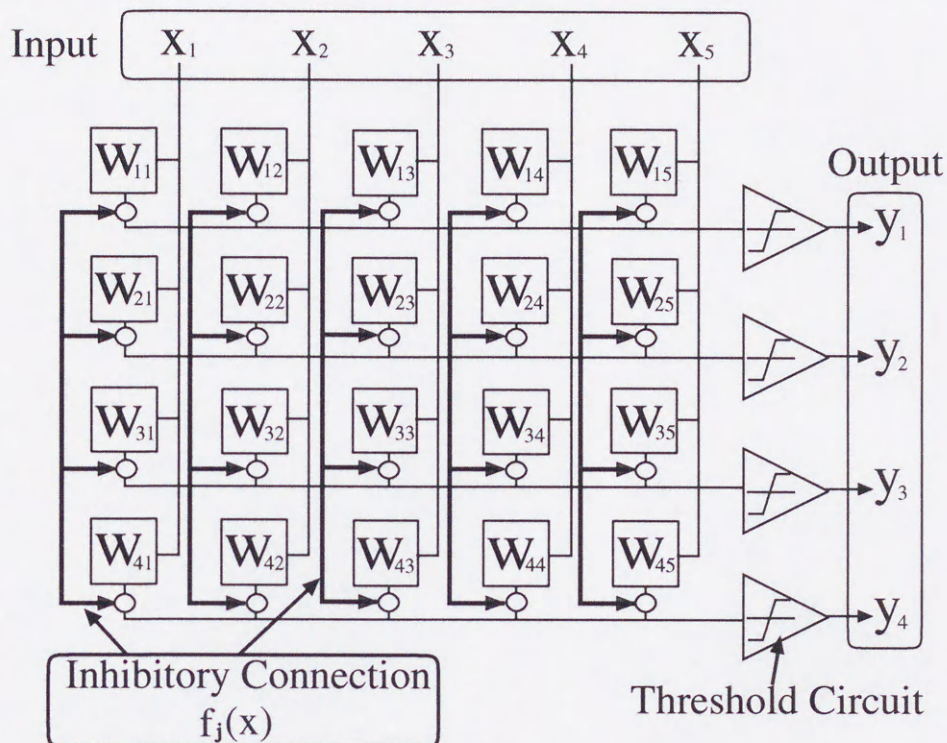


図 4.1: 集積化連想記憶システムの構成図

と定義する。このとき、連想記憶システムが想起動作する時、各列の記憶ベクトルに対し、

$$D_j = |\vec{X} - \vec{\omega}_j| \quad (4.3)$$

を計算し、それらの中で最小となる記憶ベクトルを、入力されたアナログ信号に最も近い記憶ベクトルとして連想記憶システムから出力される。

但し、式 4.3 において D_j が最小でも、しきい値 h を定義し、

$$\min_j (|\vec{X} - \vec{\omega}_j|) > h \quad (4.4)$$

である場合は、連想記憶システム自身が、入力されたアナログ信号に該当するような記憶ベクトルがないと判断し、連想記憶システムからは出力されない。つまり、しきい値 h を定義することで、入力信号が連想記憶システムに記憶されている記憶ベクトルに該当するかどうかを判断している。

これにより、かけ離れたパターンに対して無理矢理想起させずに「未知のパターン」と識別することが可能になる。

一連の動作原理を図解した図を図 4.2 に示す。各パターンの中心が実際に連想記憶システムに記憶されているアナログデータで、半径にあたるのが閾値 h である。アナログ入力ベクトルと記憶ベクトルとの計算は、各ベクトルの中心からの距離を計算していることと等価であり、その距離が閾値 h に対して大きい小さいかで、各パターンに属するものか、あるいは該当しないものかを判断する。

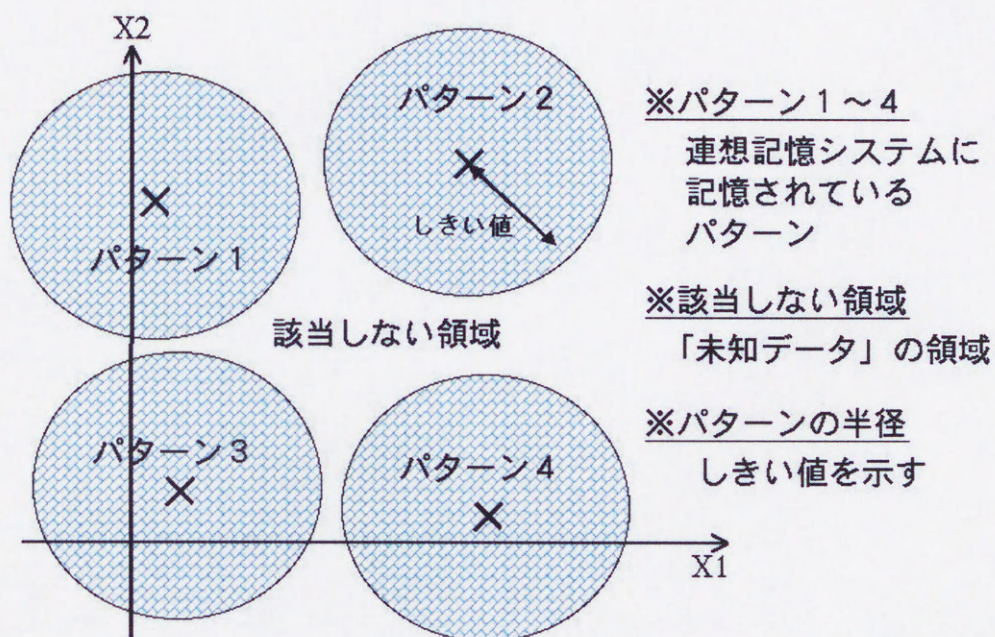


図 4.2: 連想記憶動作の原理

4.3 集積化連想記憶システムの設計

4.4 回路構成

本研究で実現した連想記憶システムのブロック図を図4.3に示す。本研究の連想記憶システムでは、アナログ値を記憶するためにFBSDAMを用いた。アナログ入力信号とアナログメモリに記憶されている信号との比較はMemory and Matching Unitで行なっている。該当する記憶ベクトルを選択するためにWinner Take All(WTA)回路を採用した。このWTA回路はニューラルネットワークでいえば抑制性の結合を実現したのと同じことになる。それぞれのWinner Take All回路の出力は、電圧値に比例した電流に変換したのち電流和をとり、該当しないパターンに対しては想起せずに「該当なし」として処理する機構を実現するために、しきい値回路を用いた。これは、ニューラルネットワークでいえばニューロン回路に相当する。

また、記憶させたいパターンの記憶動作についてはアナログ記憶デバイスに記憶されている電圧と入力電圧との比較回路と高電圧パルス切替え回路をMMUに実装している。

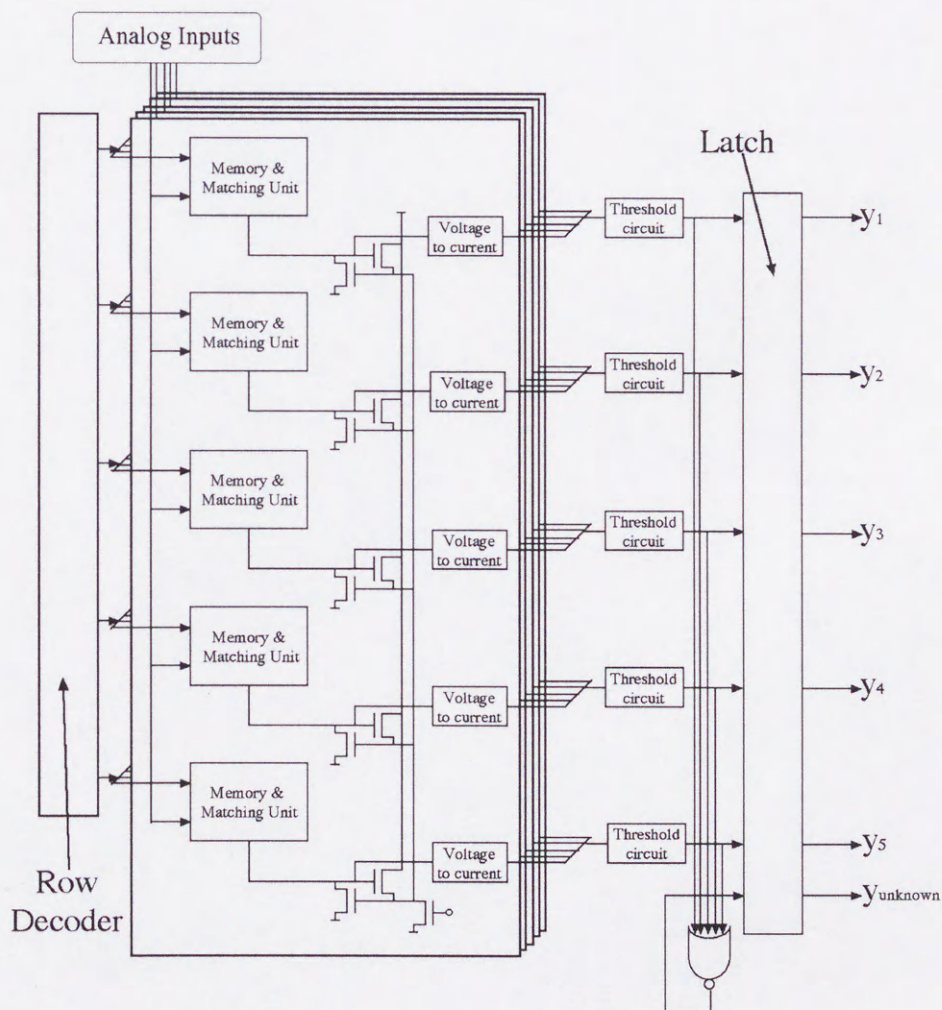


図 4.3: ブロック図

4.4.1 Memory and Matching Unit (MMU)

4.4.1.1 MMU の構成

Memory and Matching Unit(MMU) の構成を図 4.4 に示す。

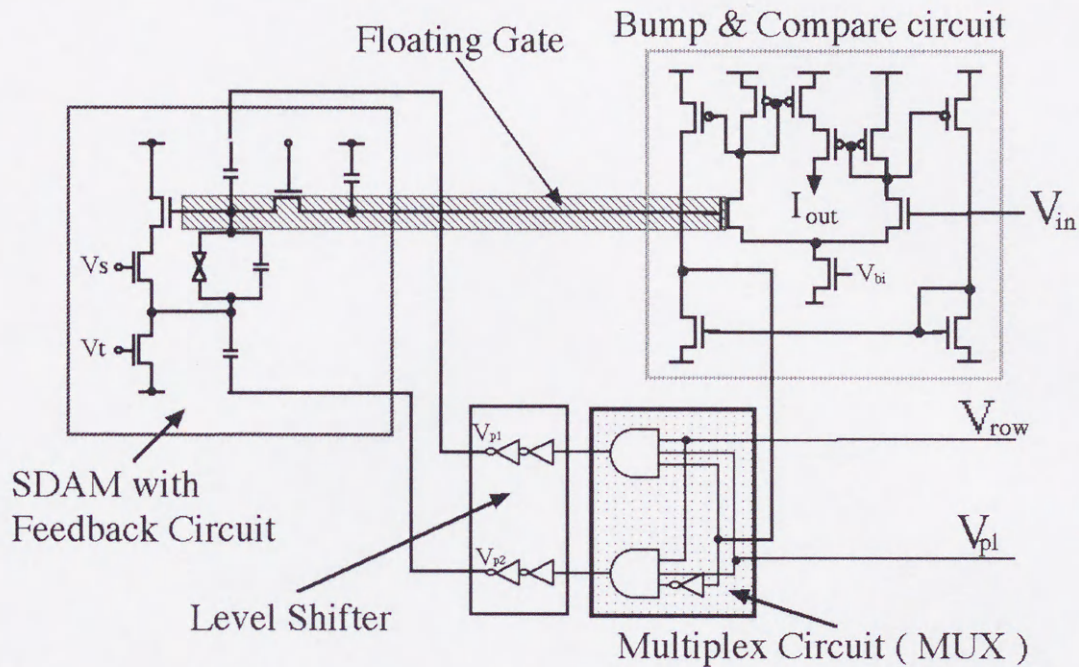


図 4.4: Memory and Matching Unit(MMU) の構成

アナログ入力値とアナログメモリに記憶されているアナログ値との距離演算を行なうために Bump Circuit[43] を用いている。記憶回路については、Bump Circuit に附属する形で比較回路を設け、比較回路の出力を Multiplex Circuit へ入力することで書き込み・消去動作で与える高電圧パルスの切替えを行なっている。そして、高電圧パルスを与えるため、アナログメモリと Multiplex Circuit の間に Level Shifter 回路を接続している。図 4.4 で、 V_{row} が記憶動作をする場合のスイッチの役割を果たしている。

4.4.1.2 Bump Circuit

Bump Circuit とは、2つの入力電圧の差の絶対値が小さければ小さい程大きな電流値を出力する回路である。つまり、絶対値回路として動作するため、アナログ入力ベクトルの各要素とアナログメモリの記憶値との距離演算をすることができる。この回路の回路図と SPICE シミュレーションでの回路出力を図 4.5 に示す。

4.4.1.3 アナログメモリ

アナログメモリについては、第 2 章・第 3 章で述べた新アナログ記憶デバイスのうち、デジタル換算での分解能と線形更新特性を考慮し、FBSDAM を用いた。但し、VDEC などのチップファ

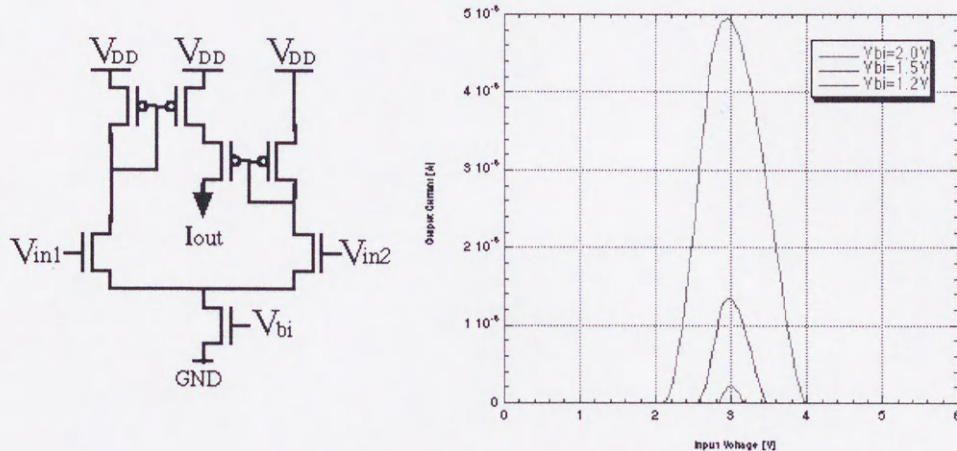


図 4.5: Bump Circuit の出力特性

ウンドリへ外注する場合については、不揮発性アナログメモリを実装することは不可能なため、外部からアナログメモリを接続する方式をとった。そのため、MMU内には実装していない。

4.4.2 Winner Take All 回路

Winner Take All 回路とは、複数の入力量があった場合にその最大値を検出し、それに相当する出力が high になり、それ以外は Low になるという回路である。この種の演算は、特徴抽出や認識処理といわれる動作には欠かせないものである。そこで、構成の簡単さおよび MMU の出力が電流出力であることから、当初本研究の連想記憶システムでは Lazzaro の Winner Take All 回路 [44][45] を用いた。回路図と SPICE シミュレーションでの回路出力を図 4.6 に示す。

しかし、Lazzaro の Winner Take All 回路では、次のような問題点がある。

- バイアス電源が必要である
バイアス電源があると、システムとして構成した場合に複数の電源を用意する必要があるため、煩雑になる。
- 出力電圧が一定しないこと
バイアス電源の大きさに影響を受ける。特に、Winner が変化する部分では一時的に電位のレベルが落ちる。

そこで、デジタル回路との親和性が良く、かつフリーバイアスな回路を構成することで、システム設計の煩雑さをできるだけなくすことができる。この目的で図 4.7 の WTA 回路を用いた [46]。

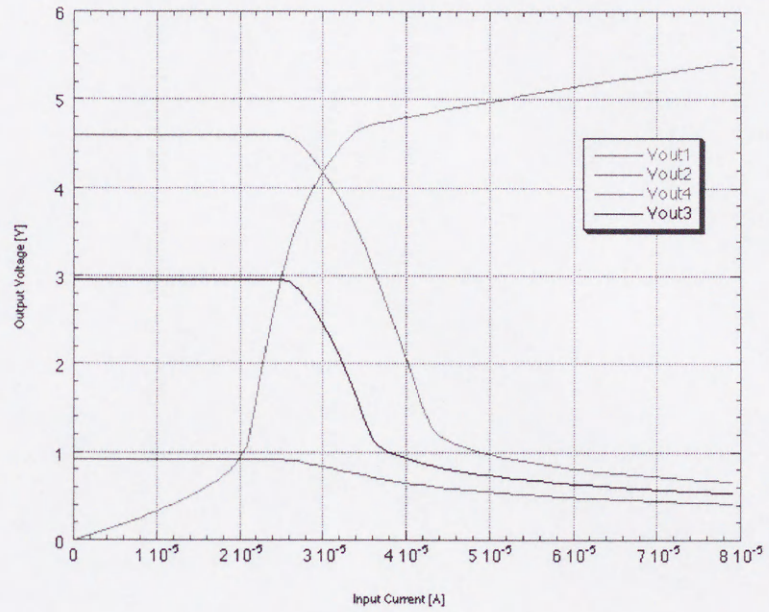
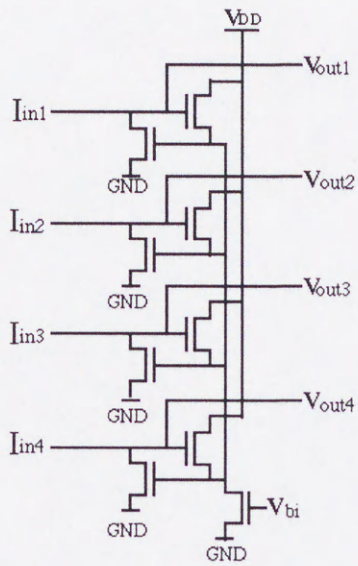
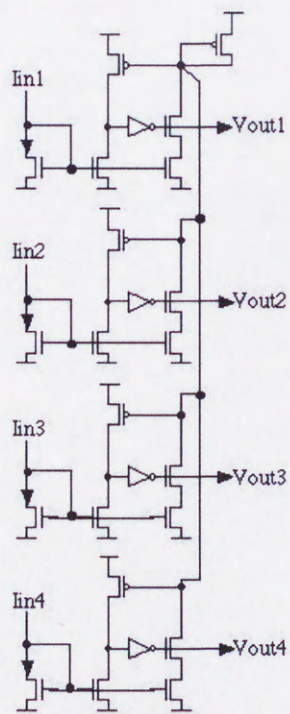
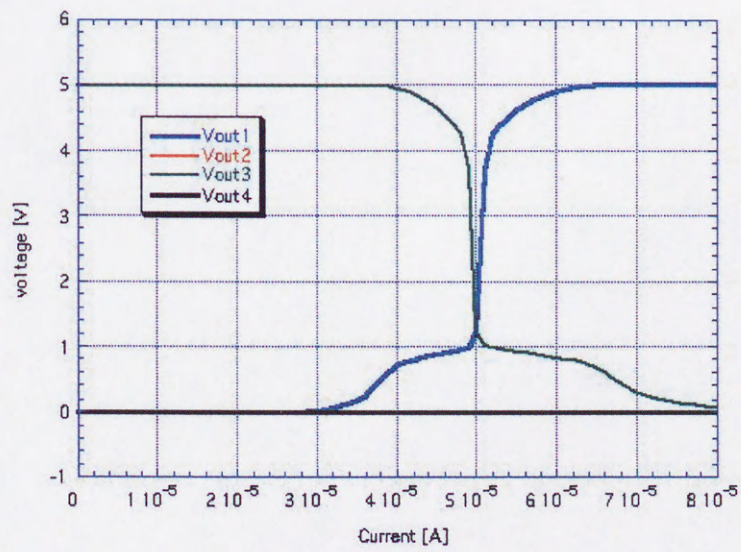


図 4.6: Winner Take All 回路の回路図と SPICE でのシミュレーション結果



回路図



入出力特性

図 4.7: New Winner Take All 回路の回路図と SPICE でのシミュレーション結果

4.4.3 しきい値回路

この回路は、ワイドレンジ差動増幅器と NOR 回路を組み合わせた回路で、あるしきい値以上になると出力が High になるという動作を示す。これは、ニューラルネットワークでいえば、ニューロン回路に相当する。NOR 回路への入力端子 clock に動作クロックに同期したパルス入力させることで、パルス出力をさせることが可能である。回路図とシミュレーションの結果を図 4.8 に示す。

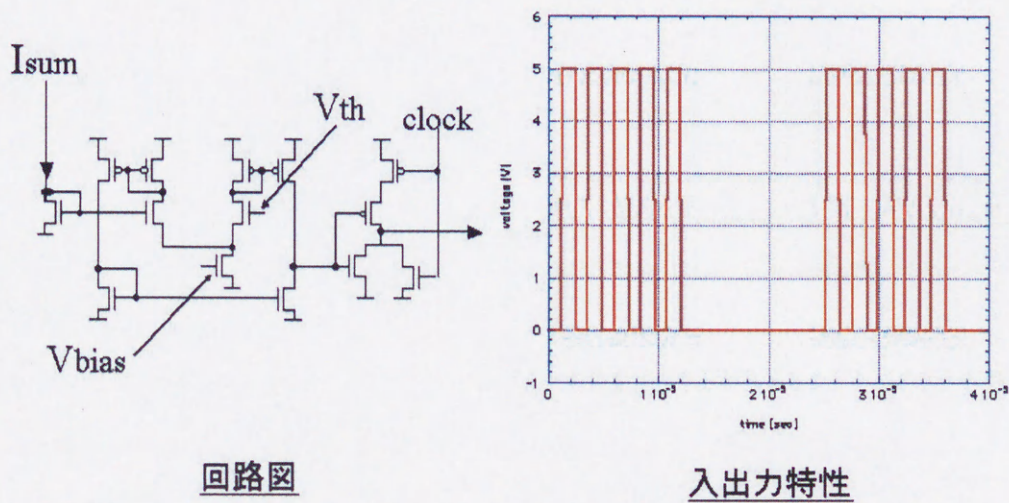


図 4.8: しきい値回路の回路図と SPICE でのシミュレーション結果

4.5 集積化連想記憶システムの SPICE シミュレーション結果

本研究では連想記憶システムとして実際に集積化することを考えて、5入力5出力(5出力のうち1出力は「該当なし」を識別するための出力)のマトリクス状で構成された連想記憶システムを構成し、SPICEシミュレーションで動作検証した。

まず、5入力5出力のマトリクス状で構成された連想記憶システムの各メモリにアナログ電圧値を記憶させ、そののち、連想記憶動作を行なわせた。集積化連想記憶システムの動作シーケンス(記憶動作と連想動作)を図4.9に示す。

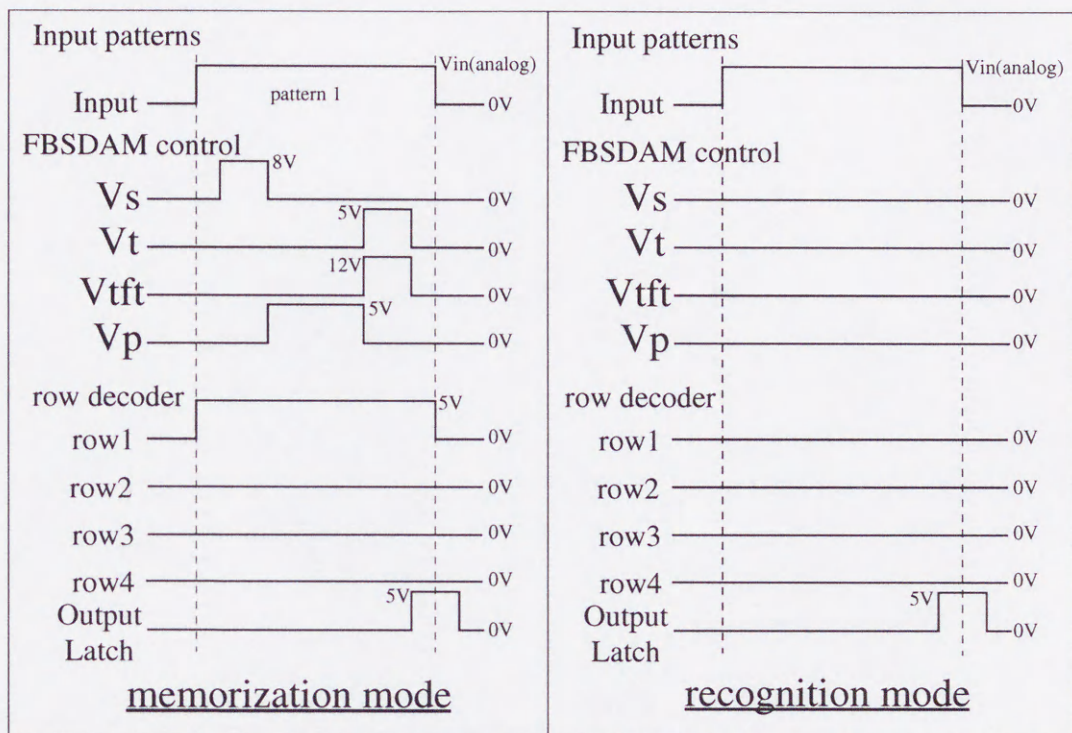


図 4.9: 集積化連想記憶システムの動作シーケンス

4.5.1 記憶動作の SPICE による動作検証

連想記憶システムの1番目の列にアナログ入力ベクトルとして、

$$\vec{Z} = (3.5, 2.8, 1.5, 1.8, 2.5) \quad (4.5)$$

を記憶させたときの記憶動作の結果を図4.10に示す。ここで、初期状態の記憶ベクトルの値を

$$\vec{W}_1 = (3.0, 3.4, 2.9, 2.1, 1.0) \quad (4.6)$$

とする。図4.10の結果より、アナログ入力ベクトル \vec{Z} の値にほぼ等しい値で記憶されているのがわかる。

ここで、アナログ値を記憶する上で問題となるのが比較回路のオフセットの影響であるが、MMUでは、アナログ入力値に比較回路のオフセットが加味された形で記憶される。そのため完全に入力

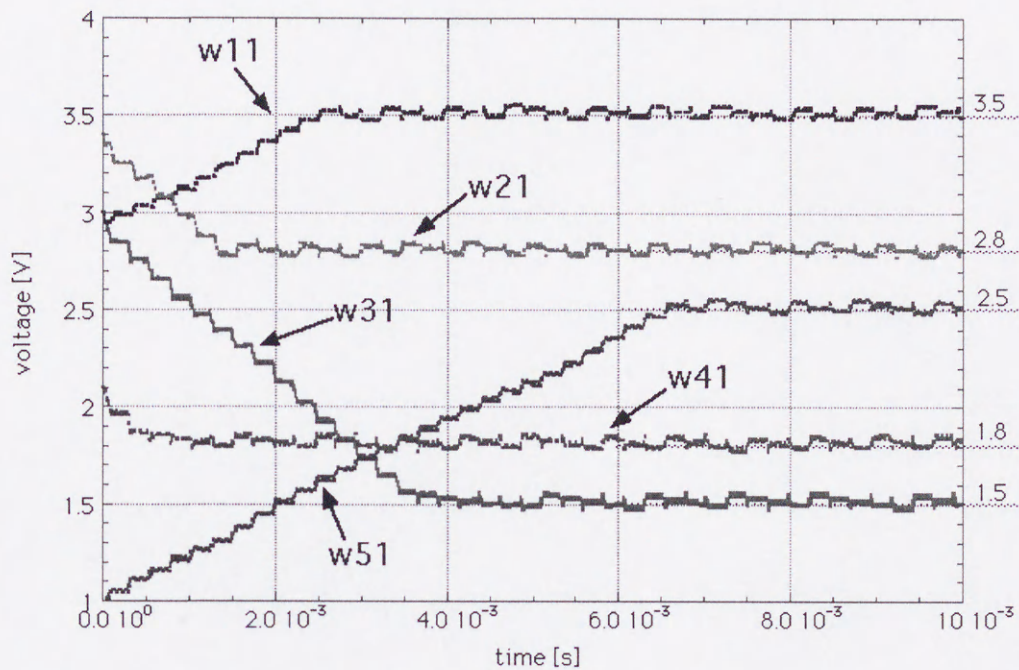


図 4.10: 記憶動作の検証

値と同じ値を記憶させることは難しいが、想起では MMU を構成する Bump Circuit が入力値とオフセットを持った記憶値の距離演算に対して影響を受けないようにさせているので、想起動作には問題はないようになっている。

4.5.2 連想動作の SPICE による動作検証

この連想記憶システムに対して以下の順序でアナログ入力ベクトルを入力させ、連想想起動作を行なわせた。また、アナログ入力ベクトルには振幅が 0.1V のノイズを含ませている。

1. pattern1: 該当しないパターン
2. pattern2: 1 番目の列に記憶されている記憶パターンと同じパターン
3. pattern3: 3 番目の列に記憶されている記憶パターンと同じパターン
4. pattern4: 該当しないパターン
5. pattern5: 4 番目の列に記憶されている記憶パターンと同じパターン

その連想記憶システムの出力結果を図 4.11 に示す。

図 4.11 の結果より、0.1V のノイズを含ませたアナログ入力ベクトルに対して連想記憶が可能であることが明らかである。また、連想記憶システムに記憶されていない、まったくかけ離れた入力パターンに対しては、該当しないと認識しているのがわかる。

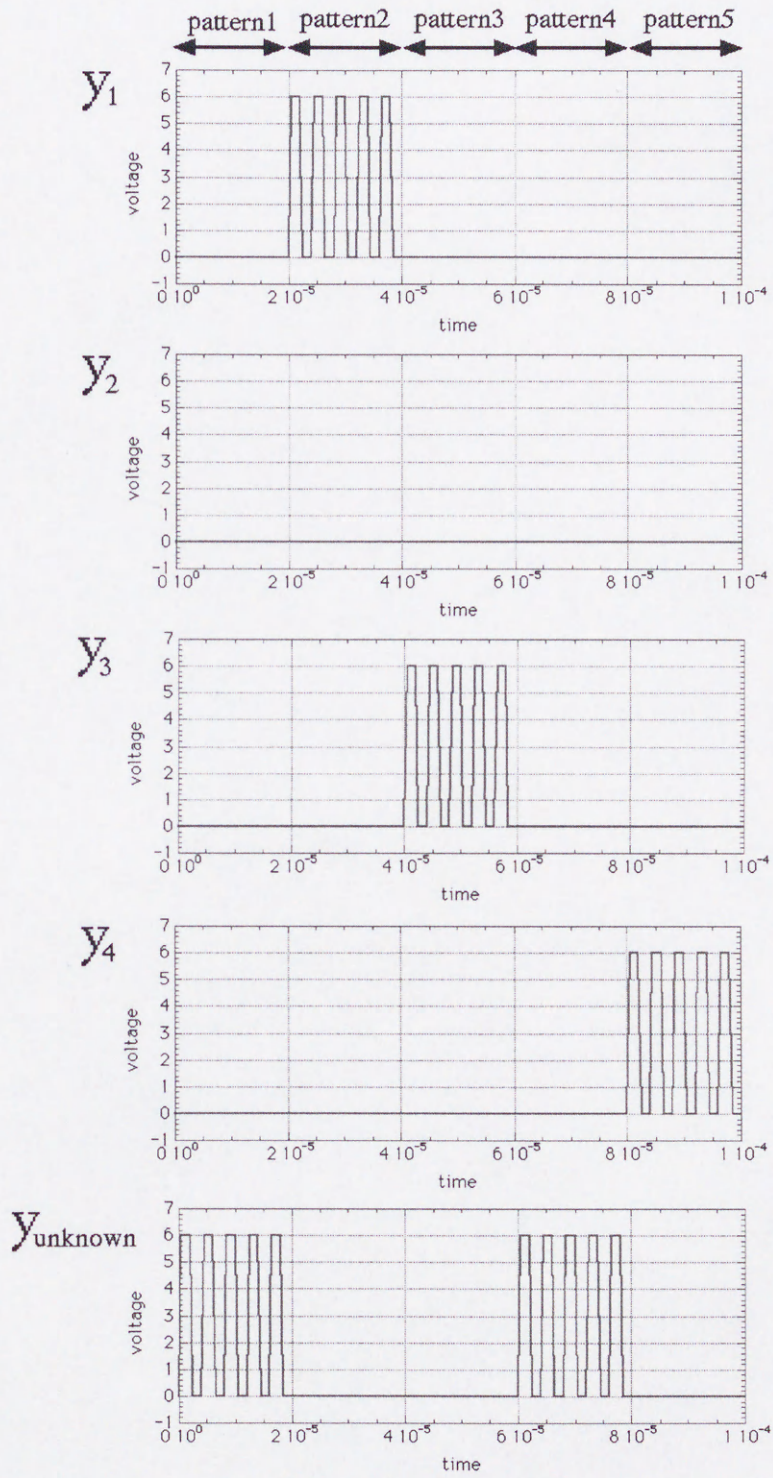


図 4.11: SPICE での出力結果

4.6 集積化連想記憶システムの試作

実際に試作を行なった連想記憶システムのチップ写真と CAD パターンを図 4.12~4.14 に示す。

※ 3 入力 3 出力のアナログ連想記憶システム

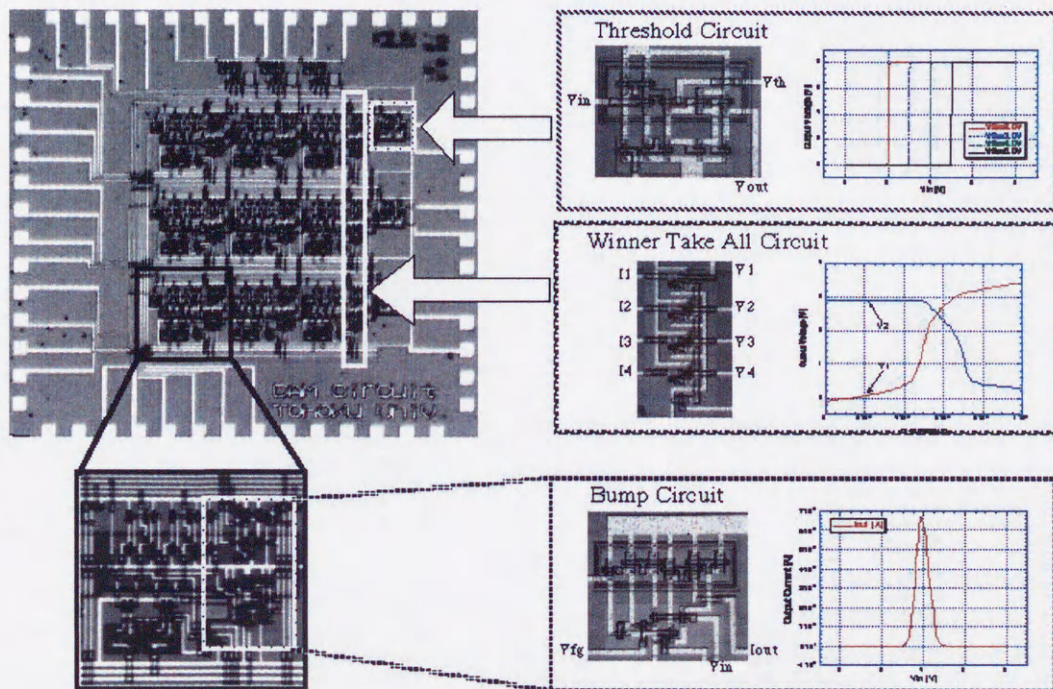


図 4.12: 集積化連想記憶システムの試作

図 4.12 についてはゲート長 $4\mu\text{m}$ の CMOS と本研究で開発した不揮発性アナログメモリ製造工程により実現した。集積化に際しては東北大学電気通信研究所附属超高密度高速知能システム実験施設で行なった。チップのサイズは 3.1mm 角で、アナログ値 3 入力デジタル 3 出力で 3 要素のアナログベクトルを 3 個記憶できる。

図 4.13・4.14 では、集積化連想記憶システムの一部をチップファウンドリ VDEC を通じて試作を行なった。チップファウンドリに委託して試作する場合、不揮発性アナログメモリの集積化は不可能なため、図 4.13 ではアナログメモリを完全に外部から与える方式をとった。アナログ値 9 入力デジタル 7 出力で構成され、9 要素のアナログベクトルを 7 個記憶できる。チップサイズについては、構成回路自体は小さいものの、パッド数の関係で 4.1mm 角の大きさになっている。また図 4.14 では、本研究で開発した不揮発性アナログメモリと同じ分解能をもつ 8bit の SRAM セルと D/A 変換器によるアナログメモリを構成し、それを用いて集積化を行なった。アナログ値 5 入力デジタル 4 出力で 5 要素のアナログベクトルを 4 個記憶できる。チップサイズは 4.1mm 角で、その大半は擬似的に不揮発性アナログメモリを実現するための回路で占められる。

なお、図 4.13・4.14 のチップ試作については、東京大学大規模集積システム設計教育研究センターを通し、ローム (株) および凸版印刷 (株) の協力で行なわれたものである。

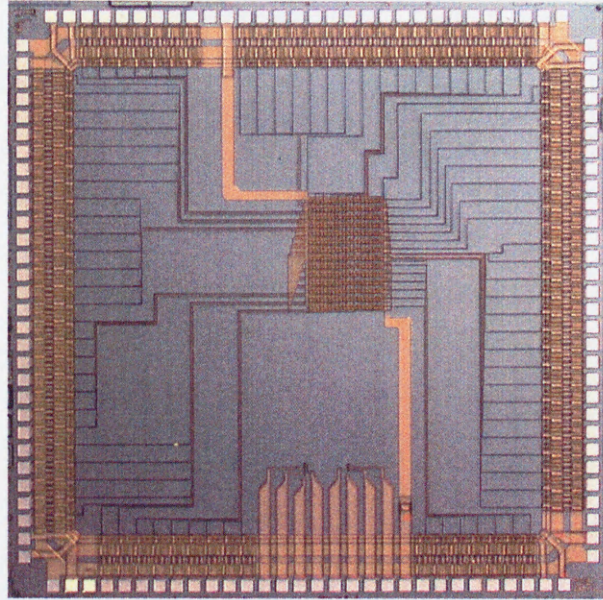


図 4.13: 不揮発性アナログメモリを除いた連想記憶システムの試作

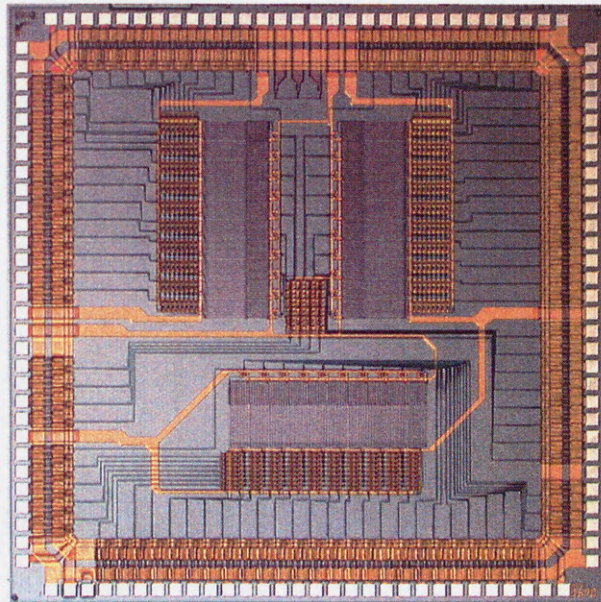


図 4.14: 擬似的に不揮発性アナログメモリを実現するための回路を含めた連想記憶システムの試作

4.7 集積化連想記憶システムの評価

4.7.1 連想記憶システム測定の機器構成

本研究で設計した集積化連想記憶システムの一部として、全体のシステムからアナログメモリを除いた図 4.13 の連想記憶システムについての動作検証を行なった。測定全体のシステムの構成を図 4.15・4.16 に、測定用のボードを図 4.17 に示す。

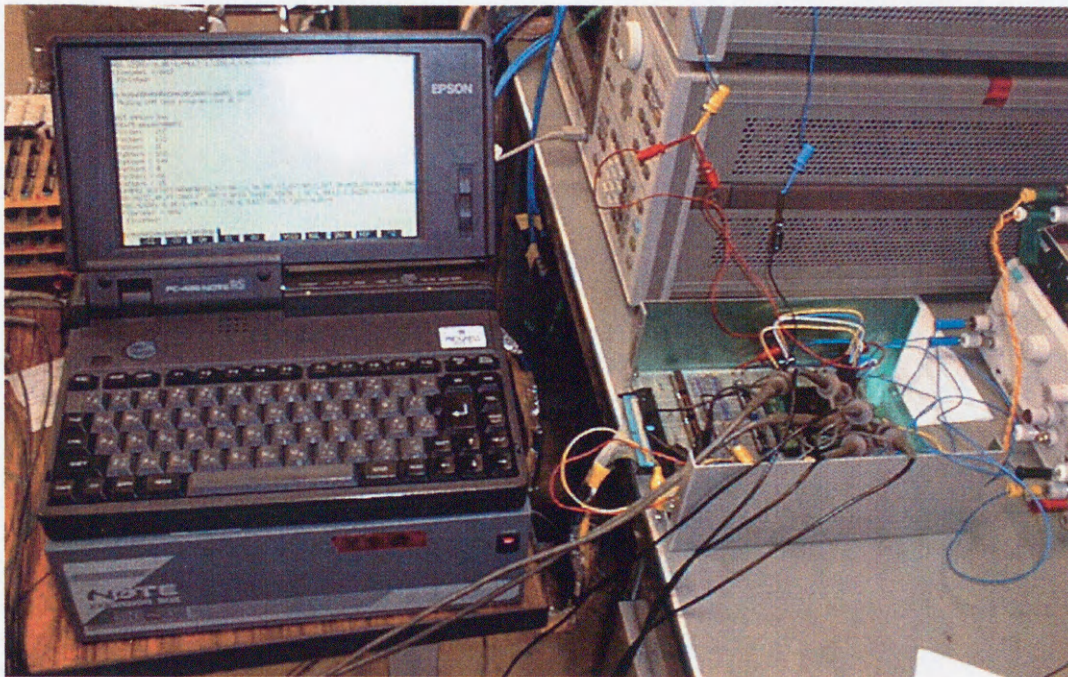


図 4.15: 測定全体のシステム (1) : 右側は測定ボード、左側は制御用 PC

制御用 PC には 8bit デジタル出力が 6 出力存在する PPI ボードがあり、それを経由して測定ボードを動作させている。測定ボードには、図 4.17 のように、8bit の R-2R の抵抗を使った D/A 変換器が 4 つ搭載している。これを擬似的に本研究で開発したアナログ記憶デバイスとして実現している。集積化連想記憶システムの出力は、デジタルオシロスコープでワンショットトリガーをかけ、出力データを得ている。

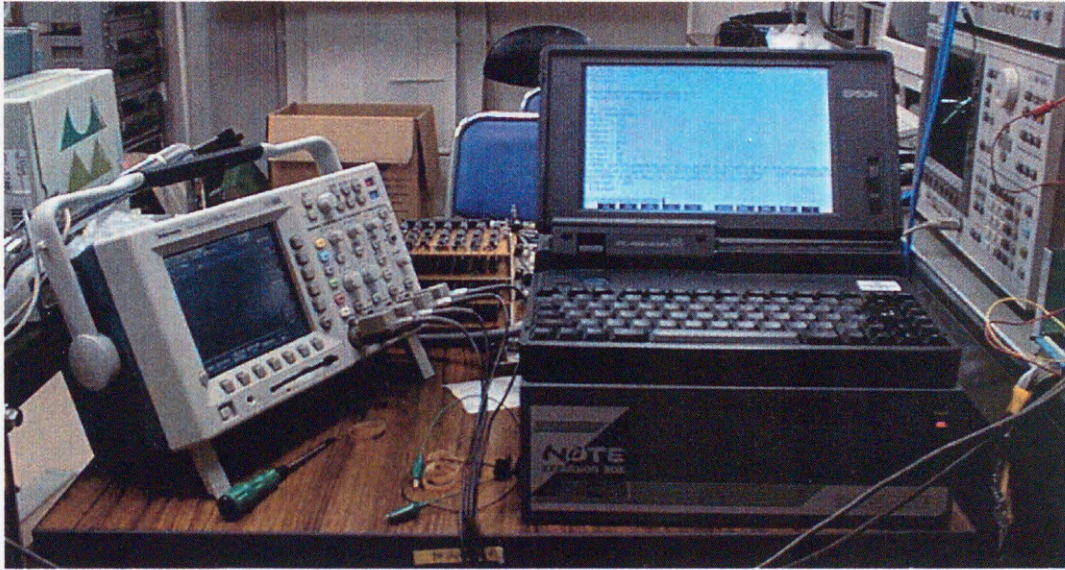


図 4.16: 測定全体のシステム (1) : 右側は制御用 PC、左側はデジタルオシロスコープ

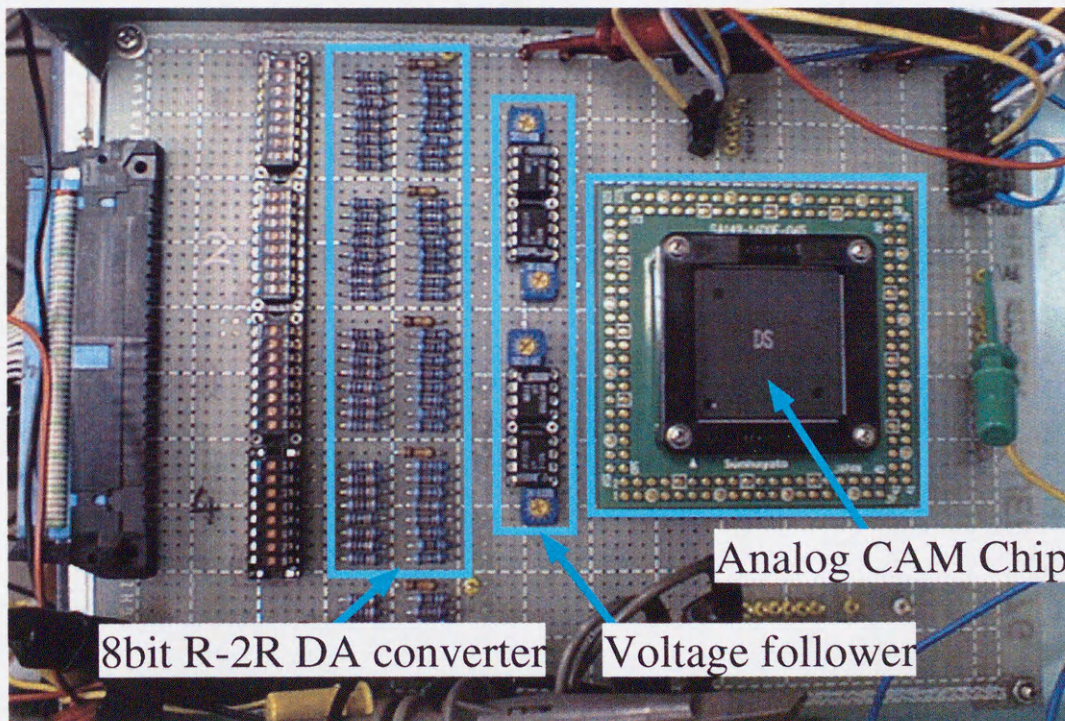


図 4.17: 測定ボード

4.7.2 測定手法

集積化連想記憶システムの測定方法としては、図4.18のようになる。ここでは、チップファウンドリVDECで外注したゲート長 $0.6\mu\text{m}$ のアナログ値9入力デジタル7出力の連想記憶システムを用いているが、本研究の集積化連想記憶システムの基本動作を確認するため、アナログ入力(9入力)の各要素の電圧値をすべて等しく与えている。また、連想記憶システムに保持しているアナログ値においても各列では値が異なるが、列内のアナログ保持電圧は9要素すべて等しくおいている。

測定ボード上にある4つのD/A変換器のうち、1つは連想記憶システムへのアナログ電圧入力用に使い、残りの3つは仮想的な不揮発性アナログメモリとして用いている。本実験では、3つのD/A変換器を7列ある記憶ベクトルのうち、2列目、3列目、5列目に接続し、記憶電圧として供給している。残りの列については、すべて0V(GNDに接続)である。

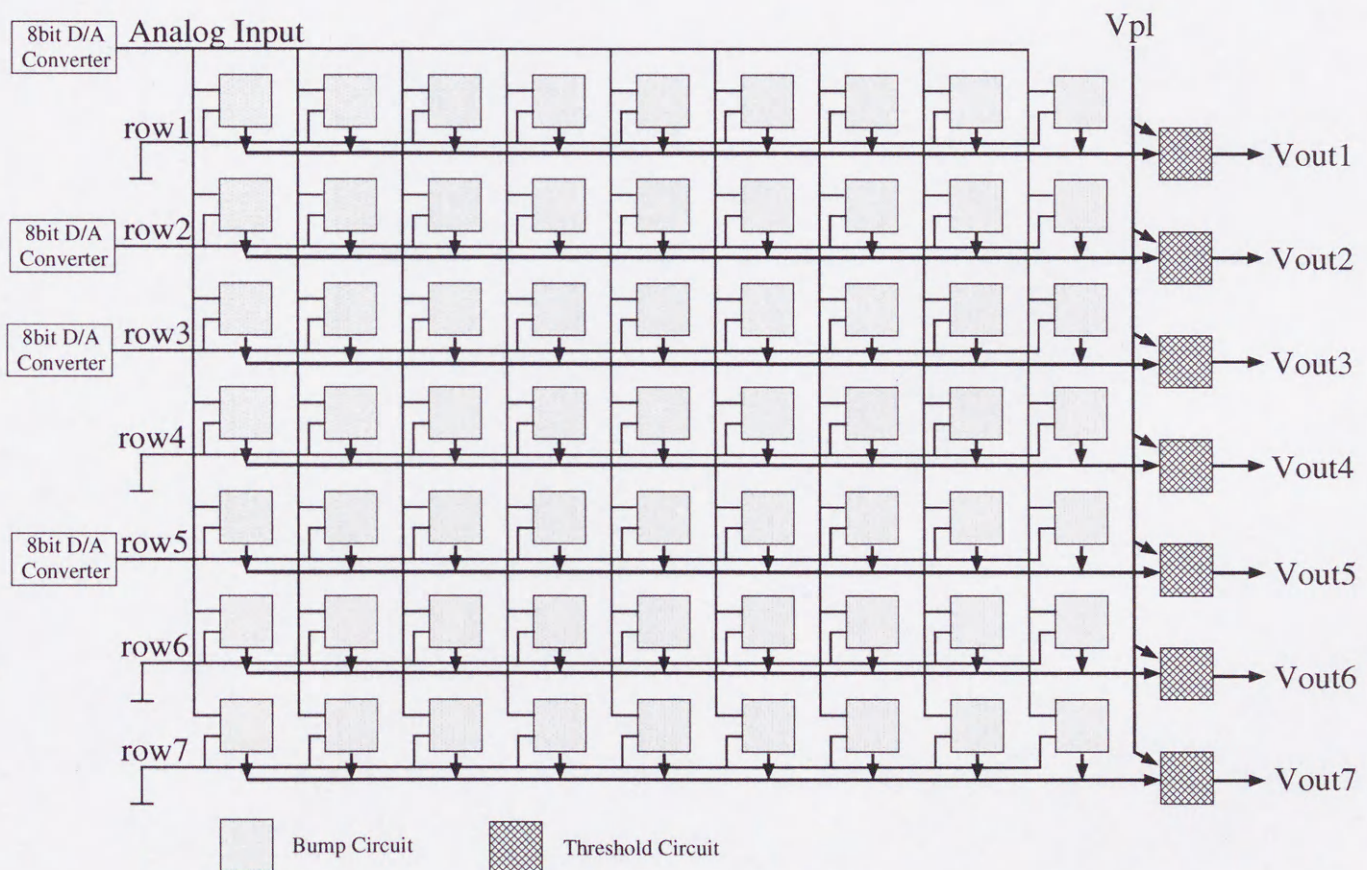


図 4.18: CAM の測定方法

4.7.3 基本動作

まず、本研究の連想記憶システムの基本動作を確認するために、入力として次のような順序で集積化連想記憶システムに入力させ、その出力結果を検証してみる。

1. pattern(1): 2番目の列に記憶させている記憶パターンと同じパターン
2. pattern(2): 該当しないパターン
3. pattern(3): 3番目の列に記憶されている記憶パターンと同じパターン
4. pattern(4): 5番目の列に記憶されている記憶パターンと同じパターン

このとき、同期パルス V_{pl} と各出力 $V_{out2}, V_{out3}, V_{out5}$ の出力結果を図 4.19 に示す。 V_{pl} は集積化連想記憶システムの閾値比較回路 (Threshold Circuit) でパルス同期をとるために与えているパルスであるが、閾値比較回路の出力は、回路内部で負論理で設計している関係から、 V_{pl} を反転した形で出力される。

図 4.19 より、該当するパターンに対しては該当する記憶列からデジタル出力をしている。また、該当しないパターンに対してはどれも出力されていないのがわかる。よって集積化連想記憶システムの基本動作が実現できていると結論できる。

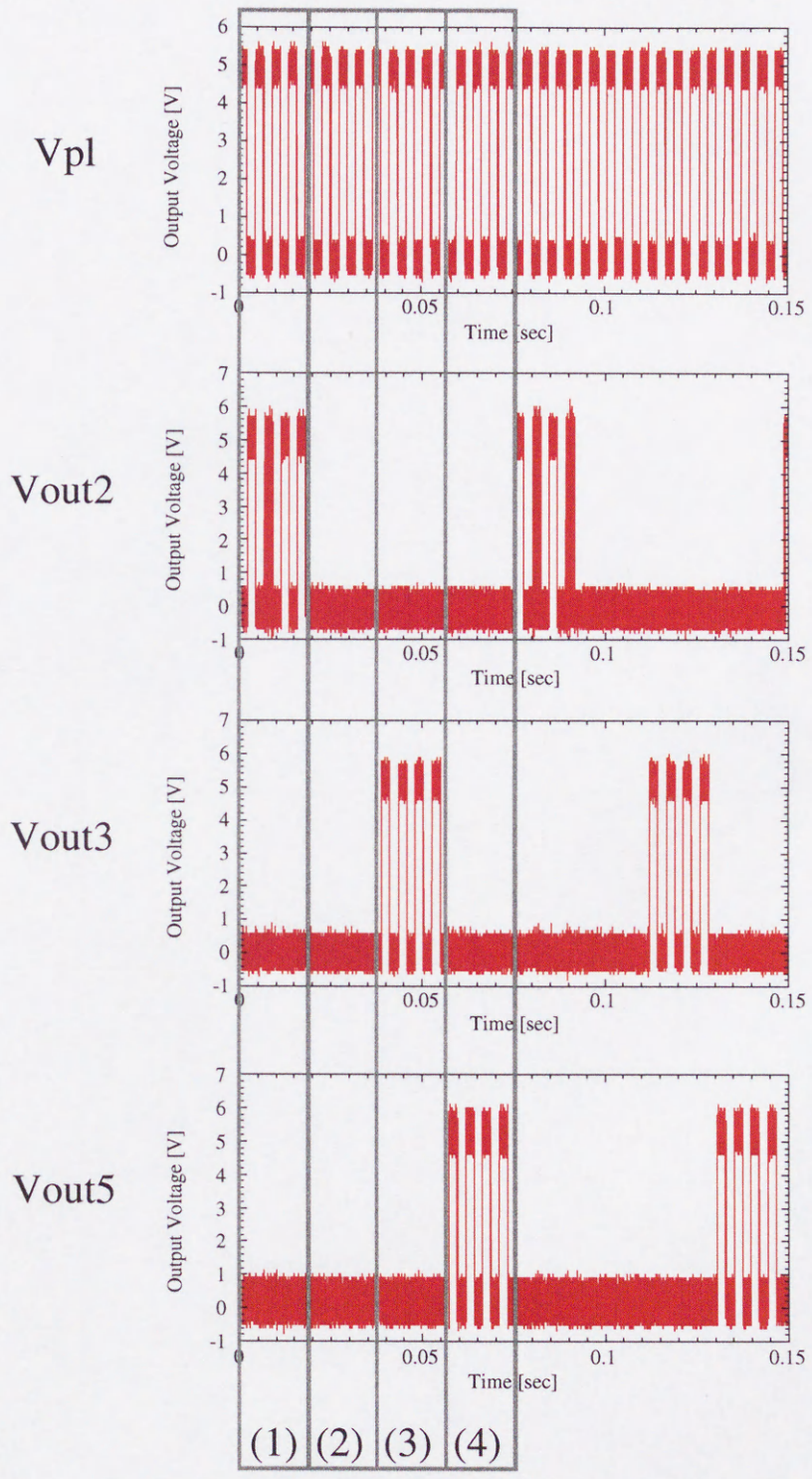


図 4.19: 想起結果 (1)

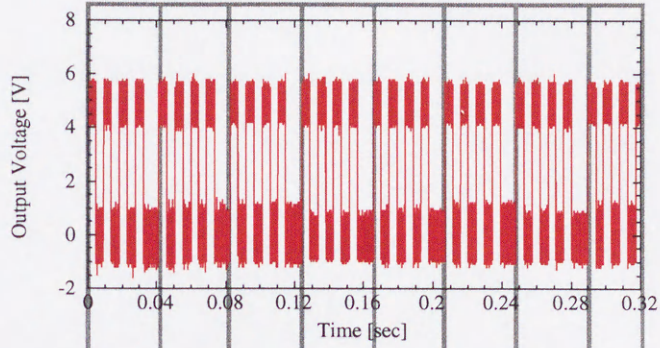
4.7.4 閾値をおくことによる判別効果

次に、本研究の集積化連想記憶システムは、閾値をおくことで連想記憶システムに記憶されていない未知な情報に対する識別が可能であることを検証するために、実際に閾値を変化させてみた。このときの同期パルス V_{pl} と各出力 $V_{out2}, V_{out3}, V_{out5}$ の出力結果を図 4.20~4.22 に示す。またアナログベクトルの入力順序は以下の通りである。

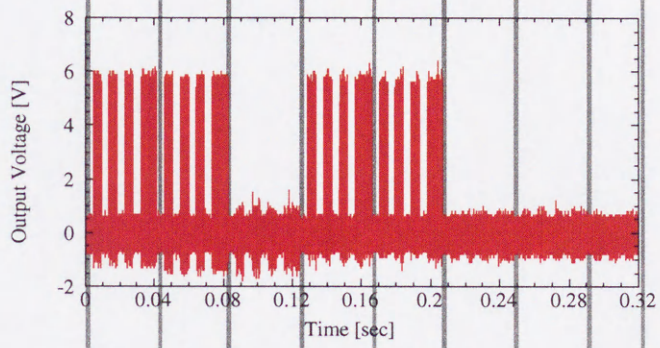
1. pattern(1): 2 番目の列に記憶させている記憶パターンと同じパターン
2. pattern(2): 2 番目の列に記憶させている記憶パターンと同じパターン
3. pattern(3): 5 番目の列に記憶されている記憶パターンと同じパターン
4. pattern(4): 該当しないパターン
5. pattern(5): 該当しないパターン
6. pattern(6): 5 番目の列に記憶されている記憶パターンと同じパターン
7. pattern(7): 3 番目の列に記憶されている記憶パターンと同じパターン
8. pattern(8): 5 番目の列に記憶されている記憶パターンと同じパターン

図 4.20~4.22 より、判別閾値を低く設定すると、該当しないパターンや該当するパターンに対して「該当する」と答えてしまう記憶列が存在してしまうが、閾値を高くしていくと、間違って認識している部分は出力されなくなっていくのがわかる。よって、閾値を用いて未知情報の判別をさせることが可能であると結論できる。

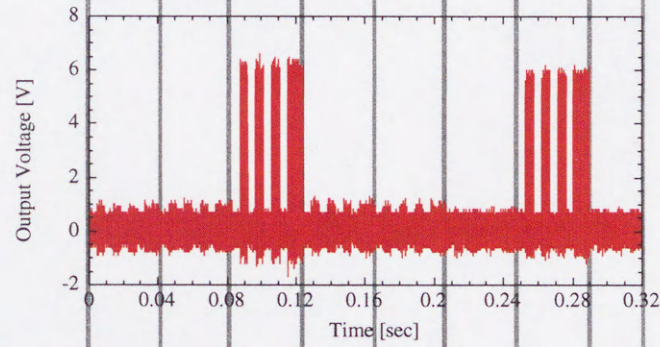
Vpl



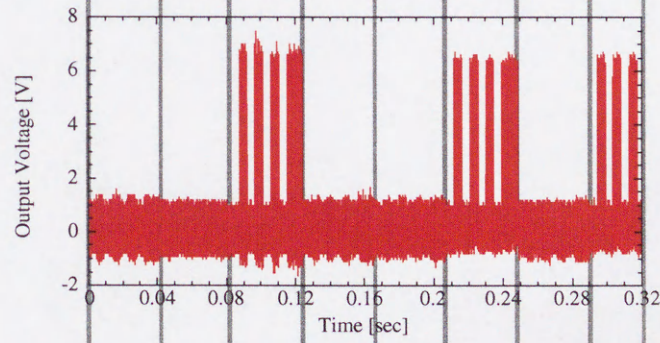
Vout2



Vout3



Vout5



(1) (2) (3) (4) (5) (6) (7) (8)

図 4.20: 想起結果 (判別閾値が低い場合)

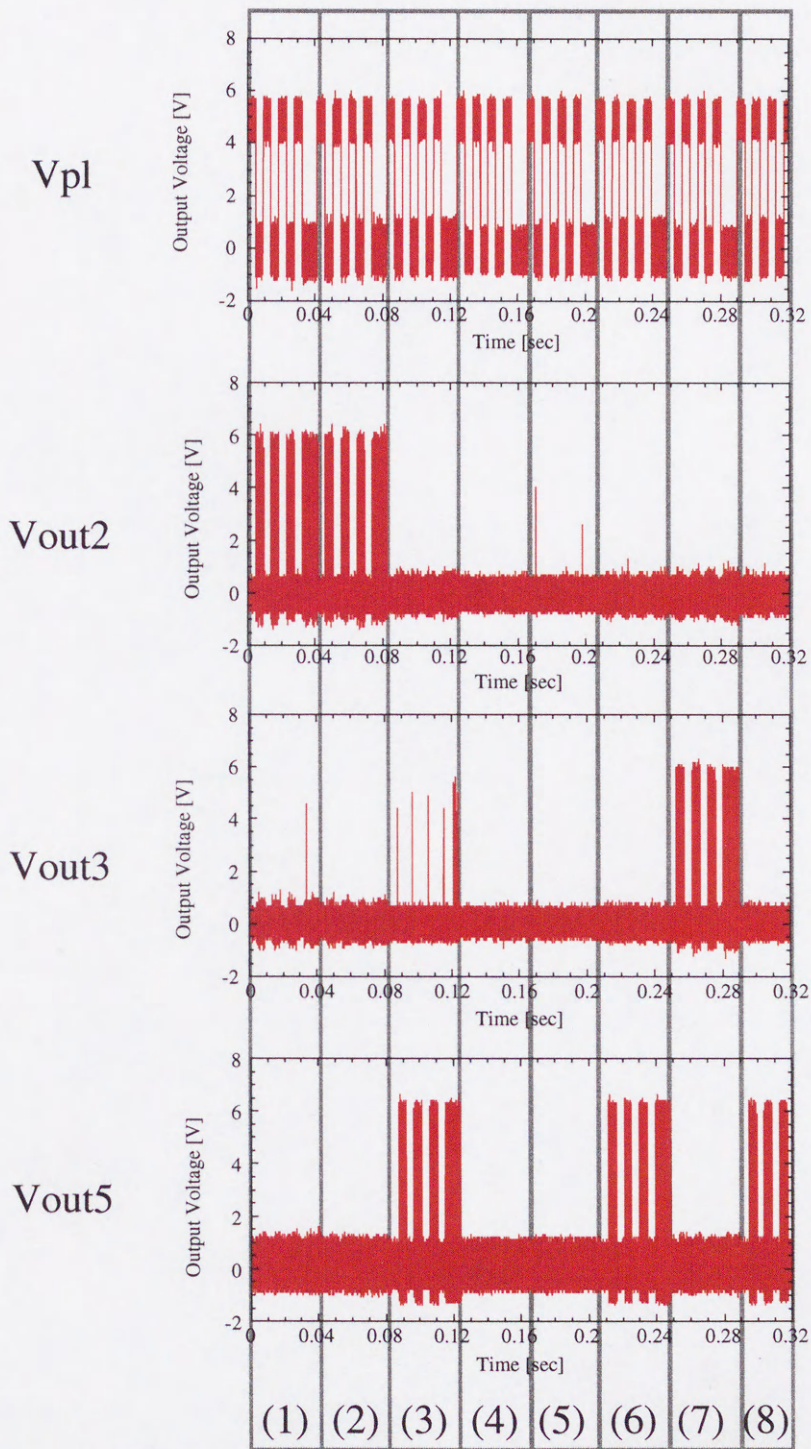


図 4.21: 想起結果 (判別閾値を高くし、完全に判別できた場合)

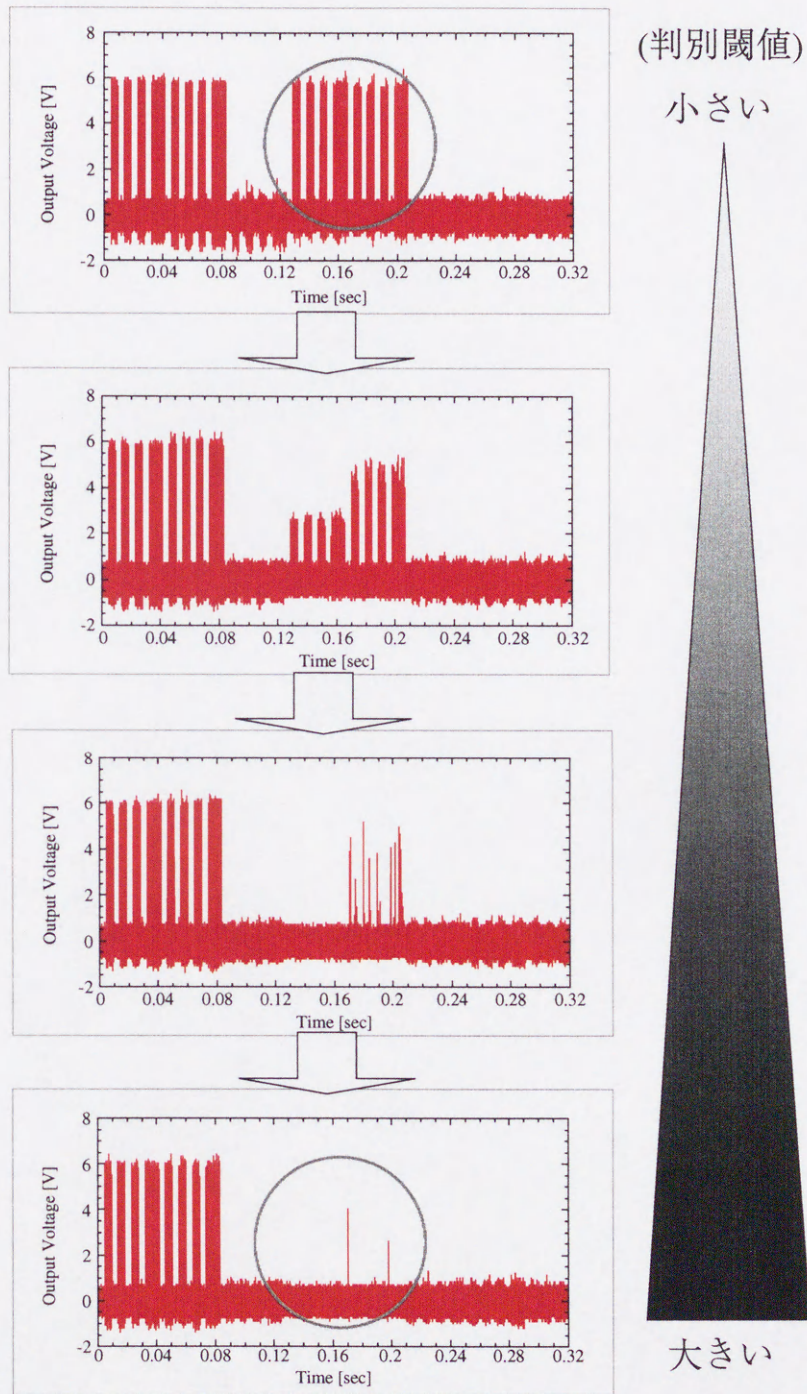


図 4.22: 判別閾値の変化による出力 V_{out2} の変化

4.8 集積化連想記憶システムの性能の見積もり

SPICE や測定による動作検証から、この連想記憶システムの性能について演算回数とトランジスタ数、そして実際に CAD でデザインした場合をデジタルシステムで実現した場合と比較しながら見積もってみる。

4.8.1 演算回数と集積化の際のトランジスタ数の比較

100 × 100 pixel の画素数をもつ画像データを連想記憶処理する連想記憶システムを考える。そしてこの連想記憶システムで記憶できるパターン数を 100 個とする。普通は入力画像に対して情報量を少なくするために前処理のシステムが必要となるが、ここでは、画素 1 つ 1 つに対して 1 つのメモリを割りあてると仮定する。

このとき、この連想記憶システムに必要な演算と演算回数を、逐次処理を基本であるコンピュータで処理する場合と比較しながら求めると、表 4.1 のようになる。Winner Take All の機能を盛り込まない場合では連想記憶システムの演算回数は 70 分の 1 に減少するのがわかっているが、WTA の機能をいれると、表 4.1 のように演算回数が 260 分 1 に減少することがわかり、演算回数減少による高速化が実現できる。

items	本研究の連想記憶システム	逐次処理のコンピュータシステム
デザインルール	4 μ m	< 0.3 μ m
想起動作速度	> 1MHz	> 150MHz
想起動作とデザインルール (見積もり)	>100MHz (0.6 μ m)	>100MHz (0.6 μ m)
入力ベクトルとの距離演算	10000 回	1000000 回
最も近いパターンの選択処理	10000 回	6000000 回
各セルの距離演算結果の和の算出	10000 回	1000000 回
閾値との比較演算 (未知情報検出)	1 回	100 回
合計	30001 回	8000100 回

表 4.1: 並列度による性能の比較の見積もり

また、連想記憶処理にかかった時間は、小規模の連想記憶システムの SPICE による動作検証の結果より、100×100 画素では 100ns 程度で連想記憶処理が終了させることができる。このことから、1 クロック 1 演算と仮定して本研究の連想記憶システムの性能を概算すると、300GIPS(Giga Instruction Per Second) に相当する性能をもつと見積もれる。

記憶動作については、不揮発性アナログ記憶デバイスでは第 3 章の性能の見積もりから、更新 1 回あたり 80ns まで記憶更新動作を向上させることが可能であるが、アナログ値の記憶の収束するまでの時間を考える。ワーストケースでアナログ値の分解能が 500step の FBSDAM で 500 回で収束するという想定すると、40 μ sec である。よって記憶動作は最悪ケースで 40 μ sec で完了すると見積もることができる。

items	本研究の連想記憶システム	並列処理を実現したデジタルシステム
距離演算回路 (8bit)/1cell	7個 (bump circuit)	約 320 個 [47]
比較器 (8bits)/1cell	8 個 (WTA) 13 個 (閾値回路)	約 300 個 [47]
アナログメモリ (8bit)/1cell	3 個 と capacitor 4 個 (FBSDAM)	約 50 個 [4] (SRAM)
トランジスタ数の合計 10000 入力 100 出力 (精度:8bit)	約 1 0 0 0 万個	約 5 億個

表 4.2: 並列処理を実現した場合でのトランジスタ数の比較

表 4.2 に 100×100 画素で 1 0 0 個記憶できる連想記憶システムを構成したときのトランジスタ数の比較を示す。本研究の連想記憶システムは超並列処理構成になっているがそれと同様な構成をコンピュータのチップに実現したと仮定している。アナログ値での直接演算を実現しているため、本研究の連想記憶システムは距離演算回路や比較器に必要なトランジスタ数が約 1 0 0 分の 1 に減少しているのがわかる。それぞれ合計してみると、本研究の連想記憶システムは、それと同性能を実現したコンピュータと比べてトランジスタ数を 5 0 分の 1 に減少させることが可能であると見積もることができる。

4.8.2 集積化の際の回路面積での比較

第 3.5.2 章で本研究で設計した不揮発性アナログメモリの高集積化が実現できることが明らかになったので、ここでは、アナログメモリの部分を除いた連想記憶システムを実際に CAD でデザインした場合の集積回路の集積化面積について、アナログ回路で構成する場合とデジタル回路で構成する場合とで比較する。

ここでは、ベクトルの要素が 2 要素のアナログベクトルにおいて、5 個分の連想記憶処理ができるシステムをデザインすると仮定する。つまりアナログ値 2 入力、デジタル 5 出力の連想記憶システムを想定していることになる。不揮発性アナログメモリの分解能はデジタル換算で 8 ビットであるため、デジタル回路では 8 ビット連想記憶システムを製作することになる。CAD による設計の際のデザインルールはデジタル回路で構成する場合はゲート長 0.6 μm の CMOS 製造工程を、アナログ回路ではゲート長 0.6 μm の CMOS+不揮発性アナログメモリ製造工程を仮定している。デジタル回路では、実際に Verilog-HDL により、本研究の連想記憶システムのアーキテクチャに準じて動作記述を行ない、Synopsys の論理合成ツールにより、ゲートレベルまで論理合成を行なった。その後自動配置配線ツールにより回路の自動配線を行ない、システムを生成した。アナログ回路では、自動配置配線が行なえないため、すべて手で作業を行ない、システムデザインを行なった。アナログ・デジタル両方の回路の PMOS と NMOS のゲート長とゲート幅のサイズ比は等しいとして設計した。もともなる連想記憶システムのブロック図を図 4.23 に示す。本研究の連想記憶システムでは完全並列動作を実現しているため、同様のアーキテクチャをデジタル回路

で構成する場合でも適用している。

実際にシステムとして生成した時のアナログ回路またはデジタル回路で構成した連想記憶システムを図4.24に示す。図4.24で、アナログ回路で構成すると $350\mu\text{m} \times 250\mu\text{m}$ で構成できるが、デジタル回路ではその約4倍の大きさになる($500\mu\text{m} \times 500\mu\text{m}$)。動作的には同じ動作はするものの、アナログ回路で設計することで回路面積の縮小が可能であることがわかる。さらに、第2章・第3章で述べた本研究のアナログ記憶デバイスを用いると、アナログメモリを含めた連想記憶システムの高集積化が期待できるといえる。

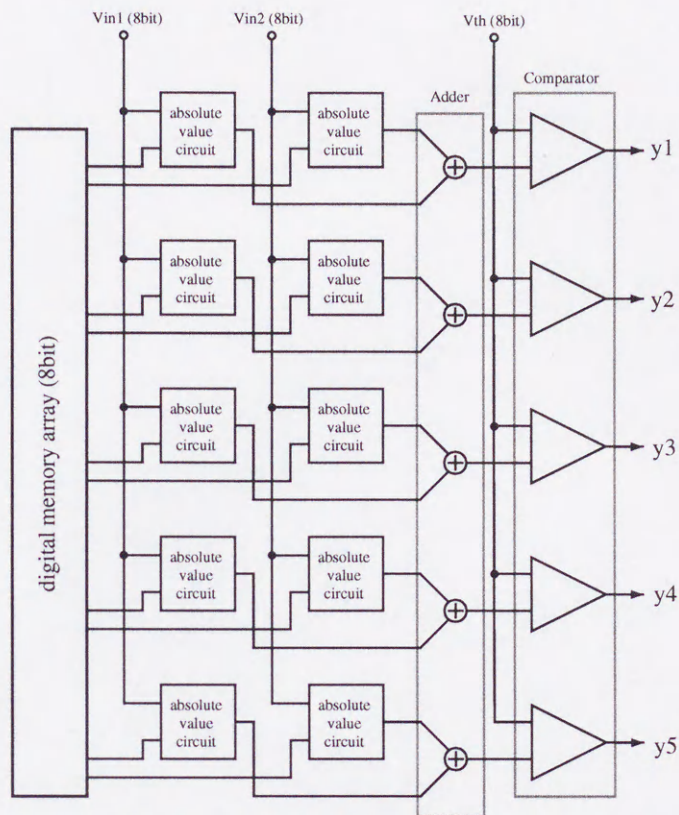


図 4.23: 連想記憶システムの構成例 (デジタル回路の場合)

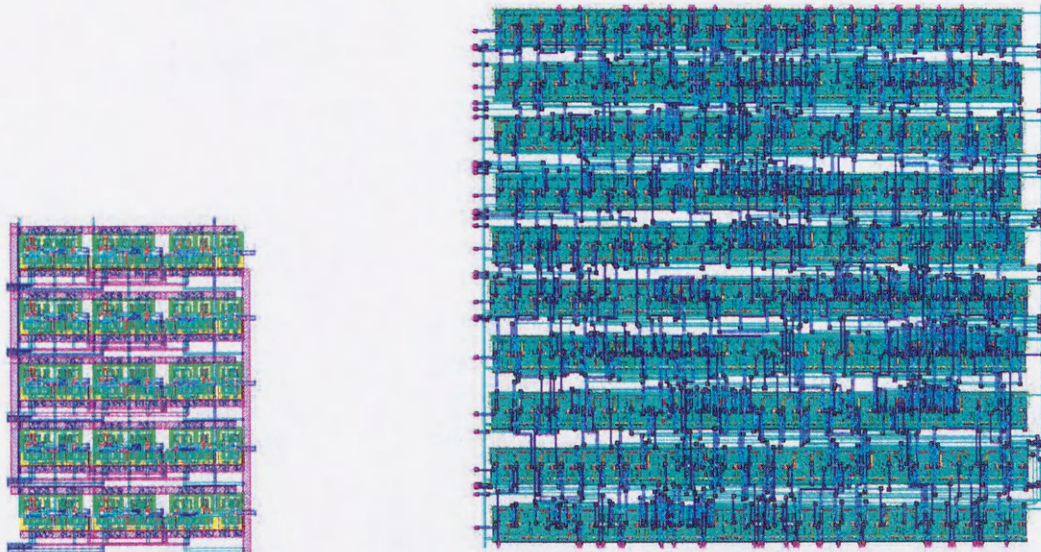


図 4.24: 同じアーキテクチャを想定して設計した連想記憶システム (左: アナログ回路で構成した場合 ($350\mu\text{m} \times 250\mu\text{m}$)、右: デジタル回路で自動生成した場合 ($500\mu\text{m} \times 500\mu\text{m}$))

4.9 集積化連想記憶システムの応用

本研究の連想記憶システムは、アナログ値で直接連想記憶が可能である。そこで、各記憶ベクトルに対して意味付けを行えば、パターン認識システムとして実現できる。またアナログ記憶ベクトルで構成するコードブックを構成し、これをアナログ値で記憶させれば、アナログによるベクトル量子化回路として実現できる。

時系列連想記憶処理においては、時系列データのあるサンプリングレートでサンプリングすることで、時系列から時間軸を伴わないスタティックなデータへ置き換えることができるため、本研究の集積化連想記憶システムを構成することで対応できる。但し、入力データから、ある特定のデータの抽出処理や規格化などを行なうための前処理回路が必要となる。

4.10 まとめ

本研究で提案しているアナログ記憶デバイスのメリットとして、アナログ値を長期保持できることが挙げられる。そこで、アナログ入力を直接連想処理できる「アナログ連想記憶システム」を設計した。本研究の連想記憶システムのコンセプトとして、

- 「アナログ・コ・プロセッサ」の概念を採り入れたアーキテクチャ
入力はアナログ値で、出力はバイナリにすることで、デジタルシステムとの親和性と情報量の削減を実現する。
- かけ離れた情報に対して無理やり想起せずに「該当しない情報」であると識別する
この動作により、「未知な情報」を識別させることができる。
- 想起動作においては完全に合致させる必要はない
人間の連想処理では、すべての情報を提示しなくても連想処理ができる。これを本研究の連想記憶システムに取り入れることで、ニューラルネットワーク以外でロバスト性を実現する。

がある。これらのコンセプトに基づき、設計を行なった。そしてSPICEによる動作検証と集積化・測定評価を行ない、連想想起動作を確認した。不揮発性アナログメモリとのオンチップでの連想動作は確認することが出来なかったが、集積化連想記憶システムの一部を試作したチップで外部から仮想的にアナログメモリを実現させて測定した結果、連想動作を確認している。また、第2章や第3章で述べた新アナログ記憶デバイスの動作特性を考慮すると、オンチップで集積化連想記憶システムの実現が可能であると結論できる。

性能評価については、 100×100 画素の連想記憶処理を行なわせるという仮定を用いて検証した結果、演算回数としては260分の1、集積化の際のトランジスタ数としては50分の1、集積化面積としては約4分の1に減少すると見積もることができ、更にアナログ記憶デバイスを用いると、メモリ部で9分の1に減少すると見積もることができる。よって、本研究の連想記憶処理が高速に実現できると結論することができる。

第5章 まとめ

「アナログ・コ・プロセッサ」の実現のために必須である新アナログ記憶デバイスとして、3種のデバイスを提案し、そのうち DTSDAM と FBSDAM については試作と測定評価を行なった。その結果、以下のように結論できる。

- DTSDAM は、トンネル電極を通じての電荷注入・排出の際に印加する高電圧パルスの波高値を同じにしても、記憶更新動作特性の対称性が実現されていることが数式による解析と SPICE による動作検証・測定結果から明らかとなった。
- FBSDAM は、メモリ部のキャパシタの容量を大きく形成すること無く、記憶更新動作特性の線形性が実現されていることが数式による解析と SPICE による動作検証・測定結果から明らかとなった。
- DTFBSDAM では、数式で解析した結果から FBSDAM の線形更新特性が実現されているのが明らかであるが、設計の際にキャパシタの容量比によっては DTSDAM の記憶更新特性の対称性を持たせることが可能であることがわかった。また、DTSDAM と FBSDAM の測定結果より、DTSDAM と FBSDAM 両方の機能を持たせることが可能であると結論できる。

また、これらのアナログ記憶デバイスの性能評価においては、DTSDAM や FBSDAM は非常に有用な不揮発性アナログ記憶デバイスであると結論でき、動作速度を 80ns まで向上させることが可能であると結論できる。

一方、「アナログ・コ・プロセッサ」の実現のための具体的なアーキテクチャとして本研究で提案した新アナログ記憶デバイスを用いた連想記憶システムの設計と SPICE による動作検証と集積化を行なった。その結果、以下のように結論することができる。

- 本研究で示した動作原理にもとづいて設計と試作を行なった。本研究で提案したアナログ記憶デバイスを用いて集積化したものについては、アナログ記憶デバイスのシステムレベルでの歩留まりが得られなかったため測定結果が得られなかったが、本研究の連想記憶システムの一部をチップファウンドリへ外注して集積化を行なったチップについては、連想記憶動作を測定結果から確認することができた。外注したチップについては、不揮発性アナログメモリを作ることが不可能なので、外部から D/A 変換器を通して仮想的にアナログメモリを実現している。しかし、これを本研究のアナログ記憶デバイスで置き換えることは可能であるため、アナログ値による直接連想処理や「未知情報」の判別が可能な連想記憶システムを実現することが可能であると結論できる。
- 本研究の連想記憶システムの性能評価については、100×100画素の連想記憶処理を行なわせるという仮定を用いて検証した結果、演算回数としては260分の1、集積化の際のトランジスタ数としては50分の1に減少すると見積もることができ、本研究の連想記憶システムの高集積化と高速動作が実現できると結論することができる。

最後に、新アナログ記憶デバイスの集積化を通じて集積化技術の設計と新規工程の導入、そして過去の試作と測定結果をもとに改良を行なうことによりデバイスレベルでの歩留まりの向上を達成することができた。よって、新アナログ記憶デバイスを用いた集積化技術の展望としては、システムレベルでの歩留まりの向上に焦点が移ることになる(集積化技術については付録Aを参照)。

付録A アナログ連想記憶システム集積化技術

A.1 概要

アナログ連想記憶システムの集積化では、つぎの2つの方法を用いて行なった。

- チップファウンドリへ委託する方法
回路の集積化をチップファウンドリへ依頼する。国内でのチップファウンドリとしてVDECがあげられる。実際に製作するシステムの回路設計を行ない、回路データを提出することでそのシステムが集積回路として実現できる。しかし、チップファウンドリへ委託できるプロセス技術はStandard CMOSのみと限定されるため、不揮発性メモリをいれたシステムの集積化は不可能である。
- 独自に集積化プロセスを設計し、実際に製作する
不揮発性アナログメモリを作る場合、Standard CMOSによる集積化工程では不可能である。そこで、独自に半導体製造工程を設計し、それに準じて集積化を行なう。

A.2 不揮発性アナログメモリFBSDAMを用いたシステムの集積化技術

本研究では、独自に開発した不揮発性アナログメモリを用いていることから従来のStandard CMOS技術だけで集積化を行なうことが困難である。そこで、Standard CMOS技術を基本に、不揮発性アナログメモリを製作するための工程を含めた半導体集積化工程を独自に設計し、集積化を行なった。

A.2.1 新規導入技術

A.2.1.1 背景

従来我々が行ってきた製造工程では、配線工程として1層アルミ配線で行なっていた。1層配線では配線どうしが交差する部分が必ず生じるため、交差する部分については、リンドーブ多結晶シリコンを用いて配線した。

しかし、不純物ドーブ多結晶シリコンで配線すると、不純物ドーブ多結晶シリコンの抵抗率がアルミと比べて大きい。そのため、アナログ回路による集積化において、電流モードの回路の配線として使用すると、多結晶シリコンで配線している部分で電圧降下が起こり、電流モード回路の動

作レンジが狭くなり、回路動作しないという問題が生じる。

そこで、本研究では、多層配線技術 [50] の確立のため、配線工程の完全ドライエッチング化を導入し、実際に集積化を行なった。配線工程の完全ドライエッチング化では、以下の2つの工程が重要になる。

- 配線のドライエッチング技術 [51][52][53][54][56]
- 平坦化技術 [55][56][57][58]

A.2.2 ドライエッチング技術

本研究の新アナログ記憶デバイスの集積化工程では、1層アルミ配線形成・2層アルミ配線形成・1層アルミ配線と2層アルミ配線をつなぐコンタクトホール形成にドライエッチング技術を導入した。この工程でドライエッチングが必要である理由としては、以下のようにあげられる。

- 一般的に、アルミ配線を用いた配線工程では、アルミは酸やアルカリと容易に反応するため、配線の腐食による断線がおこる。
- 1層アルミ配線と2層アルミ配線をつなぐコンタクトホールを形成する時に薬液によるエッチングを行なうと、等方的にエッチングされるため、上面からは一見つながっているように見えるが、つながっていない場合がある。

そこで、アルミエッチング装置 (ANELVA L-451DA-L) を用いて配線形成とコンタクト形成のドライエッチング工程を導入した。

A.2.2.1 アルミ配線のドライエッチング

アルミ配線のドライエッチングは、多結晶シリコンや熱酸化膜・CVDによるシリケートガラスのエッチング工程と比べて容易ではない。その理由を以下にあげる。

- アルミ酸化膜の形成によるエッチング時間の遅れ
アルミ配線のドライエッチングのエッチング時間の大半はアルミ酸化膜のエッチングに費される。またアルミの酸化膜の形成においては、経過時間や保存の際の雰囲気により膜厚が変動するため、正確なエッチングレートを見積もるのは難しい。
- アルミ酸化膜が介在することによるコンタクト不良
アルミ酸化膜がコンタクトホールに介在すると、アルミ酸化膜が絶縁体になるため、コンタクトがとれなくなる。これがコンタクト不良の原因となり、回路自体が動作しなくなる。
- エッチング後の残留ガスによる配線の腐食
アルミは酸や塩基と反応しやすい。特に後述するアルミのドライエッチングで用いている塩素は空気中の水分と反応して酸をつくり、それがアルミを腐食させる。そのため、配線が断線する。

- レジストとの選択比がとれない

- エッチングで生じる残さの問題

特に純アルミで生じるスパイクを防止するために1 溶け込ませた Al-Si では、エッチングの際に生じるシリコンの残さが配線のショートなどの原因になる。

これらの問題があるため、レジストや下地材料との選択比をできるだけ大きくとれるようにし、さらにアルミの酸化膜厚が薄い状態でドライエッチングができる条件を設定する必要がある。

A.2.2.2 コンタクトホールドライエッチング

コンタクトホールドライエッチングにおいてもアルミ配線のドライエッチング同様、容易ではない。

- 残さがコンタクトホールを埋めてしまう可能性がある

- 下地材料を削ってしまう場合がある

特に、MOSFET のゲート電極の貫通やソース・ドレインの高濃度層のエッチングによる貫通が生じてしまうため、動作不良の原因になる。

- エッチングの終点判定が困難

コンタクトホールのサイズが小さいため、終点判断するのが難しい。特に、エッチングの際に生じる物質によって自動的に終点判断するエンドポイントディテクターを用いてエッチングの終点判断を行なおうとすると、コンタクトホールのサイズが小さいため、エッチングの際に生じる物質がエンドポイントディテクターの分光器を通して検出できるほどの量が生じないため、終点判断が不可能である。

そのため、下地材料との選択比を大きくとることが、コンタクトホールエッチングの条件として重要になる。

A.2.3 平坦化技術

多層配線技術で確立すべき技術の1つに平坦化技術がある。ウェハー表面に形成された段差は、CVD 法による絶縁膜形成であれ、スパッタ法による金属膜形成であれ、膜堆積工程を経るごとに増幅され大きくなる。段差が大きくなると、フォトリソグラフィーでのレジストパターン形成が困難になるばかりではなく、段差の側面では垂直方向の膜厚が厚くなるため異方性エッチングによる加工も困難となる。特にポリシリコンやアルミでの配線工程では、段差が大きくなることによって配線の断線や配線間の短絡が生じる。そのため、パターン寸法が微細化すればするほど、段差を緩和するための平坦化が必要となる。代表的な平坦化技術としては以下の3種類があげられる。

- 熱的なリフロー

LSI 製造の初期では、PSG 膜や BPSG 膜を堆積させ、熱 (950 度) をあたえることで絶縁膜の表面を流動化して、平坦面を得る方法。

- エッチバック法
段差のあるパターンに SOG(Spin On Glass) やレジストを塗布し、熱的に流動化させて平坦にする。そして絶縁膜とレジストまたは SOG とのエッチングの選択比を等しくし、層間膜の表面から突出した段差の部分だけを削り取る平坦化法。
- CMP(Chemical Mechanical Polishing) とダマシン法
近年の微細化に伴う平坦化の新たな手法として注目されている。ウェハの段差を研磨することでウェハ表面を平坦にする方法。さらに、埋め込みによる配線形成と平坦化を一度に同時にできるダマシン法がある。

本研究では、レジストによるエッチバック法を用いて平坦化を実施した。

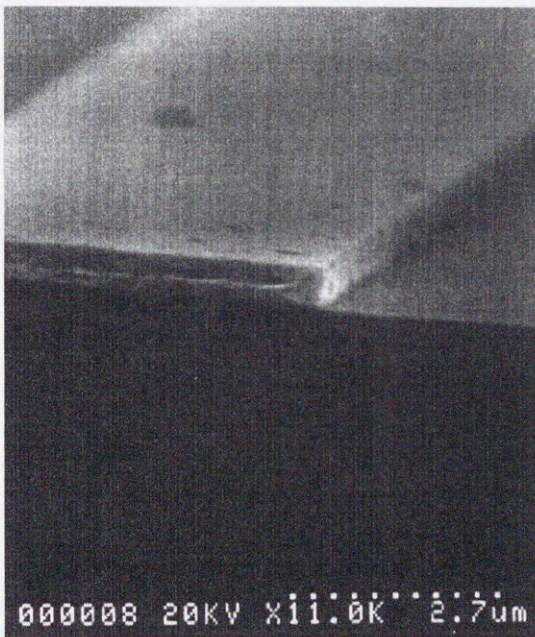
A.2.4 実験プロセス

実際に本研究の不揮発性アナログ記憶デバイスの試作で導入した配線工程の完全ドライエッチング工程の予備実験を行なった。予備実験として行なった実験としては、以下のようになる。

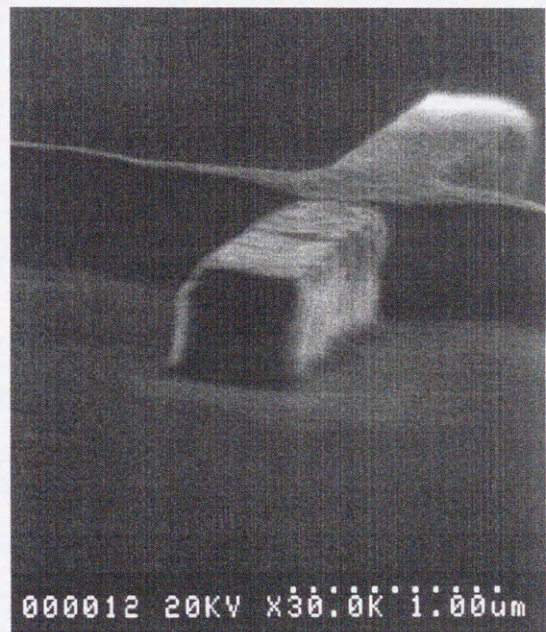
- アルミのドライエッチング
- アルミ1層と2層をつなぐコンタクトホール形成
- 下地材料として NSG を用いたエッチバックによる平坦化
- 下地材料として PSG を用いたエッチバックによる平坦化

A.2.4.1 アルミ配線のドライエッチング

アルミ配線のドライエッチングでは、アルミ配線の反応性と表面に形成されるアルミ酸化膜に注意を払う必要がある。また、100Wより高い電力でエッチングすると、基板加熱した状態と同等になるため、レジストパターンが崩れてしまうことがあるため、できるだけ電力を抑える必要がある。本研究では、エッチングガスとして BCl_3+Cl_2 を用い、添加ガスとして CF_4+O_2 を用いて実施した。 CF_4+O_2 は、Al-Siのエッチングの際に生じるシリコンの残さを取り除くために用いる。 $\text{BCl}_3:\text{Cl}_2:\text{CF}_4:\text{O}_2=98:20:15:4$ の流量比とし、圧力3Pa、電力100Wのもとで、フォトリソグラフィ工程でパターンニング後1日以内で 5000 \AA のアルミをエッチングするのに2分30秒～3分かかる。しかし、1日以上置いてエッチングを実施すると、エッチング時間が4倍程度かかってしまう。また、オーバーエッチング時の下地のNSG膜のエッチングレートは $575\text{ \AA}/\text{分}$ となる。1日以内でエッチングを実施したときのアルミとNSGとの選択比は3.4となる。この条件で $10\mu\text{m}$ の配線と $0.8\mu\text{m}$ 十字パターンをエッチングしたときの形状を図A.1(i)(ii)に示す。



(i) $10\mu\text{m}$ の配線



(ii) $0.8\mu\text{m}$ の十字パターン

図 A.1: アルミエッチングの形状

A.2.4.2 アルミ1層と2層とを接続するコンタクトホール形成

アルミ1層と2層をつなぐコンタクトホールを形成するには、レジストとの選択比、そしてアルミとの選択比をたかくとすることが重要となってくる。そこで、コンタクト形成のドライエッチングを実施する場合、エッチングガスとしてCF₄を用い、添加ガスとしてH₂を用いた。このとき、

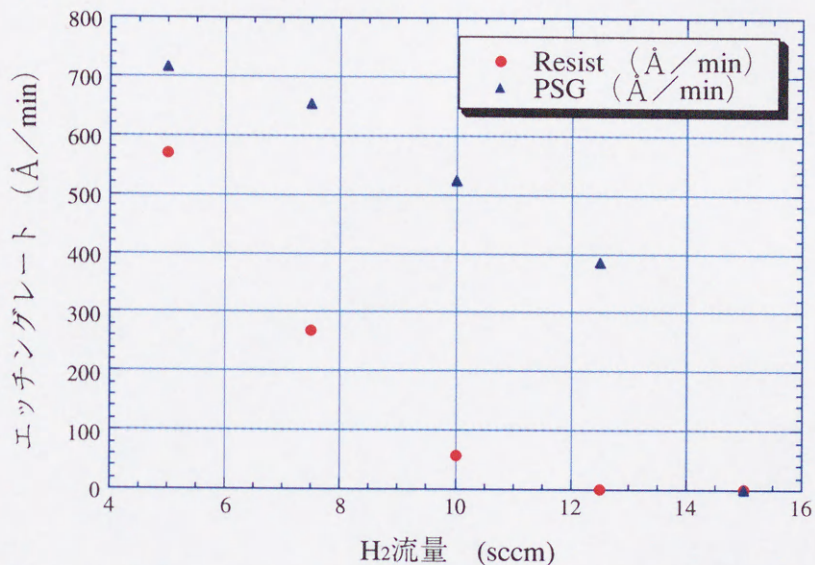


図 A.2: PSG と Resist とのエッチングレート (圧力: 10Pa、電力: 100W)

もっとも選択比がとれる条件としては、CF₄:H₂=50:10の流量比、圧力10Pa、電力100Wの条件下のアルミとの選択比は9.9となる。この条件でコンタクトホールを形成したときの断面写真を図A.3に示す。

しかし、アルミ酸化膜が介在することによるコンタクト不良をなくすために、このコンタクト形成後、露出しているアルミ上面に酸化膜が形成されないようにする必要があるため、直ちにレジスト除去と洗浄工程を行ない、2層配線形成工程にとりかかる必要がある。

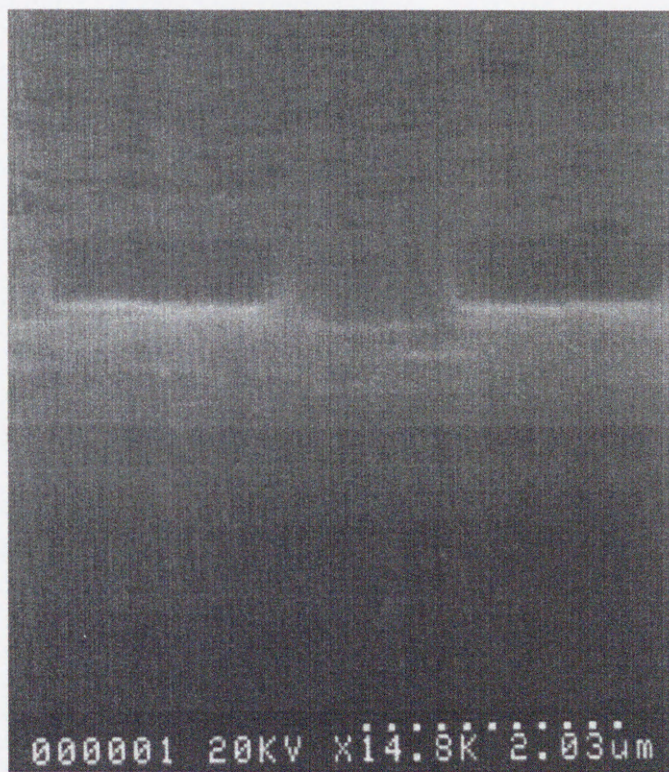


図 A.3: コンタクト形状 (2 μ m 角)

A.2.4.3 下地材料としてNSGを用いたエッチバックによる平坦化

下地材料としてNSGを用いる工程としては1層アルミ形成前の層間絶縁膜があげられる。1層アルミ形成前に平坦化を実施することでアルミ配線の断線や短絡を防ぐことができる。また、キャパシタ形成工程前にも平坦化を実施しているが、これも同様に、段差によるポリシリコンの断線や短絡を防ぐ目的で行なっている。図A.4・A.5に反応室圧力を変えた場合のエッチングレートを示す。

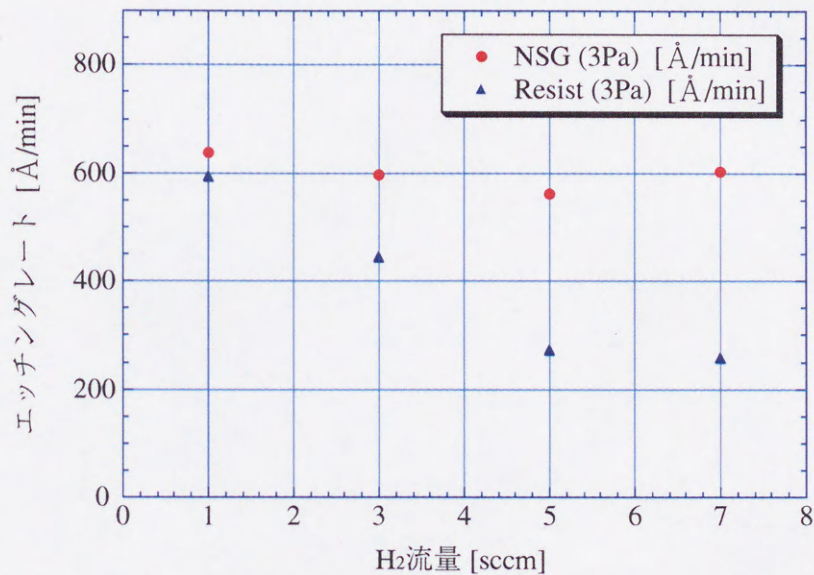


図 A.4: NSG と Resist とのエッチングレート (圧力：3Pa、電力：100W)

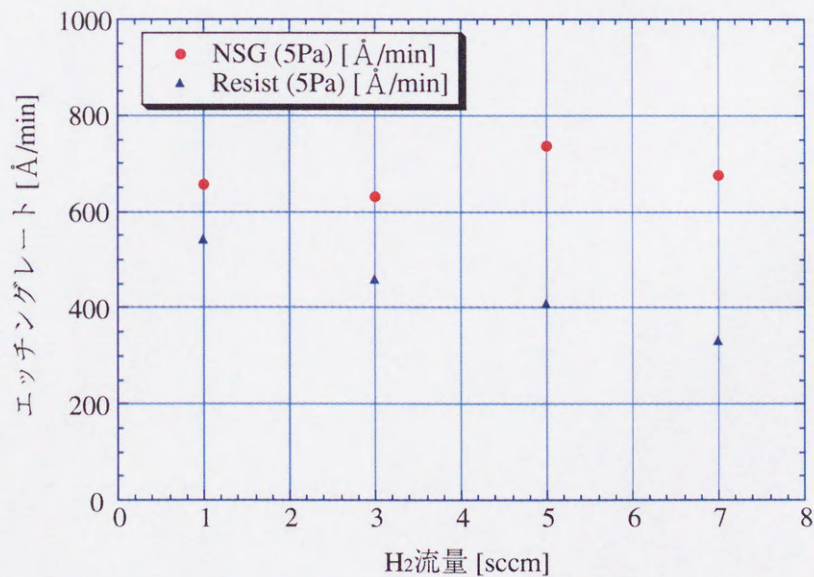
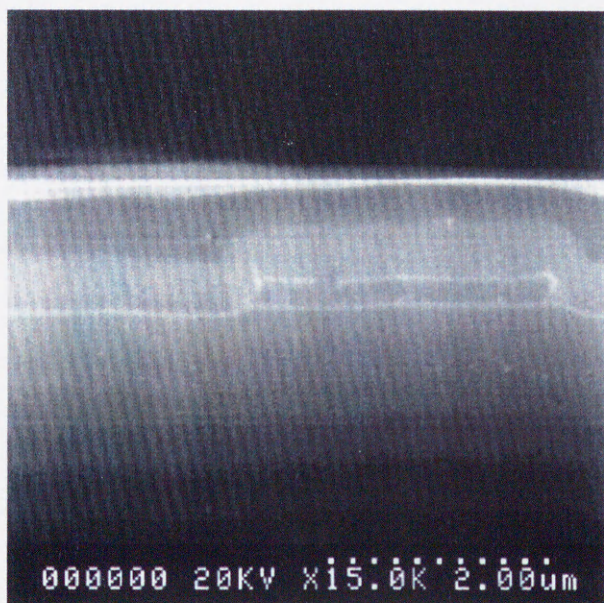


図 A.5: NSG と Resist とのエッチングレート (圧力：5Pa、電力：100W)

また、実際に平坦化を実施したときの初期状態から20分までの各断面形状を図A.6(i)(ii)・

A.7(i)(ii) に示す。さらに、その後 NSG を堆積させ、アルミ配線を実施したときの断面形状を図 A.8 に示す。

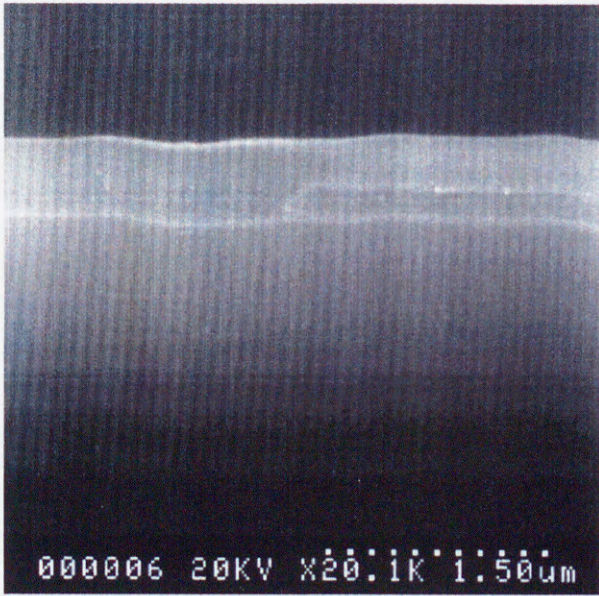


(i) 初期状態

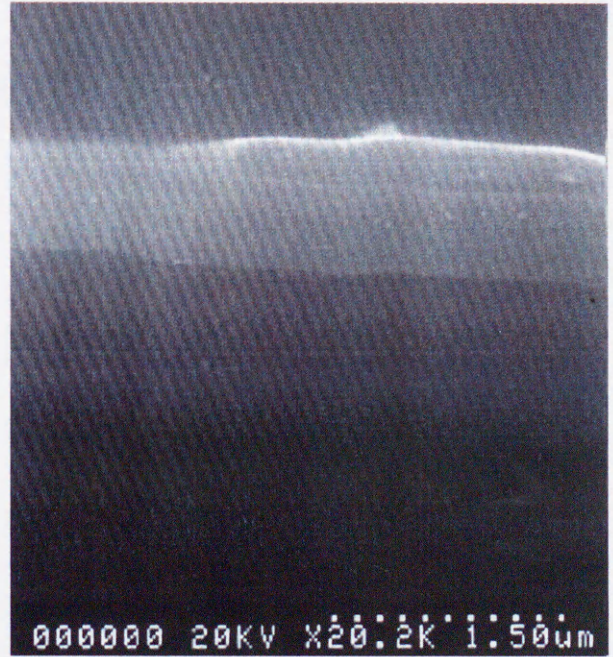


(ii) 11分後の状態

図 A.6: エッチバック (NSG) その 1



(i) 15分後の状態



(ii) 20分後の状態

図 A.7: エッチバック (NSG) その2

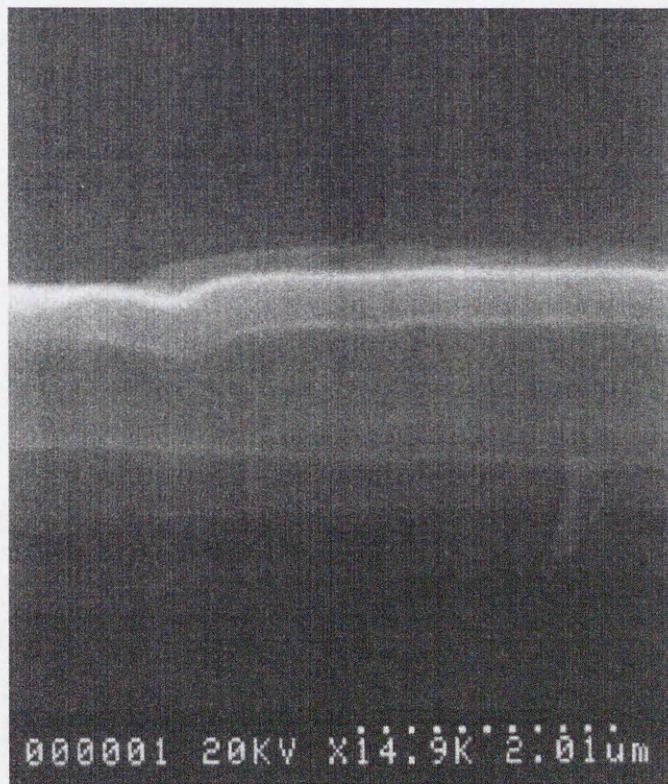
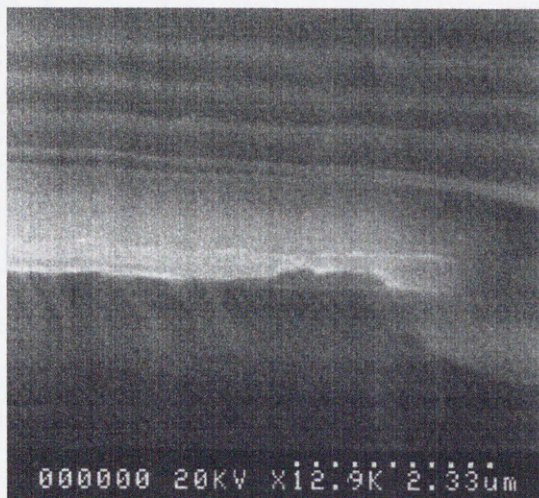


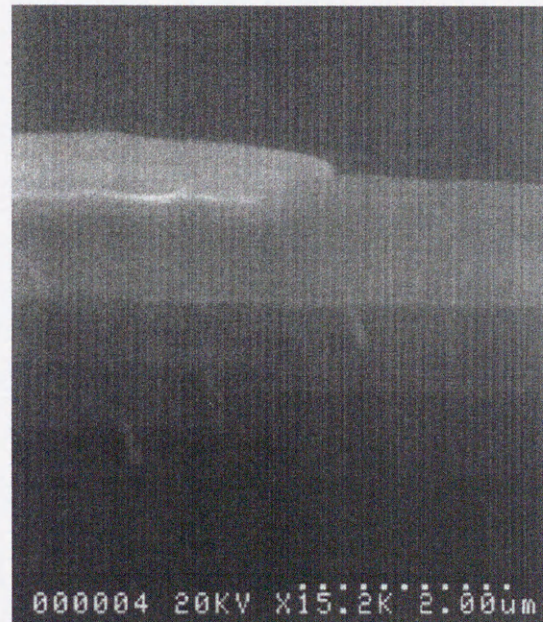
図 A.8: 平坦化後、アルミ配線を実施した状態

A.2.4.4 下地材料として PSG を用いたエッチバックによる平坦化

ドライエッチング条件については図 A.2 より、 $\text{CF}_4:\text{H}_2=50:2$ の流量比、圧力 10 Pa、電力 100W の条件で、PSG とレジストとの選択比は 1.0 となる。この条件で平坦化を実施したときの断面写真を図 A.9(i)(ii) に示す。また、平坦化終了後、PSG を堆積させ、2 層アルミ配線形成を実施したときの断面写真を図 A.10(i)(ii) に示す。

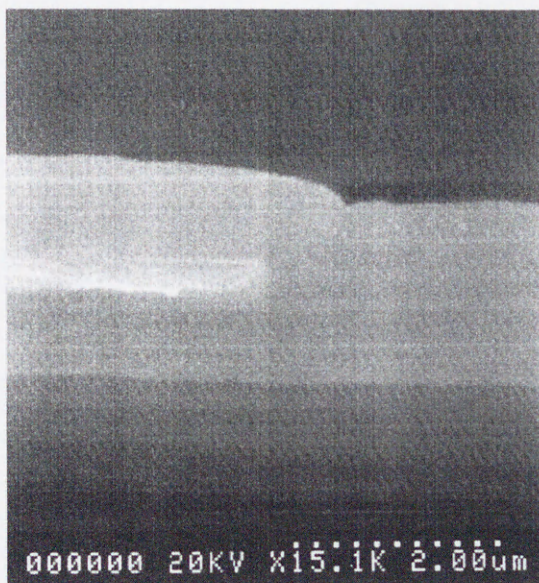


(i) 初期状態

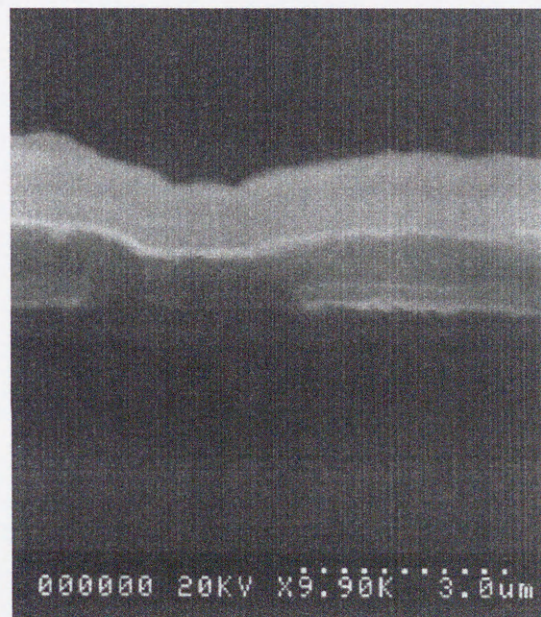


(ii) 13分後の状態

図 A.9: エッチバック (PSG)(1)



(i) 平坦化終了後 PSG を堆積した状態



(ii) 2層メタル配線を行なった状態

図 A.10: エッチバック (PSG)(2)

A.3 本研究で導入した配線工程のドライエッチング化のまとめ

本研究のアナログ記憶デバイスの実現に必要な半導体製造工程の予備実験で得た条件を簡単にまとめると以下のようなになる。

配線の完全ドライプロセス化

アルミ配線のエッチング条件としては、

圧力：3Pa 電力：100W
エッチングガスと混合比
BCl₃ : Cl₂ : CF₄ : O₂ = 98 : 20 : 15 : 4
オーバーエッチングで削れてしまうNSG：575Å/分

コンタクトホールのエッチング条件としては、

圧力：10Pa 電力：100W
エッチングガスと混合比
CF₄ : H₂ = 50 : 10 PSG/Alの選択比=9.9

平坦化条件としては、

圧力：10Pa 電力：100W
エッチングガスと混合比
CF₄ : H₂ = 50 : 2 PSG/Resistの選択比=1.0

図 A.11: アルミ配線工程のドライエッチング条件

これにより、アルミ配線工程のドライエッチング工程導入が実現できた。よって、今後導入すべき工程は、ゲート電極形成やLOCOSの窒化膜のエッチング、そしてMOSFETのソース・ドレイン・ゲートのコンタクトホールのエッチングの完全ドライエッチング化である。これらが実現できれば、不揮発性アナログメモリ製造工程の設計ルールが少なくとも2分の1にまで縮小可能であり、これによって更なる微細化が実現できる。

付録B 予備実験プロセスのプロセス表

2層メタル実験プロセス

1. 前準備

大工程	小工程	プロセス条件	備考
1. NSGデポ	NSGデポ	<常圧CVD> 膜厚：6000 Å ガス：SiH ₄ (5%) = 800cc O ₂ = 400cc 温度：350℃ (2号棟) 400℃ (1号棟) 時間：7分30秒 (2号棟) 20分 (1号棟)	デポレート確認

2. Al配線 (1層目)

大工程	小工程	プロセス条件	備考
2. Al - Siスパッタ または蒸着		<汎用スパッタ装置> Al - Si (基板加熱) 膜厚：5000 Å	膜厚を確認する。 (スパッタ時間：30分)
3. フォトリソ14	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR - 8900 - CRB2 1st 600 rpm 2秒 2nd 4000 rpm 60秒	露光・現像条件確認 ピーカー・スボイト洗浄 オーバー露光 (確実にぬく)
	プリベーク	<Si以外用ホットプレート> 90℃ 90秒	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	PEB	<Si以外用ホットプレート> 110℃ 90秒	
	現像	<No.5ベンチ> 1) NMD - W 70秒 2) 水洗 30秒 3) N ₂ ブロー	
	UVキュア	<Si以外のホットプレート> 110℃ 15分	
	ポストベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
4. Al - Si エッチング		<Alエッチング装置> Cl ₂ = 20 sccm BCl ₃ = 98 sccm CF ₄ = 15 sccm O ₂ = 4 sccm 圧力 = 3 Pa 電力 = 100W 時間 = 4分 エッチングレート = 3000 Å/分 選択比=	オーバーエッチング 断面のチェック (SEMで) アッシングは必ず行うこと (残留塩素の除去) 電力は100W以下 (基板温度上昇によるレジスト変質防止)
	O ₂ アッシング	<Alエッチング装置附属> O ₂ = 20 sccm 60W 10Pa 4分	
5. 洗浄		<No.1ベンチ> (Alレジスト付きで) 1) J - 100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	
6. 水素処理		<水素処理炉> H ₂ + N ₂ = 0.2 : 1.8 sccm 温度：350℃ 時間：30分	

3. 平坦化 (層間絶縁)

大工程	小工程	プロセス条件	備考
-----	-----	--------	----

7. PSGデポ	PSGデポ	<常圧CVD (1号棟)> 膜厚: 7000 Å ガス: SiH ₄ (5%) = 800cc O ₂ = 400cc PH ₃ (0.5%) = 160cc 温度: 350 °C 時間: 20分	デポレート確認
8. レジスト塗布	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 4000 rpm 40秒	
	ポストバーク	<ホットプレート> N ₂ 200 °C 25分	
9. エッチバック	ドライエッチ	<Alエッチング装置> CF ₄ = H ₂ = 電力 = 100 W 圧力 =	エッチング条件確認 アルミを積んでいるため、できるだけ基板加熱を抑えること。
	O ₂ アッシング	<O ₂ アッシング (Alエッチング付属)> O ₂ =20sccm 60 W 10 Pa 4分	
	洗浄	<No.1ベンチ> (Alレジスト付きで) 1) J-100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	
10. PSGデポ	PSGデポ	<常圧CVD (1号棟)> 膜厚: 7000 Å ガス: SiH ₄ (5%) = 800cc O ₂ = 400cc PH ₃ (0.5%) = 160cc 温度: 350 °C 時間: 20分	デポレート確認
11. フォトリソ12	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR-8900-CRB2 1st 600 rpm 2秒 2nd 4000 rpm 60秒	露光・現像条件確認
	プリバーク	<プリバーク用オープン> N ₂ 90 °C 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD-W 70秒 2) 水洗 1分 3) N ₂ ブロー	
	ポストバーク	<ポストバーク用オープン> N ₂ 130 °C 30分	
12. コンタクトホールエッチング	ドライエッチ	<Alエッチング装置> CF ₄ = H ₂ = 電力 = 圧力 =	エッチング条件確認 アルミを積んでいるため、できるだけ基板加熱を抑えること。
	O ₂ アッシング	<O ₂ アッシング (Alエッチング付属)> O ₂ =20sccm 60 W 10 Pa 4分	
13. SiO ₂ エッチング	エッチング	<No.2ベンチ> (Alレジスト付きで) 1) NH ₄ F: HF = 10:1 ?秒 2) 水洗 10分	エッチング時間を見積もること (コンタクトの空気が甘い場合)

14.レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J - 100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	
15.水素処理		<水素処理炉> H ₂ + N ₂ = 0.2 : 1.8sccm 温度 : 400℃ 時間 : 30分	

4. Al配線 (2層目)

大工程	小工程	プロセス条件	備考
16. Al - Siスパッタ または蒸着		<汎用スパッタ装置> Al - Si (基板加熱) 膜厚 : 5000 Å	
17. フォトリソ14	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR - 8900 - CRB2 1st 600 rpm 2秒 2nd 4000 rpm 60秒	露光・現像条件確認 ビーカー・スボイト洗浄 オーバー露光 (確実にぬく) ドライエッチングの場合は UVキュアを必ず行なう。
	プリベーク	<Si以外用ホットプレート> 90℃ 90秒	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	PEB	<Si以外用ホットプレート> 110℃ 90秒	
	現像	<No.5ベンチ> 1) NMD - W 70秒 2) 水洗 30秒 3) N ₂ ブロー	
	ポストベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
18. Al - Si エッチング		<Alエッチング装置> Cl ₂ = BCl ₃ = CF ₄ = 圧力= 電力= 時間= エッチングレート= 選択比=	オーバーエッチング
	O2アッシング	<Alエッチング装置附属> O ₂ =20sccm 60W 10Pa 4分	
19.レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J - 100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	
20.水素処理		<水素処理炉> H ₂ + N ₂ = 0.2 : 1.8sccm 温度 : 350℃ 時間 : 30分	

5. パッシベーション

大工程	小工程	プロセス条件	備考
21. PSGデポ	NSGデポ	<常圧CVD (1号棟)> 膜圧 : 6000 Å ガス : SiH ₄ (5%) = 800cc	デポレート確認

		O ₂ = 400cc PH ₃ (0.5%)=160cc 温度：400℃ 時間：12分	
2.2. フォトリソ12	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR-8900-CRB2 1st 600 rpm 2秒 2nd 4000 rpm 60秒	露光・現像条件確認
	プリベーク	<プリベーク用オープン> N ₂ 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD-W 70秒 2) 水洗 1分 3) N ₂ ブロー	
	ポストベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
2.3. SiO ₂ エッチング	エッチング	<No.2ベンチ> (Alレジスト付きで) 1) NH ₄ F : HF = 10 : 1 ?秒 2) 水洗 10分	エッチング時間を見積もること
2.4. レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J-100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	
2.5. 水素処理		<水素処理炉> H ₂ + N ₂ = 0.2 : 1.8sccm 温度：400℃ 時間：30分	

(備考) 裏面エッチング

大工程	小工程	プロセス条件	備考
裏面エッチング	乾燥ベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	ポストベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
	SiO ₂ エッチング	<No.10ベンチ> (Alレジスト付きで) 1) NH ₄ F : HF = 10 : 1 ?秒 2) 水洗 10分	
	Poly Si エッチング	<No.10ベンチ> (Alレジスト付きで) 1) HNO ₃ : HF = 10 : 1 ?秒 2) 水洗 10分	
	SiO ₂ エッチング	<No.2ベンチ> (Alレジスト付きで) 1) NH ₄ F : HF = 10 : 1 ?秒 2) 水洗 10分	
レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J-100 5分 2) トリクレンボイル 5分	

	3) トリクレンボイル (AIレジストなしで)	5分	
	4) トリクレンボイル	10分	
	5) エタノール置換		

付 録 C 不揮発性アナログ記憶デバイス試作
のための半導体製造工程のプロセ
ス表

		N2 90℃ 30分	
	露光	<ステッパー> Exp. = 0.25 sec Focus = -0.75 μm	
	現像	<No.5ベンチ> 1) NMD - 3 70秒 2) 水洗 1分 3) N2ブロー	
	ポストバーク	<ポストバーク用オープン> N2 130℃ 30分	
9. SiO2 (NSG) エッチング		<No.2ベンチ> (Siレジスト付きで) 1) NH4F:HF = 10:1 2分 2) 水洗 10分	※エッチレート25Å/sec程度
10. レジスト除去		<No.2ベンチ> (Siレジスト付きで) 1) 硫過洗浄 1回 2) 水洗 10分 3) 希HF処理 4) 水洗 10分	
11. Si3N4エッチング		<No.11ベンチ> (Siレジスト付きで) 1) 熱燐酸 165±5℃ 約90分 2) 水洗 10分	※容器洗浄 硫過洗浄 希HF洗浄 10分程度

3. チャネルストップ

※一部チャネルストップをやらないものも作る

大工程	小工程	プロセス条件	備考
12. 裏面エッチ	乾燥バーク	<ポストバーク用オープン> N2 130℃ 30分	
	レジスト塗布	<No.6ベンチ> 1) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	ポストバーク	<ポストバーク用オープン> N2 130℃ 30分	
	SiO2エッチング	<No.2ベンチ> (Siレジストなしで) 1) NH4F:HF = 10:1 35秒 2) 水洗 10分	
	レジスト除去	<No.2ベンチ> 1) 硫過洗浄 1回 2) 水洗 10分	
13. イオン注入		<イオン注入装置> イオン種 : B エネルギー : 40 KeV ドーズ量 : $3 \times 10^{13} \text{ cm}^{-2}$ 時間 : 3分10秒	
14. SiO2エッチング	エッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH4F:HF = 10:1 2) 水洗 10分	

4. LOCOS

大工程	小工程	プロセス条件	備考
15. 回復アニール	洗浄	<NO.2ベンチ> (Siレジスト付きで) 1) 硫過洗浄 1回 (Siレジストなしで) 2) 硫過洗浄 2回 3) 水洗 10分 4) N2ブロー	空焼き
	熱処理	<Si熱処理炉> N2 温度 : 900℃ 時間 : 30分	
16. LOCOS	塩酸過洗浄	<No.2ベンチ> 1) HCl:H2O2:H2O = 1:1:6 (125:125:750cc) 10分	空焼き

		2) 水洗 3) 希HF処理 4) 水洗 5) N2ブロー	10分 10分	
	酸化	<フィールド酸化炉> 膜厚：9500 Å H2 + O2 温度：1000℃ 時間：280分		※膜厚チェック (予備実験)
17. SiO2エッチング		<No.2ベンチ> (Siレジスト付きで) 1) NH4F:HF = 10:1 2) 水洗	50秒 10分	HF容器洗浄
18. Si3N4エッチング		<No.11ベンチ> (Siレジスト付きで) 1) 熱磷酸 165±5℃ 2) 水洗	約90分 10分	
19. SiO2エッチング		<No.2ベンチ> (Siレジスト付きで) 1) NH4F:HF = 10:1 2) 水洗	50秒 10分	HF (付) 容器洗浄
20. 犠牲酸化	硫酸洗浄	<No.2ベンチ> (Siレジスト付きで) 1) 硫酸洗浄 (Siレジストなしで) 2) 硫酸洗浄 3) 水洗 4) 希HF処理 5) 水洗	1回 2回 10分 10分	HF (無) 容器洗浄 希HF処理、ジャスト
	塩酸過洗浄	<No.2ベンチ> 1) HCl:H2O2:H2O = 1:1:6 (125:125:750cc) 2) 水洗 3) 希HF処理 4) 水洗 5) N2ブロー	10分 10分 10分	
	酸化	<フィールド酸化炉> 膜厚：? Å O2 温度：1000℃ 時間：30分		
21. SiO2エッチング		<No.2ベンチ> (Siレジストなしで) 1) NH4F:HF = 10:1 2) 水洗	30秒 10分	HF (付) 容器洗浄

5. TFTゲート形成
キャパシタ電極形成

大工程	小工程	プロセス条件		備考
22. ゲート酸化	硫酸洗浄	<No.2ベンチ> (Siレジストなしで) 2) 硫酸洗浄 3) 水洗 4) 希HF処理 5) 水洗	2回 10分 10分	HF (無) 容器洗浄 希HF処理、ジャスト 空焼き
	塩酸過洗浄	<No.2ベンチ> 1) HCl:H2O2:H2O = 1:1:6 (125:125:750cc) 2) 水洗 3) 希HF処理 4) 水洗 5) N2ブロー	10分 10分 10分	
	酸化	<フィールド酸化炉> 膜厚：500 Å O2 温度：1000℃ 時間：55分		
23. 裏面エッチ	レジスト塗布	<No.6ベンチ> 1) OFPR800 1st 600 rpm 2nd 3000 rpm	2秒 40秒	
	ポストバーク	<ポストバーク用オープン> N2 130℃	30分	

	SiO ₂ エッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH ₄ F : HF = 10 : 1 30秒 2) 水洗 10分	
	レジスト除去	<No.2ベンチ> (Siレジスト付きで) 1) 硫酸洗浄 1回 2) 水洗 10分	
24. フォトリソ2 (TFT Gate形成)	乾燥バーク	<ポストバーク用オープン> N ₂ 130℃ 30分	露光・現像条件確認
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	プリバーク	<プリバーク用オープン> N ₂ 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD-3 70秒 2) 水洗 1分 3) N ₂ ブロー	
	ポストバーク	<ポストバーク用オープン> N ₂ 130℃ 30分	
25. イオン注入	イオン注入	<イオン注入装置> イオン種 : As エネルギー : 100KeV ドーズ量 : 4×10 ¹⁵ cm ⁻²	
26. レジスト除去	アッシング	<O ₂ アッシャー> 150℃ 6分	RF電力 = 150Wに押さえる (ダメージを抑えるため) O ₂ 流量 = 100 sccm 時間 = 3分程度
	洗浄	<No.??ベンチ> (Siレジ付きで) 1) 硫酸洗浄 1回 2) 水洗 10分	
27. 回復アニール	洗浄	<NO.2ベンチ> (Siレジスト付きで) 1) 硫酸洗浄 1回 (Siレジストなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) N ₂ ブロー	希HF処理なし 運搬容器洗浄
	熱処理	<Si熱処理炉> N ₂ 温度 : 900℃ 時間30分	

6. nMOS作成

大工程	小工程	プロセス条件	備考
28. ノンドープ ポリシリコンデポ	洗浄	<No.2ベンチ> (Siレジストなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分	
	Poly-Si デポ	<LPCVD> 膜厚 : 5000 Å ガス : Si ₂ H ₆ 温度 : 550℃ デポ時間 :	
29. フォトリソ3 (nMOS Gate, SDAM FG 形成)	乾燥バーク	<ポストバーク用オープン> N ₂ 130℃ 30分	露光・現像条件確認
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR8900 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	プリバーク	<プリバーク用オープン>	

		N2 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD-3 70秒 2) 水洗 1分 3) N2ブロー	
	UVキュア (ドライエッチのみ)	<Si用ホットプレート> 紫外線照射 110℃ 15分	
	ポストバーク	<ポストバーク用オープン> N2 130℃ 30分	
30-1. ノンドープ ポリシリコン エッチング	ドライエッチ	<ECR or SiO2エッチャー> CF4 = O2 =	エッチレート確認 エッチング条件確認 SF6の場合もある
	O2アッシング	<O2アッシング> 150℃ 3分	
	洗浄	<No.10ベンチ> (ドライエッチレジ付きで) 1) 硫過洗浄 1回 (ドライエッチレジなしで) 2) 硫過洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分 6) 塩酸過洗浄 10分 7) 希HF処理 8) 水洗 10分	
30-2. ノンドープ ポリシリコン エッチング	ウェットエッチング	<No.2ベンチ> (Siレジスト付きで) 1) HNO3 : H2O : HF = 100 : 40 : 1 (500 : 200 : 5cc) 2) 水洗 10分	エッチレート確認
31. 酸化	硫過洗浄	<No.2ベンチ> (Siレジスト付きで) 1) 硫過洗浄 1回 (Siレジストなしで) 2) 硫過洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分	空焼き 酸化レート確認
	酸化	<Si熱処理炉> 膜厚 : 500 Å H2 + O2 温度 : 800℃ 時間 : 80分	
32. 緻密化		<Si熱処理炉> N2 温度 : 1000℃ 時間 : 30分	ポリSiの応力を逃すため
33. 裏面エッチ	レジスト塗布	<No.6ベンチ> 1) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	ポストバーク	<ポストバーク用オープン> N2 130℃ 30分	
	SiO2エッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH4F : HF = 10 : 1 30秒 2) 水洗 10分	
	レジスト除去	<No.2ベンチ> (Siレジスト付きで) 1) 硫過洗浄 1回 2) 水洗 10分	
34. フォトリソ4 (nMOS S/D形成)	乾燥バーク	<ポストバーク用オープン> N2 130℃ 30分	露光・現像条件確認
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	

	プリベーク	<プリベーク用オープン> N2 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD - 3 70秒 2) 水洗 1分 3) N2ブロー	
	ポストベーク	<ポストベーク用オープン> N2 130℃ 30分	
35. イオン注入	イオン注入	<イオン注入装置> イオン種 : As エネルギー : 100 KeV ドーズ量 : $4 \times 10^{15} \text{ cm}^{-2}$	希HF処理はやらないこと
36. レジスト除去	アッシング	<O2アッシャー> 150℃ 6分	
	洗浄	<No.??ベンチ> (Siレジ付きで) 1) 硫酸洗浄 1回 2) 水洗 10分	
37. 回復アニール	洗浄	<NO.2ベンチ> (Siレジスト付きで) 1) 硫酸洗浄 1回 (Siレジストなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) N2ブロー	希HF処理なし 丸容器洗浄
	熱処理	<Si熱処理炉> N2 温度 : 900℃ 時間 : 30分	
38. SiO2 エッチング	エッチング	<No.2ベンチ> (Siレジストなしで) 1) NH4F : HF = 10 : 1 2) 水洗 10分	Poly上のSiO2のエッチング n MOSのソース・ドレイン上の SiO2は残ってもよい

7. 平坦化 (1)

※断面をよくチェックすること

大工程	小工程	プロセス条件	備考
39. 酸化	硫酸洗浄	<No.2ベンチ> (Siレジストなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分	空焼き
	酸化	<Si熱処理炉> 膜厚 : 500 Å H2 + O2 温度 : 800℃ 時間 : 60分	
40. NSGデポ	NSGデポ	<2号種常圧CVD> 膜厚 : 6000 Å ガス : SiH4(5%) = 1.5l/min O2 = 0.8l/min 温度 : 350℃ 時間 : 7分30秒 (800 Å/分)	デポレート確認 ※ 空デポを充分すること
41. 熱処理	洗浄	<No.2ベンチ> (Siレジストなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分	空焼き
	酸化	<Si熱処理炉> N2 温度 : 900℃ 時間 : 30分	
42. レジスト塗布	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒	

		2nd 4000 rpm 40秒	
	ポストバーク	<ホットプレート> 200℃ 30分	
43. エッチバック	ドライエッチ	<SiO ₂ ドライエッチング装置> CF ₄ = 50 sccm H ₂ = 1 sccm (対H ₂ 流量比6%) 圧力 = 3 Pa (電力 = 100W)	エッチング条件確認
	O ₂ アッシング	<O ₂ アッシング> 150℃ 3分	アッシングのRF電力 = 150W以下
	洗浄	<No.10ベンチ> (ドライエッチレジ付きで) 1) 硫酸洗浄 1回 (ドライエッチレジなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分 6) 塩酸過洗浄 10分 7) 希HF処理 8) 水洗 10分	

8. キャパシタ・トンネル形成

大工程	小工程	プロセス条件	備考
44. 酸化	硫酸洗浄	<No.2ベンチ> (Siレジ付きで) 1) 硫酸洗浄 1回 (Siレジストなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分	空焼き 膜厚チェック 酸化レート確認
	酸化	<Si熱処理炉> 膜厚: 600 Å H ₂ + O ₂ 温度: 800℃ 時間: ?分	
45. フォトリソ5 (トンネル酸化膜形成用)	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR8900 1st 600 rpm 2秒 2nd 4000 rpm 40秒	露光・現像条件確認
	プリバーク	<プリバーク用オープン> N ₂ 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD-3 70秒 2) 水洗 1分 3) N ₂ ブロー	
	ポストバーク	<ポストバーク用オープン> N ₂ 130℃ 30分	
46. SiO ₂ エッチング	エッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH ₄ F:HF = 10:1 30秒 2) 水洗 10分	
47. トンネル酸化	硫酸洗浄	<No.2ベンチ> (Siレジ付きで) 1) 硫酸洗浄 1回 (Siレジストなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分	空焼き 膜厚測定
	酸化	<Si熱処理炉> 膜厚: 200 Å O ₂ 温度: 800℃ 時間: ?分	
48. リンドープ ポリシリコンデポ		<LPCVD> 膜厚: 4500 Å	

		ガス： 温度： デポ時間：	
49. フォトリソ6 (2層ボリのパターンニング)	乾燥ベーク	<ポストベーク用オープン> N2 130℃ 30分	露光・現像条件確認
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR8900 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	プリベーク	<プリベーク用オープン> N2 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD-3 70秒 2) 水洗 1分 3) N2ブロー	
	UVキュア (ドライエッチのみ)	<Si用ホットプレート> 紫外線照射 110℃ 15分	
	ポストベーク	<ポストベーク用オープン> N2 130℃ 30分	
50-1. リンドープ ポリシリコン エッチング	ドライエッチ	<ECR or SiO2ドライエッチ装置> CF4 = O2 =	エッチレート確認 エッチング条件確認 SF6の場合もある
	O2アッシング	<O2アッシング> 150℃ 3分	
	洗浄	<No.10ベンチ> (ドライエッチレジ付きで) 1) 硫過洗浄 1回 (ドライエッチレジなしで) 2) 硫過洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分 6) 塩酸過洗浄 10分 7) 希HF処理 8) 水洗 10分	
50-2. リンドープ ポリシリコン エッチング	ウェットエッチング	<No.2ベンチ> (Siレジスト付きで) 1) HNO3 : H2O : HF = 100 : 40 : 1 (500 : 200 : 5cc) 2) 水洗 10分	エッチレート確認

9. 平坦化 (2) ・コンタクトホール ※断面をよくチェックすること

大工程	小工程	プロセス条件	備考
51. 酸化	硫過洗浄	<No.2ベンチ> (Siレジ付きで) 1) 硫過洗浄 1回 (Siレジストなしで) 2) 硫過洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分	空焼き 膜厚チェック
	酸化	<Si熱処理炉> 膜厚：500 Å H2 + O2 温度：800℃ 時間：60分	
52. NSGデポ	NSGデポ	<2号棟常圧CVD> 膜厚：6000 Å ガス：SiH4(5%) = 1.5l/min O2 = 0.8l/min 温度：350℃ 時間：7分30秒 (800 Å/分)	デポレート確認 ※ 空デポを充分すること
53. 熱処理	洗浄	<No.2ベンチ> (Siレジストなしで) 2) 硫過洗浄 2回 3) 水洗 10分 4) 希HF処理	空焼き

		5) 水洗 10分	
	酸化	<Si熱処理炉> N ₂ 温度：900℃ 時間：30分	
54. レジスト塗布	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 4000 rpm 40秒	
	ポストバーク	<ホットプレート> 200℃ 30分	
55. エッチバック	ドライエッチ	<SiO ₂ ドライエッチング装置> CF ₄ = 50 sccm H ₂ = 1 sccm (対H ₂ 流量比6%) 圧力 = 3 Pa (電力 = 100W)	エッチング条件確認 部分平坦化で十分である (完全平坦化までしなくてもよい)
	O ₂ アッシング	<O ₂ アッシング> 150℃ 3分	
	洗浄	<No.10ベンチ> (ドライエッチレジ付きで) 1) 硫過洗浄 1回 (ドライエッチレジなしで) 2) 硫過洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分 6) 塩酸過洗浄 10分 7) 希HF処理 8) 水洗 10分	
56. NSGデポ	洗浄	<No.2ベンチ> (Siレジ付きで) 硫過洗浄 1回 (Siレジなしで) 硫過洗浄 2回 水洗 10分	
	NSGデポ	<2号棟常圧CVD> 膜厚：6000 Å ガス：SiH ₄ (5%) = 1.5l/min O ₂ = 0.8l/min 温度：350℃ 時間：7分 (850 Å/分)	デポレートチェック (場合によって実施)
57. 裏面エッチ	レジスト塗布	<No.6ベンチ> 1) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	※コンタクト穴あけの前に ここで裏面についたpolyなどを はがしておく
	ポストバーク	<ポストバーク用オープン> N ₂ 130℃ 30分	
	SiO ₂ エッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH ₄ F:HF = 10:1 30秒 2) 水洗 10分	
	乾燥バーク	<ポストバーク用オープン> N ₂ 130℃ 30分	
	レジスト塗布	<No.6ベンチ> 1) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	ポストバーク	<ポストバーク用オープン> N ₂ 130℃ 30分	
	Poly-Siエッチング (リンドープ)	<No.2ベンチ> (Siレジスト付きで) 1) HNO ₃ :HF = 10:1 ?秒 2) 水洗 10分	
	乾燥バーク	<ポストバーク用オープン> N ₂ 130℃ 30分	
	レジスト塗布	<No.6ベンチ> 1) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	ポストバーク	<ポストバーク用オープン> N ₂ 130℃ 30分	

	SiO ₂ エッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH ₄ F:HF = 10:1 30秒 2) 水洗 10分	
	乾燥ベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
	レジスト塗布	<No.6ベンチ> 1) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	ポストベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
	Poly-Siエッチング (ノンドープ)	<No.2ベンチ> (Siレジスト付きで) 1) HNO ₃ :HF = 10:1 ?秒 2) 水洗 10分	
58. レジスト除去		<No.2ベンチ> (Siレジスト付きで) 1) 硫過洗浄 1回 2) 水洗 10分	
59. フォトリソフ (コンタクトホール: 2層ポリ)	乾燥ベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	露光・現像条件確認
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 4000 rpm 40秒	
	プリベーク	<プリベーク用オープン> N ₂ 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD-3 70秒 2) 水洗 1分 3) N ₂ ブロー	
	ポストベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
60-1. SiO ₂ エッチング	ドライエッチ	<SiO ₂ ドライエッチング装置> CF ₄ = 50 sccm H ₂ = ? 圧力 = ?	エッチング条件確認
	O ₂ アッシング	<O ₂ アッシング> 150℃ 3分	
	洗浄	<No.10ベンチ> (ドライエッチレジ付きで) 1) 硫過洗浄 1回 (ドライエッチレジなしで) 2) 硫過洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分 6) 塩酸過洗浄 10分 7) 希HF処理 8) 水洗 10分	
60-2. SiO ₂ エッチング	ウェットエッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH ₄ F:HF = 10:1 ?秒 2) 水洗 10分	エッチング時間を見積もること
61. レジスト除去		<No.2ベンチ> (Siレジスト付きで) 1) 硫過洗浄 1回 2) 水洗 10分	
62. フォトリソ8 (コンタクトホール: 1層ポリ)	乾燥ベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	露光・現像条件確認
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 4000 rpm 40秒	

	プリベーク	<プリベーク用オープン> N2 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD - 3 70秒 2) 水洗 1分 3) N2ブロー	
	ポストベーク	<ポストベーク用オープン> N2 130℃ 30分	
63-1. SiO2 エッチング	ドライエッチ	<SiO2ドライエッチング装置> CF4 = 50 sccm H2 = ? 圧力 = ?	エッチング条件確認
	O2アッシング	<O2アッシング> 150℃ 3分	
	洗浄	<No.10ベンチ> (ドライエッチレジ付きで) 1) 硫酸洗浄 1回 (ドライエッチレジなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分 6) 塩酸過洗浄 10分 7) 希HF処理 8) 水洗 10分	
63-2. SiO2 エッチング	エッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH4F : HF = 10 : 1 ?秒 2) 水洗 10分	エッチング時間を見積もること
64. レジスト除去		<No.2ベンチ> (Siレジスト付きで) 1) 硫酸洗浄 1回 2) 水洗 10分	
65. フォトリソ9 (コンタクトホール：基板)	乾燥ベーク	<ポストベーク用オープン> N2 130℃ 30分	露光・現像条件確認
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 4000 rpm 40秒	
	プリベーク	<プリベーク用オープン> N2 90℃ 30分	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	現像	<No.5ベンチ> 1) NMD - 3 70秒 2) 水洗 1分 3) N2ブロー	
	ポストベーク	<ポストベーク用オープン> N2 130℃ 30分	
66-1. SiO2 エッチング	ドライエッチ	<SiO2ドライエッチング装置> CF4 = 50 sccm H2 = ? 圧力 = ?	エッチング条件確認
	O2アッシング	<O2アッシング> 150℃ 3分	
	洗浄	<No.10ベンチ> (ドライエッチレジ付きで) 1) 硫酸洗浄 1回 (ドライエッチレジなしで) 2) 硫酸洗浄 2回 3) 水洗 10分 4) 希HF処理 5) 水洗 10分 6) 塩酸過洗浄 10分 7) 希HF処理 8) 水洗 10分	

66-2. SiO ₂ エッチング	エッチング	<No.2ベンチ> (Siレジスト付きで) 1) NH ₄ F : HF = 10 : 1 ? 秒 2) 水洗 1 0 分	エッチング時間を見積もること
67. レジスト除去		<No.2ベンチ> (Siレジスト付きで) 1) 硫過洗浄 1 回 2) 水洗 1 0 分	
68. 水素処理	硫過洗浄	<No.2ベンチ> (Siレジ付きで) 1) 硫過洗浄 1 回 (Siレジストなしで) 2) 硫過洗浄 2 回 3) 水洗 1 0 分	
	水素処理	<水素処理炉> H ₂ + N ₂ = 0.2:1.8sccm 温度 400℃ 時間 30分	

10. Al配線(1)

大工程	小工程	プロセス条件	備考
69. Al - Si スパッタ	希HF処理	<No.10ベンチ> (Alレジなしで) 1) 希HF処理 10分 2) 水洗	必ず希HF処理を行なう。 (コンタクト内の酸化膜除去) スパッタ時間30分で、最低5000ÅのAl-Siが生成される。
	スパッタリング	<汎用スパッタ装置> Al - Si 膜厚：5000Å (所要時間：30分)	
70. フォトリソ10 (1層メタル配線パターン)	乾燥ベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	露光・現像条件確認 ピーカー・スポイト洗浄 オーバー露光(確実にぬく) 30秒水洗は厳守!!
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR - CRB - 2 1st 600 rpm 2秒 2nd 4000 rpm 60秒	
	プリベーク	<Si以外用ホットプレート> 90℃ 90秒	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	PEB	<Si以外用ホットプレート> 110℃ 90秒	
	現像	<No.5ベンチ> 1) NMD - W 70秒 2) 水洗 30秒 3) N ₂ ブロー	
	UVキュア (ドライエッチングのみ)	<Si以外用ホットプレート> 紫外線照射 110℃ 15分	
	ポストベーク	<ポストベーク用オープン> N ₂ 130℃ 30分	
71-1 Al-Si エッチング (ドライエッチング)	ドライエッチ	<メタルドライエッチング装置> RF電力=100W 反応室圧力=3Pa ガス種: BCl ₃ =98 sccm Cl ₂ =20 sccm CF ₄ =15 sccm O ₂ =4 sccm 時間=2分~2分30秒(オーバー含む) (オーバーエッチング:30秒)	アルミの状態によってエッチング時間が 変化することに注意する!! 始める前に必ずO ₂ クリーニングをする RF電力=100W 反応室圧力=10Pa O ₂ =200 sccm 時間=30分 NSG(熱処理なし)=560Å/分
	O ₂ アッシング	<メタルエッチング装置附属> RF電力=60W 反応室圧力=10Pa O ₂ =20sccm 時間=5分	
71-2 Al-Si エッチング (ウェットエッチング)	ウェットエッチ	<No.10ベンチ> (Alレジスト付きで) 1) H ₃ PO ₄ : HNO ₃ : CH ₃ COOH : H ₂ O =16 : 1 : 2 : 1 (400 : 25 : 50 : 25cc) 2) 水洗 1 0 分	オーバーエッチング

72.レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J - 100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	アッシング後のウェハーについては この洗浄でレジスト除去ができる
11.平坦化(3) コンタクトホール			
大工程	小工程	プロセス条件	備考
73. PSGデポ	PSGデポ	<1号種常圧CVD> 膜厚：7000 Å ガス：SiH4(5%) = 800cc O2 = 400cc PH3(0.5%) = 160cc 温度：400℃ 時間：2分	デポレート確認 ※ 空デポを充分すること
74. レジスト塗布	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 4000 rpm 40秒	
	ポストバーク	<ホットプレート> N2 200℃ 30分	
75. エッチバック	ドライエッチ	<メタルドライエッチング装置> 反応室圧力 = 10 Pa RF電力 = 100W ガス種： CF4 = 50 sccm H2 = 2 sccm	エッチング条件確認 断面形状からエッチング時間を見積もること (1999年1月では12分)
	O2アッシング	<メタルドライエッチング附属> RF電力 = 100W 反応室圧力 = 10 Pa O2 = 20 sccm 時間 = 6分	
	レジスト除去	<No.1ベンチ> (Alレジスト付きで) 1) J - 100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	
76. PSGデポ	PSGデポ	<1号種常圧CVD> 膜厚：6000 Å ガス：SiH4(5%) = 800cc O2 = 400cc PH3(0.5%) = 160cc 温度：400℃ 時間：?分	デポレートチェック (場合によって実施)
77. フォトリソ11 (コンタクトホール：VIA)	乾燥バーク	<ポストバーク用オープン> N2 130℃ 30分	露光・現像条件確認 ビーカー・スボイト洗浄 オーバー露光(確実にぬく) 30秒水洗は厳守!!
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR-CRB-2 1st 600 rpm 2秒 2nd 3000 rpm 60秒	
	プリバーク	<Si以外用ホットプレート> 90℃ 90秒	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	PEB	<Si以外用ホットプレート> 110℃ 90秒	
	現像	<No.5ベンチ> 1) NMD-W 70秒 2) 水洗 30秒 3) N2ブロー	
	UVキュア	<Si以外用ホットプレート> 紫外線照射 110℃ 15分	

	ポストバーク	<ポストバーク用オープン> N2 130℃ 30分	
78-1 SiO2(PSG) エッチング	ドライエッチ	<メタルドライエッチング装置> RF電力=100W 反応室圧力=10Pa ガス種: CF4=50 sccm H2=10 sccm 選択比: PSG/Resist=9.1 PSG/Al-si=9.9	PSGとAlの選択比をチェックする。 断面形状のチェックとエッチング時間の見積もりをすること
	アッシング	<メタルドライエッチング装置附属> RF電力=60W 反応室圧力=10Pa O2=20sccm 時間=3分~5分	アッシングやり過ぎに注意! (アルミ酸化膜が生成されるため)
79.レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J-100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	

12. Al配線(2)

大工程	小工程	プロセス条件	備考
80. Al-Si スパッタ	スパッタリング	<汎用スパッタ装置> Al-Si or 純Al 膜厚: 8000 Å	
81. フォトリソ12 (2層メタル配線パターン)	乾燥バーク	<ポストバーク用オープン> N2 130℃ 30分	露光・現像条件確認 ピーカー・スポイト洗浄 オーバー露光(確実にぬく)
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR-CRB-2 1st 600 rpm 2秒 2nd 3000 rpm 60秒	
	プリバーク	<Si以外用ホットプレート> 90℃ 90秒	
	露光	<ステッパー> Exp.=0.45 sec Focus=-2.0 μm	
	PEB	<Si以外用ホットプレート> 110℃ 90秒	
	現像	<No.5ベンチ> 1) NMD-W 70秒 2) 水洗 30秒 3) N2ブロー	
	UVキュア (ドライエッチングのみ)	<Si以外用ホットプレート> 紫外線照射 110℃ 15分	
	ポストバーク	<ポストバーク用オープン> N2 130℃ 30分	
82-1 Al-Si エッチング (ドライエッチング)	ドライエッチ	<メタルドライエッチング装置> RF電力=100W 反応室圧力=3Pa ガス種: BCl3=98 sccm Cl2=20 sccm CF4=15 sccm O2=4 sccm 時間=3分~3分30秒(オーバー含む) (オーバーエッチング:30秒)	アルミの状態によってエッチング時間が 変化することに注意する!! 始める前に必ずO2クリーニングをする RF電力=100W 反応室圧力=10Pa O2=200 sccm 時間=30分 NSG(熱処理なし)=560 Å/分
	O2アッシング	<メタルエッチング装置附属> RF電力=60W 反応室圧力=10Pa O2=20sccm 時間=5分	エッチング終了後ただちにアッシング すること!!(アルミの腐食対策)
82-2 Al-Si エッチング (ウェットエッチング)		<No.10ベンチ> (Alレジスト付きで) 1) H3PO4:HNO3:CH3COOH:H2O	オーバーエッチング

		=16:1:2:1 (400:25:50:25cc) 2) 水洗 10分	
83.レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J-100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	

13. パッシベーション PAD形成

大工程	小工程	プロセス条件	備考
84. PSGデポ	PSGデポ	<1号種常圧CVD> 膜厚: 6000 Å ガス: SiH4(5%)= 800cc O2 = 400cc PH3(0.5%) = 160cc 温度: 400℃ 時間: ?分	デポレート確認 ※ 空デポを充分すること
85. フォトリソ13 (PADコンタクト)	乾燥ベーク	<ポストベーク用オープン> N2 130℃ 30分	露光・現像条件確認 ピーカー・スボイト洗浄 オーバー露光(確実にぬく)
	レジスト塗布	<No.6ベンチ> 1) OAPペーパー 約2分 2) TSMR-CRB-2 1st 600 rpm 2秒 2nd 3000 rpm 60秒	
	プリベーク	<Si以外用ホットプレート> 90℃ 90秒	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	PEB	<Si以外用ホットプレート> 110℃ 90秒	
	現像	<No.5ベンチ> 1) NMD-W 70秒 2) 水洗 30秒 3) N2ブロー	
	UVキュア (ドライエッチングのみ)	<Si以外用ホットプレート> 紫外線照射 110℃ 15分	
	ポストベーク	<ポストベーク用オープン> N2 130℃ 30分	
86-1 SiO2(PSG) エッチング	ドライエッチ	<メタルドライエッチング装置> RF電力 = 100W 反応室圧力 = 10Pa ガス種: CF4 = 50 sccm H2 = 10 sccm 選択比: PSG/Resist = 9.1 PSG/Al-si = 9.9	PSGとAlの選択比をチェックする。 断面形状のチェックとエッチング時間の見積もりをすること
	アッシング	<メタルドライエッチング装置附属> RF電力 = 60W 反応室圧力 = 10Pa O2 = 20sccm 時間 = 3分~5分	アッシングやり過ぎに注意! (アルミ酸化膜が生成されるため)
86-2. PSG エッチング	エッチング	<No.10ベンチ> (Alレジスト付きで) 1) NH4F: HF = 10:1 ?秒 2) 水洗 10分	エッチング時間を見積もること
87.レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J-100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	
88. Al-Siスパッタ または蒸着装置	スパッタリング	<汎用スパッタ装置> Al-Si or 純Al 膜厚: 8000~10000 Å	

89. フォトリソ14 (PAD形成)	レジスト塗布	<No.6ベンチ> 1) OAPベーパー 約2分 2) TSMR - CRB - 2 1st 600 rpm 2秒 2nd 3000 rpm 60秒	露光・現像条件確認 ビーカー・スポイト洗浄 オーバー露光(確実にぬく)
	プリベーク	<Si以外用ホットプレート> 90℃ 90秒	
	露光	<ステッパー> Exp. = 0.45 sec Focus = -2.0 μm	
	PEB	<Si以外用ホットプレート> 110℃ 90秒	
	現像	<No.5ベンチ> 1) NMD - W 70秒 2) 水洗 30秒 3) N2ブロー	
	ポストベーク	<ポストベーク用オープン> N2 130℃ 30分	
90. Al - Si or 純Al エッチング		<No.10ベンチ> (Alレジスト付きで) 1) H3PO4 : HNO3 : CH3COOH : H2O = 16 : 1 : 2 : 1 (400 : 25 : 50 : 25cc) 2) 水洗 10分	オーバーエッチング (PADなので、ウェットでエッチングする)
91. レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J - 100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	
92. 水素処理		<水素処理炉> H2 + N2 = 0.2:1.8scm 温度 350℃ 時間 30分	

14. 裏面エッチング

大工程	小工程	プロセス条件	備考
93. 裏面エッチング	乾燥ベーク	<ポストベーク用オープン> N2 130℃ 30分	PSGまたはNSGが裏側まで堆積されている 可能性があるため必ず行なうこと。
	レジスト塗布	<No.6ベンチ> 1) OAPベーパー 約2分 2) OFPR800 1st 600 rpm 2秒 2nd 3000 rpm 40秒	
	ポストベーク	<ポストベーク用オープン> N2 130℃ 30分	
	SiO2エッチング	<No.10ベンチ> (Alレジスト付きで) 1) NH4F : HF = 10 : 1 ?秒 2) 水洗 10分	
94. レジスト除去		<No.1ベンチ> (Alレジスト付きで) 1) J - 100 5分 2) トリクレンボイル 5分 3) トリクレンボイル 5分 (Alレジストなしで) 4) トリクレンボイル 10分 5) エタノール置換	

関連図書

- [1] M.Takahashi, et.al: *ISSCC Digest of Technical Papers*, TP2.4, 1998
- [2] J.Silverman, et.al: *ISSCC Digest of Technical Papers*, FP15.1, 1998
- [3] 岩田、雨宮 著:「ニューラルネットワーク LSI」、電子情報通信学会
- [4] A.K. Sharma, "Semiconductor Memories (Technology, Testing, and Reliability)", IEEE Press
- [5] Louis. S. Y. Wong, Chee Y. Kwok, and Graham A. Rigby, "A 1-V CMOS D/A Converter with Multi-Input Floating-Gate MOSFET", *IEEE Journal of Solid-State Circuits*, Vol. 34, No.10, Oct. 1999.
- [6] 伊藤 著:「超 LSI メモリ」、培風館
- [7] Geert A. M. Van der Plas, Jan Vandenbussche, Willy Sansen, Michel S. J. Steyaert, and Georges G. E. Gielen: "A 14-bit Intrinsic Accuracy Q^2 Random Walk CMOS DAC", *IEEE Journal of Solid-State Circuits*, Vol.34, No.12, pp.1708-1718, Dec. 1999.
- [8] Alex R. Bugeja, Bang-Sup Song, Patrick L. Rakers, and Steven F. Gillig: "A 14-b 100-MS/s CMOS DAC Designed for Spectral Performance", *IEEE Journal of Solid-State Circuits*, Vol.34, No.12, pp.1719-1732, Dec. 1999.
- [9] 久米:「フラッシュメモリ技術」、応用物理、第65巻、第11号、pp.1114-1124, 1996
- [10] 遠藤、舛岡:「フラッシュEEPROMのデータ書き換え特性」、電子情報通信学会論文誌、C-II, Vol.J79-C-II, No.7, pp.333-339, 1996年7月
- [11] V. Tran et.al, "A 2.5V 256-Level Non-Volatile Analog Storage Device Using EEPROM Technology", *ISSCC Digest of Technical Papers*, pp.270-271, Feb. 1996.
- [12] T Ong, P. Ko and C. Hu, "The EEPROM as an Analog Memory Device", *IEEE TRANS. ON ELECTRON DEVICES*, Vol.36, No.9, pp.1840-1841, Sep. 1989.
- [13] C Diorio, P Hasler, B. A. Minch, and C. A. Mead, "A Single-Transistor Silicon Synapse", *IEEE TRANS. ON ELECTRON DEVICES*, Vol.43, No.11, Nov. 1996.
- [14] K-h. Kim, and K Lee, "An 8b Resolution 360us Write Time Nonvolatile Analog Memory based on Differentially Balanced Constant-Tunneling-Current Scheme(DBCS)", *ISSCC Digest of Technical Papers*, pp.336-337, Feb. 1998.

- [15] K. Kim, and K. Lee, "A True Nonvolatile Analog Memory Cell using Coupling-Charge Balancing", ISSCC Digest of Technical Papers, pp.268-269, Feb. 1996.
- [16] P.Rolandi,R.Canegallo,E.Chioffi, D.Gerna, G.Guaitini, C.Issartel, F.Lhermet, M.Pasotti, and A.Kramer, "1M-Cell 6b/Cell Analog Flash Memory for Digital Storage", ISSCC Digest of Technical Papers, SA21.2, pp334-335, 1998
- [17] J. Brennan, "Multilevel ASICs Boost Audio Recording Applications", IEEE Circuits and Devices, pp.18-21, May 1996.
- [18] O.Fujita and Y.Amemiya: IEEE Trans. Electron Devices.**40**(1993), pp.2029-2035.
- [19] H.Kosaka, T.Shibata, H.Ishii, and T.Ohmi: IEEE Trans. Electron Devices.**42**(1995), pp.135-143.
- [20] T.Miwa, H.Yamada, Y.Hirota, T.Satoh, H.Hara, "A 1Mb 2-Transistor/bit Non-volatile CAM Based on Flash-Memory Technologies", ISSCC Digest of Technical Papers, TP2.5, pp. 40-41, 1996
- [21] Farhad Shafai, Kenneth J. Schultz, G. F. Randall Gibson, Armin G. Bluschke, and David E. Somppi: "Fully Parallel 30-MHz, 2.5-Mb CAM", IEEE Journal of Solid-State Circuits, Vol.33, No.11, Nov. 1998.
- [22] Sateh M. S. Jalaleddine and Louis G. Johnson: "Associative IC Memories with Relational Search and Nearest-Match Capabilities", IEEE Journal of Solid-State Circuits, Vol.27, No.6, pp.892-897, Jun. 1992.
- [23] T.Hanyu, N.Kanagawa, M.Kameyama, "One-Transistor-Cell Multiple-Valued CAM for a Collision Detection VLSI Processor", ISSCC Digest of Technical Papers, FP16.3, pp. 264-265, 1996
- [24] 中野 著:「ニューロコンピュータの基礎」、コロナ社
- [25] 白井 著:「脳・神経システムの数理モデル」、共立出版
- [26] 市川、伊東、渡辺、酒井、安西 著:「記憶と学習」、岩波書店
- [27] A. Ahmed Biyabani, L. Richard Carley, and Takeo Kanabe: "An Analog CMOS IC for Template Matching", ISSCC Digest of Technical Papers, MP4.9, 1999
- [28] 大見、柴田、小谷、中井、中田、余、誉田、森本、山下:「連想するハードウェアをベースとした"しなやかな"知的電子システム」、電子情報通信学会論文誌、D-I、Vol. J81-D-I、No.2、pp.51-61、1998年2月
- [29] K.Nakajima, S.Sato, T.Kitaura, J.Murota, Y.Sawada, "Hardware Implementation of New Analog Memory for Neural Networks", IEICE TRANS.ELECTRON

- [30] 佐藤 厚志：「時系列情報連想記憶システムの集積化に関する研究」、修士論文、東北大学、1999年
- [31] T.Harada, A.Sato, M.Kinjo, Y.katayama, S.Sato, and K.Nakajima, "New Nonvolatile Analog Memories for Building Associative Memories", The 1999 International Conference on Solid-State Devices and Materials (SSDM), Sep. 1999.
- [32] 藤田 勝之：「アナログ連想記憶システムの集積化の研究」、修士論文、東北大学、1996年
- [33] 藤田、原田、早川、中島、沢田：「アナログ連想メモリの集積化」、電子情報通信学会総合大会、C-581、1996年3月
- [34] 西 監修、青木 著：「シリコン FET のモデリング -MOSFET と TFT の効果的なモデルと抽出」、アジソン・ウェスレイ・パブリッシャーズジャパン
- [35] 塚田、「非晶質シリコン薄膜トランジスタを用いた液晶ディスプレイ」、応用物理、第65巻、第10号、pp.1014-1023, 1996年
- [36] H. N. Chen, C.L.Lee, and T. F. Lei, "An Analytical Model for the Above-Threshold Characteristics of Polysilicon Thin-Film Transistors", IEEE TRANS. ON ELECTRON DEVICES, Vol.42, No.7, pp.1240-1246, Jul. 1995.
- [37] S.D.S.Malhi, et.al, "Characteristics and Three-Dimensional Integration of MOSFET's in Small-Grain LPCVD Polycrystalline Silicon", IEEE Journal of Solid-State Circuits, Vol.sc-20, No.1, Feb. 1985.
- [38] T. Kamins, "Polycrystalline Silicon for Integrated Circuits and Displays (second edition)", KLUWER ACADEMIC PUBLISHERS, 1998.
- [39] 谷口、小切間、阿部 著：「シリコン結晶とドーピング」、丸善
- [40] T.Matsudai, T.Kojima, and A.Nakagawa: The 1999 Int. Conf. on Solid State Devices and Materials(1999), pp.94-95.
- [41] Akio Hara and Nobuo Sasaki, "Limit of the Mobility Enhancement of the Excimer-Laser-Crystallized Low-Temperature Poly-Si TFTs", IEEE IEDM99, Dec 1999.
- [42] Amer Aslam-Siddiqi, Werner Brockherde, Michael Schanz, and Bedrich J. Hosticka: "A 128-Pixel CMOS Image Sensor with Integrated Analog Nonvolatile Memory", IEEE Journal of Solid-State Circuits, Vol.33, No.10, Oct. 1998.
- [43] Tobi Delbruck: " "Bump" Circuit for Computing Similarity and Dissimilarity of Analog Voltages", Int. Joint Conf. On Neural Networks, Vol.1, p.475-479.
- [44] Lazzaro J., Ryckebursh S., Mahowald M. A., and Mead: "Winner-Take-All network of O(N) complexity", Advance in Neural Information Processing Systems, pp.703-711.

- [45] J. A. Starzyk and X. Fang: "CMOS Current Mode Winner-Take-All Circuit with Both Excitatory and Inhibitory Feedback", IEEE Electronics Letters, Vol.29, No.10, pp.908-909, May. 1993.
- [46] T.Serrano and B.Linares-Barranco, "A Modular Current-Mode High-Precision Winner-Take-All Circuit", IEEE Trans. on Circuits and Systems, pp.132-134, Feb. 1995.
- [47] A.Hayafune, M.Oh-hashii, D.Kamata, and T.Enomoto. "Design of a CMOS Digital Comparator," Proc. 1998 IEICE General Conf.,C-12-22, 1998.
- [48] 松山、富沢 著:「VLSI 設計入門」、共立出版
- [49] 河東田 著:「デバイスプロセス」、培風館
- [50] 吉川:「ULSIの微細化と多層配線技術への課題」、応用物理、第68巻、第11号、pp.1215-1225, 1999年
- [51] 古川 著:「ULSIプロセスの基礎技術」、丸善
- [52] 原 著:「ULSIプロセス技術」、培風館
- [53] Sze, "VLSI Technology (second edition)", McGrawHill.
- [54] 徳山 著:「半導体ドライエッチング技術」、産業図書
- [55] 菅野、伊藤 著:「ULSIデバイスプロセス技術」、電子情報通信学会
- [56] 原、鈴木、柏木、前田 著:「超LSIプロセスデータハンドブック」、サイエンスフォーラム
- [57] 垂井、小林、中島 著:「VLSIプロセス技術」、日刊工業新聞社
- [58] 土肥、河西、中川 著:「半導体平坦化CMP技術」、工業調査会
- [59] 平尾、吉田、早川 著:「薄膜技術の新潮流」、工業調査会
- [60] 西澤、丹呉 著:「半導体プロセス技術」、培風館
- [61] 大見 著:「ウルトラクリーンULSI技術」、培風館
- [62] 小柳 著:「サブミクロンデバイスI,II」、丸善
- [63] 小柳 岸野 著:「VLSIデバイスの物理」、丸善
- [64] 津屋 著:「超LSIプロセス制御工学」、丸善

謝辞

本研究の実施にあたって、終始懇切丁寧なご指導を賜りました中島康治教授に心から感謝いたします。また、研究の具体的な面や本論文をまとめるにあたり、数々のご教示を戴いた室田淳一教授、亀山充隆教授に心から感謝いたします。広島大学の森江隆助教授や東京大学の柴田直教授におかれましては、学会・研究会で数々の御教示とアドバイスをいただき、心から感謝いたします。

中島研究室の佐藤茂雄助手・小野美武助手、水柿義直助手(現山下研究室助手)、沢田研究室の早川吉弘助手におかれましては、プロセス全般その他様々な面でご示唆いただき深く感謝いたします。中島研究室の中島康治教授・佐藤茂雄助手・小野美武助手・金城光永氏におかれましては、本研究で半導体集積回路を試作するにあたって終始見守っていただき、深く感謝いたします。室田研究室の室田淳一教授には、半導体製造プロセスの細かいところについていろいろアドバイスをいただきまして、深く感謝いたします。大見研究室の小野寺政信技官におかれましては、半導体製造プロセスのリソグラフィ技術についていろいろアドバイスをいただきまして深く感謝します。実験施設の目黒敏靖助手におかれましては、半導体製造で重要なレチクルの製作においていろいろアドバイスを頂き、そして実際にレチクル製作に御協力いただき深く感謝いたします。半導体製造プロセスの遂行にあたって、中島研究室のスタッフ、室田研究室の松浦孝助教授・桜庭政夫助手をはじめ、イオン注入装置では大見研究室の今泉文伸氏や金本啓氏、ドライエッチングに関しては大見研究室の本藤哲史氏、酸化関連では大川猛氏、LPCVDでは、室田研究室の桜庭政夫助手、アルミスパッタ装置では坪内研究室の横山道央助手に深く感謝いたします。また、半導体製造プロセスを用いて集積回路を製作するにあたって御協力そしてよき相談者として議論していただいた中島研究室の金城光永氏や佐藤厚志氏(現富士通)・片山康弘氏・柳沢潔氏・鈴木康介氏・原田智氏・鈴木暁人氏・根本憲氏・秋間学尚氏・関仁氏、そして沢田研究室の藤田勝之氏(現東芝)・阿部豊弘氏(現NTT)・山名智尋氏、大見研究室の大川猛氏・今泉文伸氏に深く感謝いたします。

最後に、楽しい研究生活を送らせていただいた、大見研究室・室田研究室・中島研究室をはじめとする実験施設のみなさま、中島研究室の鬼柳貴美子女史・今野真裕美女史、やわらかい情報処理センターの大学紀子女史に心から感謝いたします。そして、いままで陰で支え、励ましていただいた私の両親と友人、中学・高校時代の先生方に感謝いたします。

本研究に関する発表

論文誌

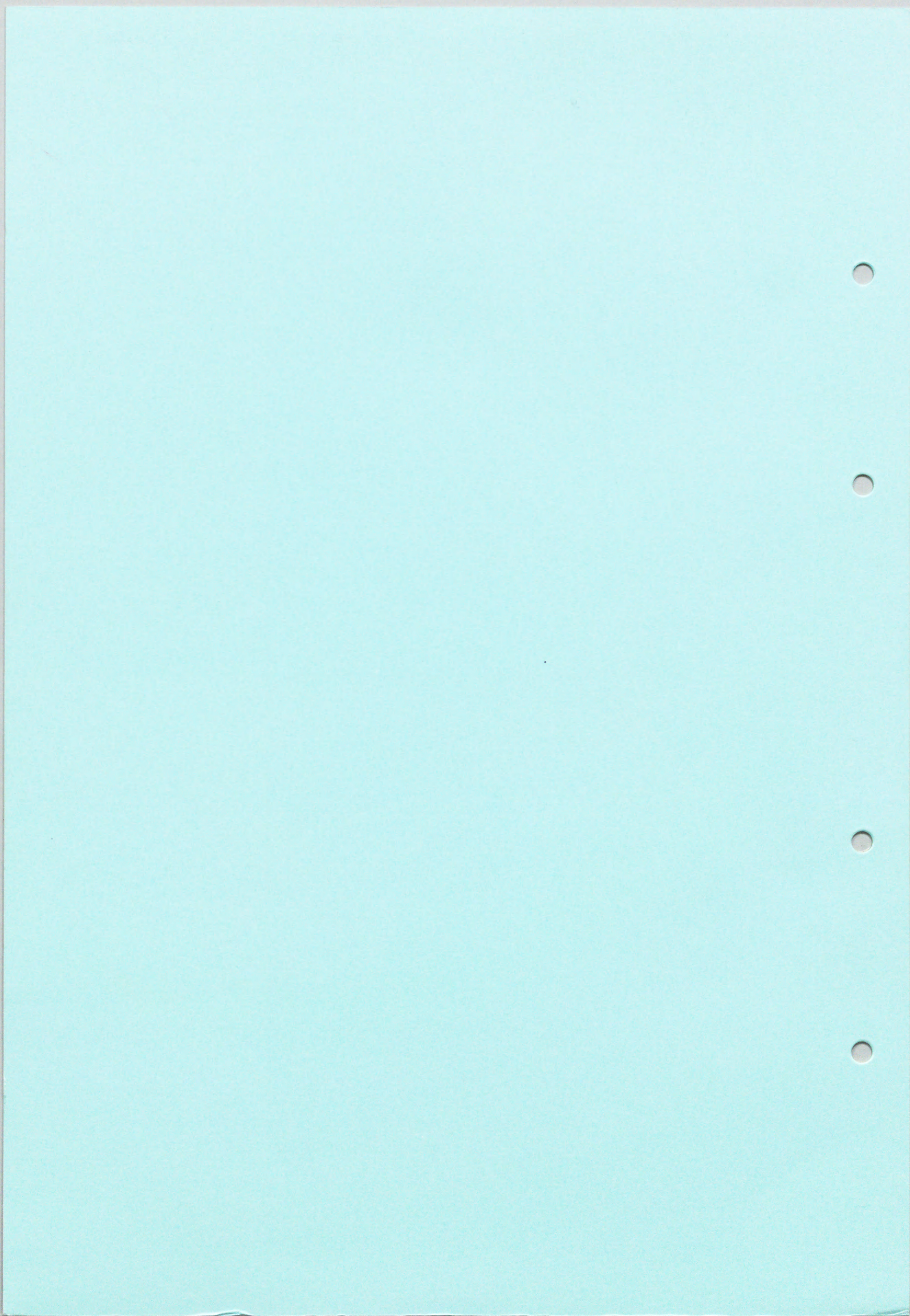
- (1) T.Harada, S.Sato, and K.Nakajima, "A Content-Addressable Memory Using "Switched Diffusion Analog Memory with Feedback Circuit"", IEICE Trans. on Fundamentals of Electronics, Communications and Computer Sciences, Vol.E82-A, No.2, pp.370-377, Feb. 1999.
- (2) T.Harada, A.Sato, M.Kinjo, Y.Katayama, S.Sato, and K.Nakajima, "New Nonvolatile Analog Memories for Analog Data Processing", Japanese Journal of Applied Physics (JJAP), 印刷中, Apr. 2000.

国際会議

- (1) T.Harada, Y.Mizugaki, and K.Nakajima, "A New Analog Content Addressable Memory for Building a New Intelligent System and VLSI Implementation", International Symposium on Nonlinear Theory and its Applications (NOLTA), Nov. 1997.
- (2) T.Harada, Y.Mizugaki, and K.Nakajima, "A New Analog content Addressable Memory for Building a New Intelligent System and VLSI Implementation", The 2nd R.I.E.C. International Symposium on Design and Architecture of Information Processing Systems Based on the Brain Information Principles, Mar. 1998.
- (3) T.Harada, S.Sato, and K.Nakajima, "A New Floating-Gate Analog Memory and an Analog Content-Addressable Memory for Building a New Intelligent System", The Workshop on Synthesis and System Integration of Mixed Technologies (SASIMI'98), Oct. 1998.
- (4) T.Harada, A.Sato, M.Kinjo, Y.katayama, S.Sato, and K.Nakajima, "New Nonvolatile Analog Memories for Building Associative Memories", The 1999 International Conference on Solid-State Devices and Materials (SSDM), Sep. 1999.

研究会発表・口頭発表

- (1) 原田知親、早川吉弘、中島康治、澤田康次：「ハードウェアニューラルネットワーク用フィードバック付き SDAM の性能解析」、電子情報通信学会非線形問題研究会、1994年11月
- (2) 原田知親、早川吉弘、中島康治、澤田康次：「ハードウェアニューラルネットワーク用フィードバック付き SDAM の動作解析」、電子情報通信学会春季全国大会、1995年3月
- (3) 原田知親、早川吉弘、中島康治、澤田康次：「アナログ連想メモリの集積化」、電子情報通信学会春季全国大会、1996年3月
- (4) 原田知親、早川吉弘、中島康治、澤田康次：「アナログ連想メモリの高機能化とその集積化」、電子情報通信学会非線形問題研究会、1996年6月
- (5) 原田知親、早川吉弘、中島康治、澤田康次：「未知情報と選別・記憶する連想記憶システムの集積化」、電子情報通信学会春季全国大会、1997年3月
- (6) 原田知親、佐藤茂雄、中島康治：「新アナログメモリ線形SDAM とそれを用いたアナログ連想記憶システムの構成」、電子情報通信学会集積回路研究会、1998年5月
- (7) 原田知親、佐藤茂雄、中島康治：「アナログ情報処理システム構築のための不揮発性アナログメモリ FBSDAM」、電子情報通信学会秋季ソサイエティー大会、1999年9月



inches 1 2 3 4 5 6 7 8
cm 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19

Kodak Color Control Patches

© Kodak, 2007 TM: Kodak



Kodak Gray Scale



© Kodak, 2007 TM: Kodak

A 1 2 3 4 5 6 **M** 8 9 10 11 12 13 14 15 **B** 17 18 19

