

氏 名	小 谷 光 司
授 与 学 位	博 士 (工 学)
学位授与年月日	平成 5 年 3 月 25 日
学位授与の根拠法規	学位規則第 5 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	高機能・高速演算 MOSLSI の研究
指 導 教 官	東北大学教授 大見 忠弘
論 文 審 査 委 員	東北大学教授 大見 忠弘 東北大学教授 樋口 龍雄 東北大学教授 亀山 充隆 東北大学助教授 柴田 直

論 文 内 容 要 旨

近年, 半導体集積回路は飛躍的な発展を遂げてきた。それを支えたのは素子の微細化技術である。ところが, 素子の微細化だけで高集積化, 高性能化を遂げてきた半導体技術は今, 大きな転換期にさしかかっている。素子寸法の微細化にともない, 信頼性の低下や, 寄生効果の増大による速度性能の低下等, 種々の問題点が顕在化し, 微細化の物理的な限界が見えてきたためである。LSI の更なる発展のためには, デバイス構造や回路構成等において新たなイノベーションが必要である。このような観点から本研究は, 高機能・高速演算 MOSLSI 実現のために必要とされる,

- ① 高性能デバイス製造プロセスを用いた MOSFET の高速化および高信頼性化
- ② 新機能デバイスを用いた新しい論理回路の実現

を目的として行われたものである。

第 1 章では, 半導体技術の発展の歴史について概説し, 現在の半導体技術の抱える問題点を述べている。そして, それらの問題点を解決し, 高速演算 LSI を実現するためには, 抵抗の小さい金属材料をデバイスの心臓部に積極的に用いてデバイス内部の寄生抵抗を徹底的に排除することが必須である事を述べている。また, 高機能 LSI を実現するためには, 個々の回路構成要素をより知的にする新しいデバイス, およびその新デバイスを用いた新しい回路アーキテクチャの構築が重要である事を述べている。

第 2 章では, 高速動作が可能な自己整合 Al ゲート MOSFET について述べている。抵抗の低いアルミニウムは, 高速動作 MOSFET のゲート電極材料として最適であるが, 融点が低いため, 自己整合プロセスを用いるためには, イオン注入後のアニール温度を低減しなければならない。とこ

ろが従来の技術では、アニール温度を低減すると、急激に接合のリーク電流が増大していた。そこで、イオン注入装置を超高真空化し、かつ、高エネルギーイオンによる金属スパッタ汚染を防止したウルトラクリーンイオン注入技術を開発する事により、450°Cという低温アニールにおいても、デバイスに応用可能な低リーク電流の接合形成が可能になった。このウルトラクリーンイオン注入技術を用いて自己整合 Al ゲート MOSFET を試作し、良好な特性を得ている。

さらに、 $(W/L)_{\text{ENH}} = 64$, $(W/L)_{\text{DEP}} = 8$ の寸法で、ポリシリコンゲートおよびアルミゲートの E/D インバタリング発振器を試作し、発振周波数の差から高速動作性能を評価している。ポリシリコンゲートの場合にくらべて、アルミゲートの場合は、約 3 倍の動作速度が得られている。アルミゲートの場合は、ゲート電極の抵抗が 0 の理想的なインバタの理論動作速度とほぼ等しい値が得られており、ゲート幅が大きい場合でもゲート幅全体が有効に働く事がわかる。また、リング発振器を応用してゲート電極中の信号伝搬速度を測定する新しい手法を開発し、ポリシリコンゲートおよびアルミゲートの場合について測定を行っている。アルミゲートを用いる事で、ポリシリコンゲートの場合に比べて、100倍以上のゲート電極中信号伝搬速度が実現できる事が示されている。このように、高速動作 MOSFET のゲート電極材料としては、低抵抗な金属を用いなければならない事を明らかにしている。

第 3 章では、MOS デバイスの電流駆動能力に大きな影響を与えるキャリアの移動度と酸化膜・Si 基板界面のマイクロラフネスの関係について述べている。高濃度基板を用いた場合、界面の荒れが大きくなれば、MOSFET のキャリア移動度が小さくなることを実験的に明らかにしている。また、ウエハ表面をまったく荒らすことなく平坦に維持することが可能な洗浄法により、バルクの移動度に近い、高い移動度が実現できている。MOSFET において、高い電流駆動能力を実現し、高速動作を可能にするには、酸化膜・Si 基板界面を原子オーダーで平坦に維持することが重要であるという知見が得られている。

デバイスの信頼性を向上させるには、デバイス製造プロセスによって引き起こされるデバイスダメージは極力防止する必要がある。第 4 章では、イオン注入プロセスによって発生するデバイスダメージについて述べている。イオン注入によって、ゲート酸化膜中には正電荷および中性の電子トラップが生成され、しきい値変化やホットエレクトロン耐性劣化を引き起こすことが示されている。発生した正電荷および中性電子トラップは、900°C の高温熱処理によって消滅するが、450°C 程度の低温熱処理では完全には消滅しない事を明らかにしている。また、イオン注入によるデバイスダメージの発生機構を明らかにするため、ゲート電極を基板と電気的に接続した状態でイオン注入を行う実験を実施している。そして、ゲート電極を基板と電気的に接続したこのサンプルにはデバイスダメージが生じない事が示されている。また、MOSFET のゲート酸化膜に高電界を印加し、かつ大電流を流す電気的ストレス試験により、イオン注入によって生じるものと同様のデバイスダメージが発生する事が示されている。以上の結果により、イオン注入によるデバイスダメージは、ゲート電極のチャージアップによって引き起こされるという結論が得られている。さらに、イオン注入時に、ゲート電極を基板と接続しておく事により、チャージアップによる MOS デバイスダメージを防止することができる事を述べている。

次に、LSIの高機能化という観点からであるが、第5章において、デバイス単体の機能が新しいデバイスであるニューロンMOSFETを用いることにより、高機能な回路が簡単な構成で実現できることを述べている。ニューロンMOSFETは、フローティングゲートを有しており、そのフローティングゲートに対して複数の入力ゲート電極が容量的に結合した構造をとっている。この構造により、複数の入力信号の重み付き線形和を、電力消費を伴わない電圧モードで演算し、その結果に対してしきい動作を行っている。この機能を用いれば、可変しきい値トランジスタが簡単に構成できる事を示している。

さらに、ニューロンMOSFETを用いて論理演算を行う回路を構築している。この回路は、複数の入力信号を多値の信号に変換し、変換された多値信号に対して多重しきい論理を適用する事により論理演算を行っている。回路の構成、動作原理について述べるとともに、いくつかの回路単純化の手法についても述べている。素子自体が高機能なニューロンMOSFETを基本素子として用いることにより、CMOS論理回路に比べて非常に少ないトランジスタ数および配線でバイナリ論理回路が構築できる。例えば、従来50個のトランジスタが必要であった全加算器は8個で構成できる事を示している。また、3ビットA/D変換器は、ニューロンMOSFETを用いると16個のトランジスタで実現できている。これらの回路は2層ポリシリコンCMOSプロセスを用いて試作し、正常に動作する事を確認している。

また、ニューロンMOS論理回路の原理を用いる事により、新しい機能回路を実現している。まず、制御信号によって演算論理を変えられる回路である“やわらかい論理回路”(ソフトウェア論理回路)について述べている。2入力のソフトウェア論理回路においては、2入力の論理演算として考えられる16個すべての関数が、制御信号の切り替えだけで実現できる事を示している。また、従来のバイナリ回路との整合性に優れた非冗長ソフトウェア論理回路を実現している。さらに、高並列演算の能力を持った2進SD数の加算回路をニューロンMOS論理回路の手法で構成している。1桁分の2進SD数加算回路に必要なトランジスタ数は16個である。さらに、実時間でルールを変える事のできるマッチング回路を開発している。

第6章では、従来のCMOS論理回路と比べて、ニューロンMOSFETを用いたバイナリ論理回路がどの程度優位性を持っているかについて一般的に議論している。論理回路を実現するために必要なトランジスタの数について比較を行い、CMOS回路では回路の入力数の増加に対して指数関数的にトランジスタ数が増大するのに対し、ニューロンMOS論理回路において対称関数を実現する場合には、入力数に対して高々1次関数的にしか増大しないことが示されている。

ニューロンMOS論理回路の動作速度に関しては、シミュレーションにより評価を行っている。NAND回路とXOR回路について、伝搬遅延時間をCMOSとニューロンMOSで比較している。NAND回路の評価は、ニューロンMOSインバータ単体の動作速度を検証するために行っている。ニューロンMOSインバータの電流駆動能力を入力数(ファンイン)の依存性として定式化し、入力数が増大すると、入力ゲートゲインの低下により電流駆動能力が低下するが、この電流駆動能力の低下は入力数の増大とともに飽和する事を示している。XOR回路の評価は、ニューロンMOS論理回路の、回路としての動作速度を検証するために行っている。回路の入力数が増えると、ニュー

ロンMOS論理回路の方がCMOS論理回路よりも高速動作が可能である事を示している。これは、CMOS回路の場合、入力数の増加とともに指数関数的にゲート負荷が増大するのに対し、ニューロンMOS論理回路では、XORの様な対称関数の場合は、ゲート負荷が高々入力数の1次関数的にしか増大しないことに起因している。以上のように、対称関数をニューロンMOS論理回路で実現する場合において、回路の占有面積および動作速度の面で、大きな優位性が示されている。

さらに、ニューロンMOS論理回路の現状での課題とその解決策について議論している。ニューロンMOS論理回路の機能を増大するには、Fluctuation-Freeデバイス製造プロセスを開発し、製造されるデバイスの特性を完全に制御する事が重要である事を示している。また、フローティングゲートチャージによるニューロンMOS論理回路の誤動作を防止し、かつ、ニューロンMOSインバータの待機時電力消費を防止するには、クロック動作を取り入れ、演算前にフローティングゲートチャージを初期化したり、待機時にはニューロンMOSインバータの直流電流パスを切る様にすれば良い事を述べている。

第7章は結論であり、第2章から第6章までを通して得られた結果を総括している。

本研究で得られた以上の結果は、LSIの高機能化、高速化において大きな意義を持つものである。

審査結果の要旨

情報が情報を生み出す現代社会では、情報処理能力の指数関数的増大がたえず求められており、これに応えるには、半導体集積回路はその機能、演算処理速度を飛躍的に向上させ続けることを要求されている。

著者は、低抵抗金属を半導体デバイスの最重要部に直接用いる自己整合メタルゲート技術等の高性能プロセス技術の研究を行い、MOSLSIの高速化・高信頼化を達成した。さらに、単体で脳細胞と類似の働きをする新しい機能素子、ニューロンMOSトランジスタ（以下 ν MOSと略）を用いた新しい概念の論理回路の研究を行い、少数のトランジスタできわめて高度な論理機能が実現できることを、具体的にチップを試作することにより実証した。本論文は、それらの成果をとりまとめたもので、全文7章よりなる。

第1章は序論である。

第2章では、超高清浄イオン注入を用いた自己整合AlゲートMOSの試作と、その高速性能評価の結果について述べ、マイクロプロセッサのクロック駆動用大電流MOSトランジスタには、低抵抗金属ゲートの導入が必須であることを、計算及び実験の両面から明らかにしている。

第3章は、シリコン表面の原子オーダー平坦化が、極薄ゲート酸化膜の高信頼化や、キャリアの表面移動度向上に重要であることを明らかにしたもので、これは重要な知見である。

第4章では、イオン注入プロセスで生じるデバイス損傷について、その機構を明らかにするとともに、実用上有効な解決法を提案している。

第5章は、 ν MOSを用いた新しい論理LSI構成の研究結果をまとめており、従来のCMOS回路に比べ、同一機能実現に際し、素子数・配線数が激減できることを示している。例えば、従来50個の素子を必要とした全加算器は8素子で、従来174素子を要したフラッシュA/Dコンバータは、16素子で実現している。さらに、外部の制御信号により、その論理機能を実時間で自在に切り替えられる、「やわらかいハードウェア」回路も実現している。これらの回路の動作は、すべてチップの試作により実証している。これは、論理LSIの新しい可能性を拓く重要な成果である。

第6章では、 ν MOS論理回路の動作特性の解析と、将来の課題について述べている。

第7章は、結論である。

以上要するに本論文は、MOSLSIの高機能化・高速化達成の観点から、高性能LSIプロセス技術の研究を行うとともにこれらの成果に立脚して、全く新しい概念の機能素子及びこれを用いた論理回路の構成方法を確立したもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。