

氏 名	山 下 毅 雄
授 与 学 位	博 士 (工 学)
学位授与年月日	平成 6 年 3 月 25 日
学位授与の根拠法規	学位規則第 5 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	バイナリ・多値・アナログ融合動作論理 LSI の研究
指 導 教 官	東北大学教授 大見 忠弘
論 文 審 査 委 員	東北大学教授 大見 忠弘 東北大学教授 樋口 龍雄 東北大学教授 亀山 充隆 東北大学助教授 柴田 直

論 文 内 容 要 旨

かつて人類が経験したことのないような、めまぐるしい科学技術の発展を遂げた20世紀も、残すところあと7年となった。1947年の点接触型トランジスタの発見で幕をあけた半導体技術は、通信技術革命をもたらした電子管にとって替わり、今日のコンピュータ社会を誕生させた。順調に成長してきたかに見える半導体技術も1990年代に入って技術的に大きな壁に突き当たっている。例えば、製造工程数の増加による歩留りの低下、デバイス内部での電界増大による信頼性の低下、隣接する配線間のクロストークによる誤動作等である。また、今日のフォン・ノイマン型のコンピュータは、厳密で高速な演算処理を得意とする一方で、生体がいとも簡単に実行してしまう「直感による類推」「大枠の判断」といった情報処理に関しては、生体の能力に遥か及ばないのが現実である。単に今のままの技術の延長では、さらなる発展が困難になっている現在、21世紀へ向けて新たなブレークスルーが要求されている。本論文は、この新たな技術革新の1つの重要な方向として、バイナリ・多値・アナログ融合動作の新しい論理 LSI アーキテクチャを提案し、そのハードウェアでの実現について述べたものである。

素子の微細加工に不可欠なプラズマプロセスにおいて、素子がプロセス中に受けるダメージは動作マージンに直接影響を与えるため、特に限られた電源電圧を多レベルに分けた多値を扱う素子においては、これは致命的な障害となる。プラズマプロセス中のダメージやコンタミネーションを抑制することは、アナログ・多値デバイスを実現する上で必要不可欠な条件である。そのためには、

素子特性に直接影響を与えるイオンエネルギーやイオンフラックス等のプラズマパラメータをプロセス中に測定し、正確に制御する技術が必須である。2章ではこのプラズマパラメータの測定に関し、新しく開発した手法について述べている。カソード電極の電圧測定により、プラズマに汚染物質や外乱を加えることなく、イオンエネルギー、イオンフラックス、プラズマポテンシャルに深く関係する値を求めることができた。これをもとに、プラズマのパラメータであるイオンエネルギー・イオンフラックスと、プロセスのパラメータであるRFパワー・ガス圧力の関係を示す、"Ion Energy-Flux Parameter マップ"を新しく導入し、プラズマ中でのガスの分解の挙動を原子の結合エネルギーとの関係で説明した。また、このパラメータを用いることで、デバイスへの汚染物質やダメージの混入の機構が明らかにできた。

高誘電体薄膜を用いたDRAMメモリセルは、現在重要な開発課題となっている。特に多値メモリの開発においては、十分なS/N比を確保する点から、今以上にこの高誘電体薄膜の開発は重要となる。また、信頼性の確保にはその膜質はもとより、電界が局所的に集中しないセル構造を実現することが必要である。第3章では、この高誘電体薄膜メモリセルを高信頼化するためのセル構造について述べている。電界の集中は、電極の形状と同様に、電極先端部の周辺を取り巻く材質の誘電率に大きく影響されることがわかった。最も電界集中を抑制することができる構造は、下部電極、高誘電体容量絶縁膜、上部電極の3層の側壁を同一平面上に揃え、その側壁の外側を高誘電体容量絶縁膜の誘電率よりも、誘電率の小さな絶縁体で終端する構造である。また、誘電率と耐圧の積で決まる、容量絶縁膜の電荷蓄積能力が同じであれば、より大きなブレイクダウン電界を持っている材質を容量絶縁膜として用いた方が、電極先端部での電界集中を抑制するためには有利であることがわかった。

バイナリ・デジタルだけを用いた手法では、実時間での応答が困難であると同時に、膨大な数の配線や素子を必要とする情報処理は数多くある。以下の章ではその一例である連想メモリを、バイナリ・多値・アナログ融合型動作の論理回路で実現する手法について述べている。多値・アナログの情報処理を、デバイスの内部に取り入れることによって、従来のものに比べて非常に少ない配線数、素子数で連想メモリが実現できた。まず、4章では、連想メモリを構成する重要な回路である、ウィナー・テーク・オール回路について述べている。これは、多数の入力端子のうちで最大値あるいは最小値が入力されている端子を検索する回路であり、このような機能を通常のバイナリ・デジタル信号処理だけで実現すると、多数のトランジスタと配線が必要になり高集積化は不可能となる。情報処理を全てバイナリ・デジタルだけで行うのではなく、ここに多値・アナログ融合のアーキテクチャを導入することで、より少ないトランジスタ数で完全並列処理を用いて最大値、最小値検索を実現することが可能となった。これは、論理アルゴリズムに多値の概念をとり入れただけでなく、最も基本的な単体トランジスタのレベルから、アナログ処理とデジタル処理を融合させた、新しい機能デバイスであるニューロンMOSを用いた新しい情報処理ハードウェア・アルゴリズムである。バイナリ論理回路は少ない入力に対して高精度の検索をする場合に適している一

方で、 ν MOSを用いたウィナー・テーク・オール回路は、多数の検索対象に対して「大まかな検索」を繰り返しながら検索対象を限定していくのに適した回路である。この回路は、大量の信号から、高精度の検索を行う時に、ランプ信号の掃引速度を順次変化させることで、厳密に検索する対象を高速にしぼり込むことができる。超高精度の検索の際には、限られたデータをさらに厳密に検索することができるバイナリ論理回路の前処理回路として用いることができる。

第5章では、連想メモリのアーキテクチャについて述べている。機能メモリである連想メモリを ν MOSウィナー・テーク・オール回路を用いて実現した。ウィナー・テーク・オール回路によって、最大値検出を行う回路の素子数を減らすことが可能になるとともに、メモリセルにおける参照信号との一致・不一致の結果を容量結合によりウィナー・テーク・オール回路のフローティングゲート上で加算することで、メモリ部における配線数を大きく減少させることができた。これらにより、従来、大規模化・集積化が困難であった連想メモリを、ハードウェアレベルで完全なパラレル処理によって実現することが可能となった。また、同じ原理を用いて、従来数多くの比較演算を必要とし、ソフトウェア上で行っていたソーティングを並列処理的にハードウェア上で行うことが出来るソーティング回路を設計し、その動作をシミュレーションで確認した。これを連想メモリに応用すると、参照信号と似かよっている順番をメモリに振り分けることができる。

第6章では、連想機能を持った多値のメモリについて述べている。多値あるいはアナログの入力信号と格納されている信号を比較し、一致・不一致に応じた信号を出力する連想機能を装備した多値のDRAMとROMを ν MOSを用いて設計し、シミュレーションまたは試作デバイスの測定によりその機能を確認した。入力に多値・アナログ量を直接とり込める ν MOSを用いた回路アーキテクチャにより、通常のCMOS構成でこれを実現するのに比べ圧倒的に素子数を減らすことができた。この傾向は多値のレベル数が増えれば増えるほど顕著になる。また、2つの多値・アナログ入力に対して、その差の絶対値に比例した値を出力する回路を ν MOSを用いて設計した。このような回路素子は連想メモリシステムのメモリアレイ部の超高集積化に大きく貢献するものであるとともに、画像処理などの分野にも役立つ回路素子である。

全ての演算をアナログで行うことは、ノイズの伝搬とその蓄積が生じ、演算結果の精度を著しく損なう結果となる。そこで、ノイズ伝搬を途中で断ち切る閾値処理を適宜挿入する情報処理が重要となる。第7章では、多値・アナログを入出力に用いるシステムにおいて重要となる量子化素子として、多値のSRAMを設計、試作しその動作を確認した。 ν MOS-A/Dコンバータと ν MOS-D/Aコンバータを用いてフィードバック回路を形成することで、少ない素子数で多値のSRAMが実現できた。このメモリは、入出力としてバイナリ・デジタル信号と多値・アナログ信号の両方を取り扱えるために、バイナリ・多値・アナログ融合動作LSIを構築するためのI/O素子として用いることができる。このSRAMにおいて、D/Aコンバータの出力をD/Aコンバータ自身の入力に帰還することによって、量子化の精度を外部信号により任意に変化することのできる高機能メモリが実現できることをシミュレーションにより確認した。

最後に第8章において、本研究で得られた知見について総括し、結論を述べている。

審査結果の要旨

現在、「しなやかな情報処理」可能な知能コンピュータ実現が強く求められているが、既存のハードウェア上でのソフトウェア先鋭化のみでは、その実現は非常に困難である。

著者は、ニューロンMOSトランジスタ（以下 ν MOSと略）と呼ぶ新しい機能トランジスタを用いて、バイナリ・多値・アナログの各データ演算処理を単体デバイスのレベルで融合させた、新しい動作原理に基づく論理LSIの研究を行った。最も類似したデータをハードウェアが完全並列処理で自動的に見つけ出す連想メモリ、個々のメモリセル自身が連想や分類を行う高機能多値メモリ、これ等の設計・試作を通して新しい動作原理の論理LSIが、知的な情報処理実現に有効であることを実証した。

さらに、高精度製造プロセスの研究も行い、そのハードウェア実現を可能にした。本論文は、それらの成果をとりまとめたもので、全文8章よりなる。

第1章は序論である。

第2章では、プラズマ・エッチングプロセスの高精度化、特にデバイスへの損傷・汚染を極小化する技術について述べている。

第3章は、高誘電体薄膜を用いたダイナミックメモリのセル構造を、モデリングにより最適化した結果について述べ、さらに電極端部の電界集中を緩和し、超高集積メモリの性能・信頼性を向上する方法について述べている。これら第2、第3章で得られた知見をもとに、新原理の知的LSIの実験試作を行っている。

第4章は、 ν MOSで構成したウィナー・テーク・オール(WTA)回路と新しいバイナリ・多値・アナログ融合型ハードウェアアルゴリズムの原理について述べている。回路の詳細な設計論、実験試作等による検証の結果を述べるとともに、同じ機能を従来のバイナリ・デジタル回路による実現例と比較し、例えば243個のデータ検索に関し、素子数・配線数が約2桁減少でき、しかも速度性能が数倍向上できることを示している。これは、重要な知見である。

第5章は、 ν MOSのWTA回路を応用した連想メモリチップとソーティング回路について述べたもので、すべての演算がハードウェアに直接埋め込まれたアルゴリズムによって、高速実行可能なことを示している。

第6章では、多値情報の記憶と、幅をもった連想のできるダイナミックメモリの方式を考案、チップの試作で実証し、連想メモリチップの更なる高機能化を達成している。第5章、第6章及び第7章の成果は、将来の知的画像処理ハードウェア実現のキーコンポーネントを提供する重要な研究成果である。

第7章は、多値スタティックメモリについて述べており、多値情報の記憶と分類が各セル単位で実行できる高い機能を実現している。

第8章は結論である。

以上要するに本論文は、論理LSIに知的な演算機能を付与する新しいバイナリ・多値・アナログ融合型の動作原理を提案し、実際にチップの試作を通してその有用性を実証したもので、電子工学

の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。