

氏 名	岩 田 靖
授 与 学 位	博 士 (工 学)
学位授与年月日	平成 7 年 3 月 24 日
学位授与の根拠法規	学位規則第 4 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	2次元状態空間デジタルフィルタの高並列処理 システム構成に関する研究
指 導 教 官	東北大学教授 樋口 龍雄
論 文 審 査 委 員	東北大学教授 樋口 龍雄 東北大学教授 高木 相 東北大学教授 阿部 健一 東北大学助教授 川又 政征

論 文 内 容 要 旨

第 1 章 緒 言

最近の集積回路技術とデジタル通信網の発達にもとない、超高精細画像の効率的かつ高品質な変換、伝送、符号化の要求が高まっている。これらの処理には高精度な 2次元デジタルフィルタリングの実時間処理が必要である。超高精細画像に対して、高速・高精度な 2次元デジタルフィルタリングを行う場合、その信号処理システムには、20GOPS もの処理能力が要求される。この処理性能は、単一のプロセッサの高速化ではもはや達成されない処理性能であり、2次元デジタルフィルタの効率的な並列処理アルゴリズムに基づいた高並列処理システムの構築が必要不可欠である。本研究では 2次元状態空間表現を用いて 2次元デジタルフィルタを記述することにより高精度なフィルタ設計が可能であることに着目し、超高精細画像に対して 2次元状態空間デジタルフィルタリングの実時間処理を可能とする高並列処理システムの構築を目的とする。

第 2 章 波の並列性に基づく高並列演算システムに関する基礎的考察

第 2 章では 2次元状態空間デジタルフィルタの並列実現に関する基礎的な考察として、2次元状態空間デジタルフィルタを直接的に計算する場合の計算アルゴリズムを示し、2次元状態空間デジタルフィルタの処理時間が、状態変数の更新による処理の依存関係により規定されることを明らかにしている。また、超高精細画像に対して 2次元状態空間デジタルフィルタリングの実時間処理を行う場合に処理システムに必要な演算性能を積和演算回数を尺度として評価している。そ

して、現在までに提案されている2次元デジタルフィルタの並列実現のためのアーキテクチャとして2次元状態空間デジタルフィルタの直接実現法と2次元ブロック実現法について、それぞれの処理時間を評価し、問題点を明らかにしている。

第3章 2次元状態空間デジタルフィルタの高並列処理アルゴリズム

第3章では2次元状態空間デジタルフィルタの高並列処理アルゴリズムであるブロック並列処理アルゴリズムを新しい観点から導出している。これは、2次元状態空間デジタルフィルタの1フレームの処理時間が状態変数の更新による処理の依存関係により規定されることに着目し、処理対象画像をブロックに分割し、分割したブロック内において状態変数の更新による処理の依存関係を抑止することにより導出している。本研究ではブロック並列処理アルゴリズムを導出するにあたり、2次元状態空間デジタルフィルタのモデルとして分母分離形2次元状態空間デジタルフィルタを用い、その低次元分解により2次元状態空間デジタルフィルタの処理方法を垂直方向の1次元デジタルフィルタと水平方向の1次元デジタルフィルタに分解することに基づいてブロック並列処理アルゴリズムを導出している。

ブロック並列処理アルゴリズムによる1フレームのフィルタリング手順を示した上で、本提案のブロック並列処理アルゴリズムの処理速度を1フレームの処理に必要な積和演算回数を尺度として評価している。その結果、ブロック並列処理アルゴリズムの処理速度はブロック長 L に比例することを明らかにしている。ブロック並列処理アルゴリズムの1フレームの処理時間は図1に示すように、現在までに提案されている2次元状態空間デジタルフィルタの並列処理アルゴリズムと比較して非常に高速な並列アルゴリズムとなっている。さらに本提案のブロック並列処理アルゴリズムにおいて、その処理時間を最小とし、かつブロック並列処理アルゴリズムを構成する演算器の稼働率を最大とするブロック長をフィルタ次数の関数として導出し、最適ブロック長を決定する条件を明らかにしている。

第4章 ブロック並列処理システムのハードウェアアーキテクチャ

本章では、ブロック並列処理アルゴリズムを構成する並列処理システムのハードウェアアーキテクチャを提案する。本論文ではブロック並列処理アルゴリズムを実現する処理要素をブロックプロセッサと呼んでいる。並列処理システムのハードウェアアーキテクチャを決定する上でもっとも重要なことは、使用する処理要素の台数に比例した処理システムの演算性能が得られるということである。本研究では使用する処理要素の台数に比例した処理システムの演算性能の向上を妨げる要因として、通信のオーバーヘッドに着目している。通信のオーバーヘッドが発生する可能性のある箇所をブロックプロセッサの内部の通信と、ブロックプロセッサの外部の通信に分け、それぞれの通信において通信のオーバーヘッドが発生しないようなハードウェアアーキテクチャを提案している。図2に本研究で提案するブロックプロセッサのハードウェアアーキテクチャを示す。図2においてDF(F)とDF(G)はそれぞれ垂直方向と水平方向の1次元デジタルフィルタである。DF(F)とDF(G)ではコンパクトな積和演算器により高並列に積和演算を実行しなければならない。そ

ここで本研究ではブロックプロセッサにおいてコンパクトに積和演算を実行する演算モジュールとして直列／並列乗算器に基づいた積和演算を提案している。これを IPM (Inner Product Module) と呼ぶ。IPM により積和演算器を構成することによってコンパクトな演算モジュールを集積回路上に実現することが可能となるばかりでなく、演算と通信を同時に実行することが可能であるため、通信が演算を妨げることなく積和演算を実行することが可能となる。このようにブロックプロセッサを構成することにより DF (F) と DF (G) の間において通信のオーバーヘッドが発生せず、DF (F) と DF (G) の使用台数に比例したブロックプロセッサの演算性能の向上が見込まれる。

さらに、ブロックプロセッサのプロトタイプ設計を行い、そのレイアウト設計を実際に行うことによりブロックプロセッサの演算性能をシミュレーションレベルで明らかにしている。設計を行ったプロトタイプブロックプロセッサの演算性能を表 1 にまとめる。

ブロックプロセッサ外部の通信においてそのオーバーヘッドが生じないようにするために、図 3 に示すように、ブロックプロセッサ 1 台に対して一対の入出力フレームメモリを与える構成を提案している。これらの入出力フレームメモリを分割フレームメモリと呼ぶ。分割フレームメモリのレイアウト設計を行うことにより、現在の VLSI 技術により提案の分割フレームメモリを実現することが可能であることを実証している。

本設計のプロトタイプブロックプロセッサと分割フレームメモリにより 2,048×2,048 画素で構成される超高精細画像を枚病 60 フレームの割合で実時間処理を行うために必要なブロックプロセッサの台数は、27 台であると評価している。

第 5 章 ブロックプロセッサの VLSI 設計と実現

本章では、ブロックプロセッサを実際に VLSI チップとして試作する具体的な実現法について述べている。本研究においてブロックプロセッサを試作する目的は、ブロックプロセッサの演算可能性を実チップレベルにおいて評価することとともに、ブロックプロセッサを VLSI チップにより実現する際の問題点を明らかにすることにある。

本提案のブロックプロセッサのアーキテクチャは文部省科学技術研究費に補助された VLSI 設計試作プロジェクトに採用され、このプロジェクトの一環として試作を行う。このプロジェクトでは 1 チップを 12,000 ゲート以内で設計しなければならないという設計上の制約条件が科せられている。そのため、垂直方向と水平方向のブロック長をそれぞれ 4 と 2 とし、また 1 台の VLSI チップには 10 台の IPM を搭載することにする。そして 6 台のプロジェクトチップにより 1 台のブロックプロセッサを実現する。ここで設計・試作を行う VLSI チップを BP チップと呼ぶことにする。

本研究では BP チップの設計に動作記述言語・合成系を用いることにする。動作記述言語・合成系による設計の最も大きな利点は短期間のうちに十分に動作検証を行った VLSI チップを設計することができるという点である。BP チップを動作記述言語・合成系により設計した結果の性能評価を表 2 に示す。BP チップにより超高精細画像を実時間で処理するためには BP チップが 600 台必要であることを見積もっている。

第6章 結 言

本章は結言であり、本研究の主要な結果を総括し、今後の課題について展望している。

表1：プロトタイプブロックプロセッサの諸元

テクノロジー	0.8 μ m CMOS Single Poly, Double Metal
ブロック長	8 \times 8 画素
最大遅延パス	0.51 nsec
動作周波数	50MHz
消費電力	10.8W @ 50MHz
チップコアサイズ	12.69 \times 12.20mm ²
ゲート数	181 k ゲート
トランジスタ数	485 k トランジスタ
信号ピン数	104ピン
IPMのゲート数	742ゲート
IPMの総数	384台
IPMの演算性能	3.12MOP S
ブロックプロセッサの演算性能	1.20GOP S

表2：試作したBPチップの性能評価

テクノロジー	0.5 μ m CMOSゲートアレイ 2層メタル, シングルポリ
ゲート数	8778ゲート
チップサイズ	7.340mm \times 7.340mm
IPM搭載数	10台
最大遅延パス	0.9 nsec
ピン数	89本 (信号線のみ)
消費電力	16.7mW/MHz
動作周波数	60MHz (1W消費時)
演算能力	75.0MOP S / 1 chip (60MHz, 8 bit 固定小数点演算)
仕様を満たす ブロックプロセッサ数	100台 600チップ

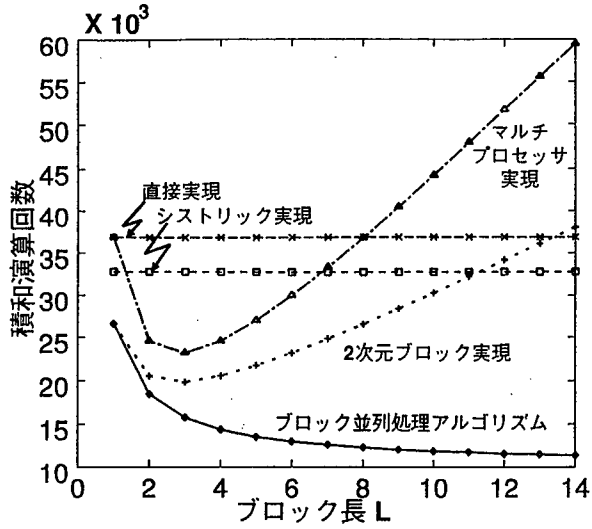


図1：処理時間の比較

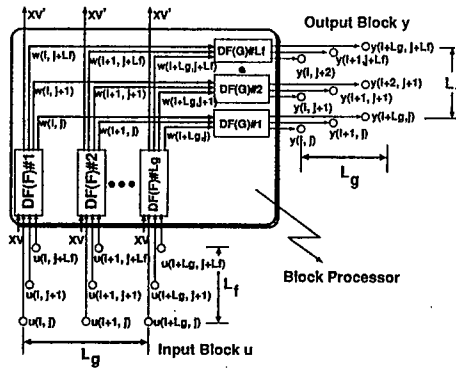


図2：ブロックプロセッサのアーキテクチャ

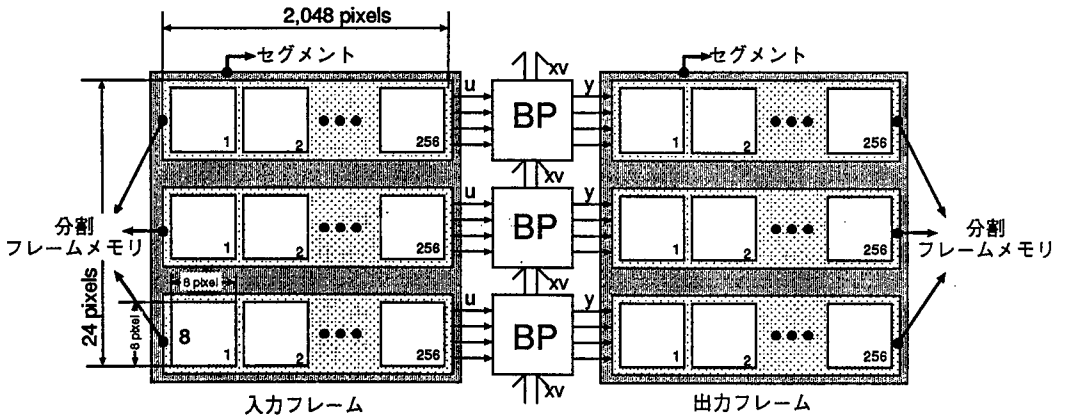


図3：ブロックプロセッサと分割フレームメモリによる2次元フィルタリングシステム

審査結果の要旨

最近のデジタル通信網の発展に伴い、超高精細画像に対する実時間高精度デジタル信号処理の要求が高まっている。著者は、高精度な信号処理が実行可能な2次元状態空間デジタルフィルタのアルゴリズムの並列性に着目し、これを高速に実行する高並列処理システム構成を与え、VLSIの設計を通して、その有用性を実証した。本論文は、これらの成果を通して、その有用性を実証した。本論文はこれらの成果をとりまとめたもので、全編6章よりなる。

第1章は緒言である。第2章では、2次元デジタルフィルタの差分方程式と状態方程式表現における計算量を1出力あたりの積和演算回数として評価すると共に、超高精細画像の実時間処理のために20.4GOPSの処理能力が必要であることを示している。また、これまでに提案されている並列実現のためのアーキテクチャを検討・整理し、その問題点を明らかにしている。

第3章では、2次元状態空間デジタルフィルタの高並列アルゴリズムとしてブロック並列アルゴリズムを導出し、処理速度とハードウェア量の詳細な評価を行っている。その結果、本提案のアルゴリズムでは、処理速度がブロック長に比例することを明らかにすると共に、処理速度を最高にするブロック長をフィルタ次数の関数として導き、最適ブロック長を決定する方程式を与えている。これらは、従来の実現手法では処理速度がブロック長に反比例またはブロック長に依存せず一定であることに比べて、すぐれた成果である。

第4章では、ブロック並列処理アルゴリズムを実現するブロックプロセッサのアーキテクチャを設計・評価している。ゲート数とピン数の減少は、積和演算を実行する内積演算モジュール (IPM) を、直並列乗算器によって構成することにより達成できることを示している。また、このプロセッサを効果的に動作させるためには、分割フレームメモリが必要不可欠であることを見出している。これは重要な知見である。

第5章では、ブロックプロセッサのプロトタイプ的设计とその評価を行っている。まず、動作記述言語によりブロックプロセッサのアーキテクチャを記述し、これをゲートアレイによって設計している。試作を目的とした設計では、 $0.5\mu\text{m}$ CMOSゲートアレイ上に8ビット固定小数点のIPMを10個用いることで、動作周波数60MHzにおいて75MOPSの処理能力が得られている。この結果に基づき、ブロックプロセッサチップを600個用いることにより、超高精細画像の実時間処理が可能であることを明らかにしている。

第6章は結言である。

以上要するに本論文は、2次元状態空間デジタルフィルタのブロック並列アルゴリズムを導出し、その高並列処理システムを設計・評価すると共に、VLSI設計を行うことにより、本システム構成の性能が優れていることを実証したものであり、電子工学および情報工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。