

氏名	最上 徹	も がみ とおる
授与学位	博士（工学）	
学位授与年月日	平成9年3月25日	
学位授与の根拠法規	学位規則第4条第1項	
研究科、専攻の名称	東北大学大学院工学研究科（博士課程）電気・通信工学専攻	
学位論文題目	微細MOSFETにおける低抵抗電極・平坦化配線の研究	
指導教官	東北大学教授 坪内 和夫	
論文審査委員	主査 東北大学教授 坪内 和夫	東北大学教授 大見 忠弘
	東北大学教授 高橋 研	東北大学助教授 益 一哉

論文内容要旨

第1章 序論

シリコンULSIは、素子寸法の微細化によって高集積化や高性能化を実現してきた。しかし、サブミクロン以下の微細設計ルールで製造される集積回路においては、CMOSトランジスタならびに配線の寄生抵抗成分が高性能化を阻害する要因として顕在化してきている。CMOSトランジスタにおける低抵抗電極技術としてはゲート電極上とソース/ドレイン拡散層上にシリサイド膜を自己整合に形成するシリサイド技術が検討されている。しかし、 $0.25\mu\text{m}$ 以下の微細CMOSではシリサイド膜の低抵抗化が困難となる問題が生じている。また、多層配線における低抵抗化技術としては平坦化配線技術が必須であるが、ビアホール埋め込み技術ならびに層間絶縁膜局所平坦化技術が確立されていなかった。

本研究では、超微細CMOSに適用できる低抵抗Tiシリサイド技術の開発と、バイアス印加膜形成法を用いた平坦化配線形成技術の開発を目的とする。低抵抗電極構造形成の為にSi細線パターン上でのTiSi₂膜の低抵抗化の阻害要因を明らかにし、微細CMOSに適用できる新しいシリサイド法を開発し、その有用性をCMOSデバイスにて確認した。また、低抵抗平坦化配線構造形成の為に、バイアス印加膜形成法によるビアホール埋め込み特性と絶縁膜平坦化特性を明らかにし、多層配線構造形成に必要なビアホール埋め込み法と層間絶縁膜局所平坦化法を開発した。

第2章 シリサイド化反応によるチタンシリサイド膜の形成

本章では、微細CMOSにおいて用いられるTiシリサイド技術について、Si細線領域に形成されるTiSi₂膜の低抵抗化阻害の原因解明と低抵抗化技術の指針について述べた。

TiSi₂膜の低抵抗化阻害の要因としては、シリサイド化反応を生じる下地Si中の不純物が影響しており、特に、Si中のAsあるいはAsと酸素がTiSi₂膜の低抵抗化を阻害している事を明らかにした。また、低抵抗TiSi₂膜が形成されない原因が、X線回折により、TiSi₂膜のC49相からC54相への相転移が阻害されているためである事を明らかにした。さらに、下地Siパターンの線幅が微細化されるとTiSi₂膜の低抵抗化が阻害されるという細線効果のあることを示すと共に、この細線効果も、不純物効果と同様にTiSi₂膜の相転移が阻害されているためである事を明らかにした。

次に、TiSi₂膜の低抵抗化法としてSi表面のアモルファス化法が有効であることを示し、特にAsイオン注入法によるアモルファス化法では、細線効果を大幅に低減できることを明らかにした。さらに、将来の微細CMOSのデザインルールに対応する0.18 μ m幅Si細線において、ノンドープポリシリコン構造とアモルファス化法により、5 Ω / \square 以下の低抵抗TiSi₂膜が形成できることを実証し、Si細線上での低抵抗TiSi₂膜形成の技術指針を得た。

第3章 SEDAM法によるTiSi₂膜形成

本章では、従来のシリサイド技術の課題であるシリサイド膜低抵抗化の困難を解決し、かつCMOSプロセスに適合する低抵抗シリサイドプロセスとして開発した、選択Si成長技術とアモルファス化技術を組み合わせるSEDAM法 (Selective Silicon Deposition and subsequent Pre-amorphization) について述べた。

第2章で示した低抵抗TiSi₂膜形成法は基本的な技術指針としては有効であるが、LSI構築の観点からは、従来のCMOSプロセスではシリサイド膜形成前にSi領域に高濃度不純物を導入するので、Tiとシリサイド化反応させる下地としたノンドープSi構造を用いることは極めて困難である。そこで、SEDAM法ではアモルファス化技術を用いることで低抵抗TiSi₂膜形成の阻害要因の一つである細線効果を取り除くと共に、選択Si成長技術を新たにCMOSプロセスに導入することにより、不純物ドーパされたゲート電極とソース/ドレイン領域上にノンドープSi膜を選択CVD堆積して、もう1つの阻害要因であるSi表面の不純物濃度を大幅に減少させることができる。本SEDAM法により、微細CMOSの通常プロセスフローであるゲート電極とソース/ドレイン領域に不純物を導入した後でのシリサイド形成において、シリサイド化反応では金属とノンドープSiあるいは低濃度ドーパSiとが反応する構造を作り出し、低抵抗TiSi₂膜のSi細線上への形成を実現した。さらに、SEDAM法をSi細線に適用した場合、0.18 μ m幅のSi細線上で5 Ω / \square を実現した。また、微細MOSFETにおいて、SEDAM法を用いてシリサイド構造を形成できることとゲート電極とソース/ドレイン拡散層を低抵抗化できることを示すと共に、トランジスタ特性として、シリサイド化した0.15 μ m NMOS/PMOSトランジスタの電気特性が良好であること、ソース/ドレイン拡散層のリーク特性が良好であることを明らかにした。

第4章 バイアス印加膜形成法によるビアホール埋め込み技術

本章では、U L S I 多層配線のビアホール埋め込み技術としてバイアス印加膜形成法について述べた。まず、バイアス印加膜形成法の1つであるバイアススパッタ法における高バイアス印加膜形成ではビアホール埋め込み平坦化効果が生じることを見いだすとともに、この埋め込み平坦化効果はスパッタ膜のビアホール内での再堆積により生じることを明らかにした。また、バイアススパッタ法によるビアホール埋め込みのアスペクト比限界を、実験に基づく埋め込み限界の単純化モデルにより検討し、ビアホール埋め込みの限界アスペクト比とその決定要因を明らかにした。バイアス印加膜形成法では、(1)ターゲット半径とターゲット・基板間距離の比が大きいこと、(2)雰囲気ガス圧が低いこと、(3)堆積粒子の放出角度が垂直方向に特化していること、(4)段差の肩部よりの水平方向への膜形成が少ないことが、高アスペクト比ビアホールの埋め込みの技術指針である事を示した。この技術指針をもとに、バイアス印加膜形成法としてイオン化蒸着法と多段階バイアス印加バイアススパッタ法によるビアホール埋め込み限界を検討した。イオン化蒸着法ではアスペクト比1以上のビアホール埋め込みができることを示した。また、多段階バイアス印加バイアススパッタ法では、アスペクト比5程度のビアホールを埋め込む事ができる可能性を明らかにした。

第5章 バイアス印加膜形成法を用いた層間絶縁膜局所平坦化技術

本章では、U L S I 多層配線の層間絶縁膜局所平坦化技術としてバイアス印加膜形成法について述べるとともに、バイアススパッタ法を用いてビアホール埋め込みと絶縁膜平坦化を実施した平坦化多層配線について述べた。

U L S I の多層配線においては、層間絶縁膜平坦化技術もビアホール埋め込み技術と共に、高信頼性や高性能化の観点から必須である。層間絶縁膜平坦化技術はグローバル平坦化技術と局所平坦化技術の2種類に分けられ、グローバル平坦化技術としてはCMP技術が確立している。一方、局所平坦化技術とは層間絶縁膜形成と下地配線パターンが密集した領域での局所的な表面平坦化を含んだ技術を示すが、U L S I の配線構造が微細となり、膜形成技術として従来使用してきているCVD法だけでは十分な膜形成が困難となりつつある為に、技術が確立されていない。バイアススパッタ法を用いたS i O₂膜形成では、下地微細パターンに対して膜形成と局所的な平坦化を同時に行なうことが期待できる。バイアススパッタS i O₂膜について、堆積膜の膜特性と局所平坦化の効果を検討し、バイアススパッタS i O₂膜を用いて局所平坦化が可能であることを明らかにした。また、その平坦化モードとして斜面固定モードと斜面移動モードの2つがあり、傾斜面固定モードでは配線パターン幅に依存して平坦化に必要な最小堆積膜厚があるのに対して、傾斜面移動モードでは配線パターン幅に依存せずに局所平坦化できることを明らかにした。

バイアススパッタ法によるビアホール埋め込み技術と層間絶縁膜局所平坦化技術を用いて平坦化多層配線を試作し、4層配線において十分な平坦性を有する配線構造を実現できることを示すと共に、非平坦化配線に比べて平坦化配線構造では、 $10^{-9} \Omega \cdot \text{cm}^2$ 台の低抵抗スルーホールを実現できること

を明らかにした。

第6章 結 論

ULSIの基本構造であるCMOSデバイスと多層配線の高性能化を目的として、Tiサリサイド膜の低抵抗化技術とバイアス印加膜形成法による平坦化配線構造を検討した。

本研究では、将来の微細CMOSの高性能化に必須であり、低抵抗化技術として重要であるサリサイド構造を形成できる新しいTiサリサイド技術を開発した。また、バイアススパッタ法を中心としたバイアス印加膜形成法を用いて、低抵抗平坦化配線の形成に必須であるビアホール埋め込み技術と層間絶縁膜の局所平坦化技術を開発した。本研究により確立されたCMOSプロセス技術により、ゲート電極やソース/ドレイン拡散層の低抵抗化と多層配線におけるコンタクト低抵抗化が可能となり、ULSIの高性能化に対して多大の貢献をなすものである。

審査結果の要旨

Si ULSIは、素子寸法の微細化によって、高密度化、高性能化を実現してきた。しかし、 $0.25\mu\text{m}$ 程度に微細化された集積回路においては、CMOSトランジスタならびに配線の寄生抵抗成分が高性能化を阻害する要因として顕在化している。CMOSトランジスタにおける低抵抗電極技術としてサリサイド技術が検討されているが、 $0.25\mu\text{m}$ 以下の微細CMOSではシリサイド膜の低抵抗化が困難となってきた。また、配線における低抵抗化技術として平坦化配線技術が必須となるが、ビアホール平坦化埋込み技術ならびに層間絶縁膜局所平坦化技術が確立されていなかった。本論文は、超微細CMOSに適用できる低抵抗 TiSi_2 サリサイド技術と、バイアス印加スパッタ膜形成法を用いた平坦化配線形成技術を開発した成果をまとめたもので、全文6章よりなる。

第1章は序論である。第2章では、従来のチタンシリサイド (TiSi_2) 膜形成法では、下地Si中のドーパントと酸素が存在すると、線幅が微細化した時に相転移抑制効果が顕在化することが、 TiSi_2 膜の低抵抗化阻害要因であることを明らかにしている。この結果をもとに、下地Siの低ドーパント濃度化と表面アモルファス化が TiSi_2 の低抵抗化に有効であることを示し、 $0.2\mu\text{m}$ 以下の細線上での低抵抗 TiSi_2 膜形成を実現した。これは、実用上重要な成果である。

第3章では、CMOSプロセスに適合する低抵抗サリサイド形成技術として、選択Si成長法と表面アモルファス化法を用いる低抵抗 TiSi_2 サリサイド技術 (SEDAM法) を提案し、この技術によりゲート長 $0.15\mu\text{m}$ の微細CMOS LSIを実現している。この技術は、実用化レベルに達しており、高く評価できる。

第4章では、バイアス印加スパッタ膜形成法を用いた金属膜ビアホール埋込みについて述べている。高バイアス印加条件下ではビアホール埋込み平坦化効果があることを明らかにしている。また、堆積と逆スパッタによるエッチング効果を取り入れたモデルを提案し、ビアホール埋込み限界を明らかにしている。この結果をもとに、イオン化蒸着法や多段階バイアス印加スパッタ膜形成法が高アスペクト比ビアホール埋込みに有効であることを明らかにしている。

第5章では、バイアス印加スパッタ膜形成法による平坦化 SiO_2 膜形成とその局所平坦化機構について述べている。バイアス電圧に依存して、傾斜面固定モードと傾斜面移動モードの2つの局所平坦化モードがあることを見出している。さらに、第4章と本章の成果をもとに低抵抗平坦化多層配線を実現している。バイアス印加スパッタ膜形成における平坦化機構を明確にした点は、高く評価できる。

第6章は結論である。

以上要するに本論文は、高性能Si ULSIを実現するための微細CMOSと多層配線における新しい低抵抗電極・平坦化配線形成技術を開発したもので、半導体電子工学、集積回路工学の発展に寄与するところが少なくない。

よって、本論文は博士 (工学) の学位論文として合格と認める。