

	お の み たけし			
氏 名	小 野 美 武			
授 与 学 位	博士（工学）			
学位授与年月日	平成10年3月25日			
学位授与の根拠法規	学位規則第4条第1項			
研究科、専攻の名称	東北大学大学院工学研究科（博士課程）電気通信工学専攻			
学位論文題目	磁束量子論理集積回路に関する研究			
指 導 教 官	東北大学教授 山下 努			
論 文 審 査 委 員	主査	東北大学教授	山下 努	東北大学教授 荒井 賢一
		東北大学教授	阿部 健一	東北大学教授 中島 康治

## 論 文 内 容 要 旨

### 第1章 序論

近年の情報化社会において、高速・大容量の情報処理回路の構築は重要な課題であり、それを実現するためのデバイスの高速化、低消費電力化への要求は日々高まる一方である。超伝導ジョセフソン素子は、その超高速性（ $\sim 10\text{ps/gate}$ ）や低消費電力性（ $\sim 10\mu\text{W/gate}$ ）などから次世代のデジタル素子として期待されている。これまでに、様々な新しいデバイスがデジタル素子として提案・研究されているが、高速・低消費電力を兼ね備えたジョセフソン素子の性能を超えるものはない。そのジョセフソン素子を用いた論理回路の方式として、今日まで広く研究されてきたものが電圧モード方式である。電圧モード方式はジョセフソン接合の電流電圧特性上のヒステリシス特性を利用し、接合のゼロ電圧状態とギャップ電圧状態を論理値の“0”、“1”に対応させる方式である。これまでに、小規模ではあるが4-bit ジョセフソンコンピュータの動作や、数GHzのシステムクロックでのプロセッサの動作が実証されている。しかしながら、さらなる高速化を目指したばあい、電圧モード方式では接合をゼロ電圧状態にリセットするための交流バイアスを用いる必要があり、交流バイアスの周波数増加に伴うパンチスルー現象などが高速化への妨げとなっている。

本論文は、超伝導ループ中の磁束の量子化（ $\Phi_0 = h/2e = 2.07 \times 10^{-15}\text{Wb}$  単位に量子化される）現象を積極的に用いることにより、ジョセフソン回路のさらなる高速化が実現されることを具体的な集積回路製作を通して明らかにしたものである。本研究における論理方式は、超伝導体の巨視的量子効果である磁束の量子化現象を利用することから、位相モード方式と呼ばれる。位相モード回路は、磁束量子の有無を論理値の“0”、“1”に対応させ、ジョセフソン伝送線路を用いた磁束量子の伝送と、線路の分岐中での磁束量子の運動や相互作用を利用することにより、論理動作を行なうものである。線路中を伝搬する磁束量子パルスは半値幅が約10psecの非常に高速なパルスであり、スイッチングによる定常的な電圧を発生しないことから、高速・低消費電力のスイッチング素子として用いることが可能である。本方式は、上で述べた電圧モード方式とは動作原理が異なっており、消費電力、システム速度のさらなる向上

が見込まれ、数 100GHz の周波数で動作する可能性を秘めた回路方式である。

## 第 2 章 抵抗接地方式による位相モード論理基本回路

本章では、まず初めに磁束量子論理演算を行うジョセフソン伝送線路の分岐回路を接地するための回路構成法を提案し、磁束量子の増幅と信号伝送経路の分岐を行なう 2 種類の分岐回路について議論した。分岐回路の短絡を防ぐため、抵抗を介して回路を接地する抵抗接地方式を導入し、計算機シミュレーションによる分岐回路の動作を検証した。また、万能演算子の機能を持つ ICF (INHIBIT Controlled by Fluxon) ゲートのシミュレーション動作も同方式により確認されている。さらに、これらの基本回路を組み合わせて構成した 2 ビット全加算回路の演算が 100psec で行なえることを明らかにした。

計算機シミュレーションの結果をもとに、Nb/AIO<sub>x</sub>/Nb ジョセフソン接合を用いた基本回路の設計および集積化を行なった。集積化は、ウェットエッチングと Nb の陽極酸化を利用した簡便なプロセスにより行なわれた。試作した基本回路には、入出力回路として低速信号 (msec オーダー) 磁束量子パルス変換回路が付加されている。接地された分岐回路の低速論理動作試験では、磁束量子のファンイン動作が確認され、抵抗接地方式により分岐回路が接地できることを実証した。さらに、基本ゲートである ICF ゲートの動作試験を行ない、基本ゲートの動作を実験的に初めて確認した。

本章での結果は、任意の演算回路を構成する上の基礎として重要であり、演算回路の実現に対し大きな前進となるものである。

## 第 3 章 位相モード基本ゲートを用いた 2 進カウンター回路

第 2 章で、位相モード回路の基本ゲートである ICF ゲートの動作が実証されたことから、本章では具体的な論理演算回路の実現を目指し、ICF ゲートを用いて構成される 2 進カウンター回路の設計、試作および特性の評価を行なった。図 1 は、第 2 章で用いた Nb/AIO<sub>x</sub>/Nb ジョセフソン接合プロセスにより集積した 2 進カウンター回路の顕微鏡写真図である。本章では入出力回路の改良も行ない、動作マージンの大きい磁束量子発生・検出回路が用いられている。

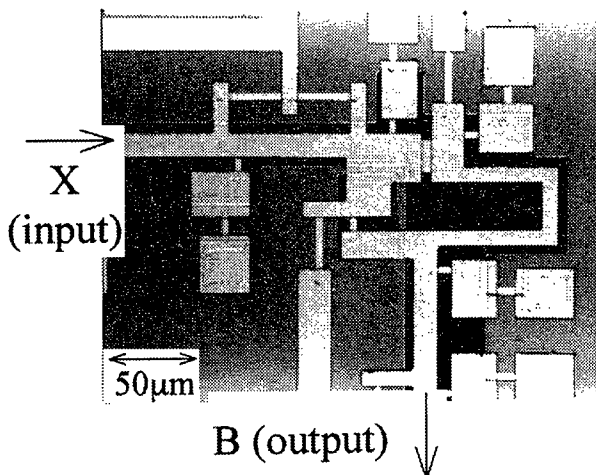


図 1 位相モード 2 進カウンター回路の顕微鏡写真

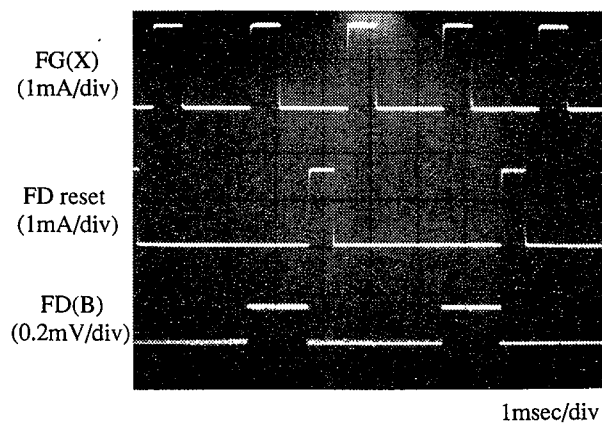


図 2 2 進カウンター回路の論理動作

図2は、低速信号 (nsec オーダー) に対する論理動作の測定結果であり、一番上と3番目の輝線が入力および出力を表している。本結果から、2回目の入力信号の立ち上がりにおいて出力が得られているのが確認され、正常な2進カウンターとしての動作が確認された。本回路は加算回路の桁上げ動作と同じ動作を行なうことから、位相モード加算回路の実現に対し見通しが得られた。

#### 第4章 位相モード基本ゲートを用いた論理加算回路

本章では、演算回路の基本となる論理加算回路を提案し、回路の試作ならびに特性の評価を行なった。回路の集積化は、Nb アンダーレイヤ法とドライエッチングを用いた通産省工業技術院電子技術総合研究所の信頼性の高いプロセスを用いて行なった。図3は集積された加算回路の顕微鏡写真図である。本回路を測定した結果、低速信号に対する論理加算動作が確認された。

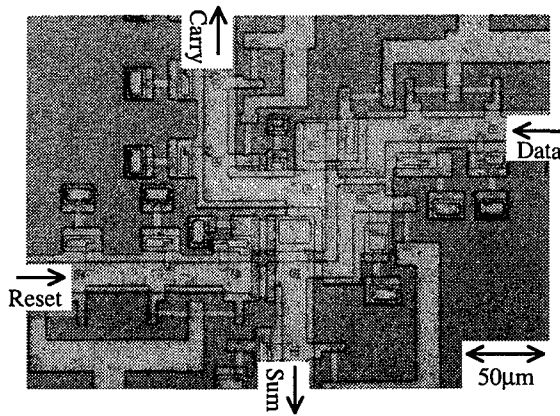


図3 位相モード加算回路の顕微鏡写真

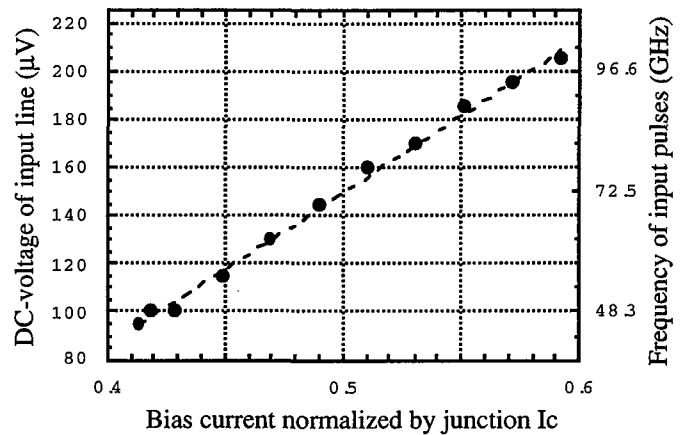


図4 加算回路の桁上げ動作の最大動作周波数

さらに、本回路の高速動作を実証するため、ジョセフソン発振による回路の応答を調べた。ジョセフソン接合に直流電圧を発生させたばあい、ジョセフソンの関係式により  $V = \Phi_0 f$  ( $f$ : 磁束量子信号の周波数) の関係が成り立つ。加算回路の桁上げ動作は、2回のデータ入力に対して1回の桁上げ信号を出力することから、入力電圧  $V_{in}$  と桁上げ線の出力電圧  $V_{out}$  の関係は  $V_{out} = V_{in}/2$  の関係が成り立つ。図4は、この手法を用いて測定した最大動作周波数のバイアスに対する変化である。回路のバイアスを増加させるにつれ、最大動作周波数は増加し、最大で99GHzの磁束量子入力信号に対して桁上げ信号が得られた。本結果から桁上げ論理動作が約20psecで行なえることを明らかにし、その超高速性を実証した。

#### 第5章 位相モード論理集積回路の高性能化

本章では、大規模集積回路実現のための磁束量子論理回路の高性能化について述べた。回路の集積度を高めるために、従来の磁気インダクタンスに代えて、接合の等価インダクタンスを用いることを検討し、回路シミュレーションにより位相モード回路に最適な接合パラメータを導き出した。また、接合の等価インダクタンスを用いた基本ゲートの動作をシミュレーションにより確認している。

位相モード回路では、磁束量子の運動を安定化するために、ヒステリシス特性のない接合を用いる必要がある。従来の回路では、Nb/AIO<sub>x</sub>/Nb 接合にシャント抵抗を付加することにより、ヒステリシス特性を抑制して用いてきた。集積度を高めるため、抵抗を内在的に含むオーバーダンパ型接合として、Alの反応性スパッタリングによる Nb/AlN<sub>x</sub>/Nb 接合の位相モード回路への適用を検討した。試作した Nb/AlN<sub>x</sub>/Nb 接合では、ヒステリシス特性のない位相モード回路に適した接合が得られた。また、回路のバイアス供給抵抗として従来の金属薄膜抵抗に代えて接合のノーマル抵抗を用いることを提言し、これらの回路要素を組み合わせた集積回路では、従来の手法による集積回路の半分の面積で集積できることを明らかにした。特に、接合の等価インダクタンスを用いた回路では、接合の微細化によりさらなる高集積化をはかることが可能である。

さらに、接合の臨界電流密度を増加させることにより回路動作の高速化が可能であることをシミュレーションにより示した。

これらの結果から、磁束量子論理回路の高性能化に対し大きな見通しを得ることができた。

## 第6章 結論

本研究では、次世代情報処理回路としての超高速・低消費電力ジョセフソン回路の実現を目指し、磁束量子論理集積回路の研究を行なった。研究は計算による理論予測だけでなく、回路の設計・試作・測定を通してその可能性を実証することにより行なわれた。本研究での以上の成果は、磁束量子論理回路による超高速・低消費電力マイクロプロセッサの実現に対し、大きな前進となるものである。

## 審査結果の要旨

超伝導ジョセフソン素子は、その超高速性や低消費電力性などから、次世代のコンピュータ素子として注目を集めている。本論文は、超伝導ループ中の磁束量子を情報担体として用いることにより、ジョセフソン回路のさらなる高速化が実現されることを具体的な集積回路製作を通して明らかにしたものであり、全文6章よりなる。

第1章は序論で、本研究の背景と目的について述べている。

第2章では、磁束量子論理演算を行うジョセフソン伝送線路の分岐回路を接地するための回路構成法を提案し、信号数の増幅と信号伝送経路の分岐を行なう2種類の分岐回路及び万能演算子の機能を持つ基本ゲートについて、計算機シミュレーションにより回路動作の評価を行い、これらの基本回路を組み合わせ構成した2ビット全加算回路の演算が100psecで行なえることを明らかにしている。さらに、Nb/AIO<sub>x</sub>/Nb ジョセフソン接合集積プロセスによる基本回路の試作を行ない、分岐回路及び基本ゲートの動作を実験的に実証した。これらの結果は、任意の演算回路を構成する上の基礎として評価できる。

第3章では、基本ゲートを用いて構成される2進カウンター回路の試作と特性の評価について述べている。集積化した回路では、動作マージンの大きい磁束量子発生・検出回路が用いられ、2進カウンター回路の動作を実証している。

第4章では、演算回路の基本となる論理加算回路を提案し、回路の試作ならびに特性の評価について述べている。集積化を行なった回路では、論理加算動作が可能であることを明らかにしている。高速動作の評価では、99GHzの磁束量子入力信号に対して桁上げ信号が得られており、本結果から桁上げ論理動作が約20psecで行なえることを明らかにし、その超高速性を実証している。

第5章では、磁束量子論理回路の高性能化について述べている。回路の集積度を高めるために接合の等価インダクタンス、オーバーダンブ型接合および接合のノーマル抵抗を用いることを提言し、これらの回路要素を組み合わせた集積回路では、従来の手法による集積回路の半分の面積で集積できることを明らかにしている。さらに、接合の臨界電流密度を増加させることにより回路動作の高速化が可能であることをシミュレーションから示している。

第6章は結論である。

以上要するに本論文は、磁束量子論理素子の超高速性を実際の集積回路を用いて明らかにし、演算回路を実現することにより超高速コンピュータ実現に向けた磁束量子論理素子の有用性を実証したものであり、電気・通信工学ならびに超伝導工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。