

氏名	うしき たけお 牛木 健雄
授与学位	博士(工学)
学位授与年月日	平成 11 年 3 月 25 日
学位授与の根拠法規	学位規則第 4 条第 1 項
研究科、専攻の名称	東北大学大学院工学研究科(博士課程) 電子工学専攻
学位論文題目	極微細金属ゲート SOI デバイスの研究
指導教官	東北大学教授 大見 忠弘
論文審査委員	主査 東北大学教授 大見 忠弘 東北大学教授 坪内 和夫 東北大学教授 星宮 望

論文内容要旨

第1章 序論

過去 40 年急成長を続け、「産業の米」とまでいわれた半導体産業であったが、従来技術の延長では、来る 21 世紀に市場出荷が義務づけられているギガ・スケール・インテグレーションの実現どころか、半導体工業は産業として破綻しかねない状況にある。技術世代が進むにしたがって、集積回路構造はその複雑さを増したことにより、そして、半導体産業のグローバル競争時代への突入により、企業は、まさに社運を賭けた巨大な設備投資と研究開発費投資を毎年強いられる経済状況に陥りつつあるからである。本研究の目的は、従来技術に比べて、動作特性を向上させつつ、デバイス構造とプロセス技術の簡素化が可能な、金属ゲート SOI デバイス技術の具現化である。

現在、ロジック・デバイスで広く採用されているゲートスタック構造は、nMOS のゲート電極材料には n⁺ポリシリコンを、pMOS のゲート電極材料には p⁺ポリシリコンを用いたデュアルゲート CMOS 構造である。また、基板は、イオン注入法を用いて複雑な不純物プロファイルをもたせたシリコン基板構造である。デバイス構造の微細化により次々に発生する寄生効果を回避するために、対処療法とも言うべきプロセス技術を歴史的に付加し続けてきたためであるが、同時に、非常に複雑なデバイス構造でもある。本研究で扱う、金属ゲート SOI デバイス構造は、①ゲート層抵抗が本質的に低い、②ポリゲート空乏化効果フリーである、③チャンネルのキャリア移動度劣化を伴わずに CMOS 閾値電圧の設定が可能である、④素子の絶縁耐圧が高い、⑤寄生容量が低い、⑥放射線耐性が高い、⑦基板バイアス効果が著しく低い、⑧デバイス活性層を完全空乏化させることで短チャンネル特性が向上するなど、従来技術に比べて優れた動作特性を有すると同時に、デバイス構造が簡素化され製造工程数が半減するため、ローコスト化が可能である。現在、産業界で主流である、Ti シリサイド・デュアルゲート CMOS プロセスと比較すると、本研究で取り扱う Ta ゲート SOI CMOS プロセスは、ウェハ前工程において、前者の約 44% の工程数で完了することが可能である。

第2章 High-dose SIMOX 基板の活性シリコン層／埋め込み酸化膜界面に存在する電気的活性欠陥の解析

第 2 章では、SIMOX ウェハのシリコン薄膜層 (SOI 層) /埋め込み酸化膜層 (BOX 層) 界面に存

在する電氣的活性欠陥のエネルギー準位分布抽出方法について述べている。数ある SOI ウェハの中で、現在最も技術的・商業的に成熟しつつある SIMOX ウェハと貼り合わせウェハを用いて、完全空乏化 SOI MOS デバイスの動作性能と信頼性を大きく左右するシリコン活性層／埋め込み酸化膜層界面の電氣的活性欠陥について比較した。完全空乏化 SOI MOS デバイスのバックゲート相互コンダクタンス特性において急峻なキंक現象が SIMOX ウェハについてのみ観測された。両ウェハの特性を比較することにより、nMOS トランジスタにおけるキंक現象は SOI/BOX 界面に存在するドナーライクな電子トラップサイト、pMOS トランジスタにおけるキंक現象は SOI/BOX 界面に存在するドナーライクなホールトラップサイトの存在によるものであることを明らかにした。また、従来モデルでは無視されていた SOI デバイスのシリコン支持基板における電圧ドロップを考慮した、SOI/BOX 界面ポテンシャルに関する解析モデルを新たに導出した。この解析モデルの使用により、SIMOX ウェハの SOI/BOX 界面にはドナーライクな電子トラップサイトが Si のミッドギャップの上側 $\sim 0.325\text{eV}$ を中心とした非常に狭いエネルギー範囲に $\sim 6.0 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ の密度で、またドナーライクなホールトラップサイトが Si のミッドギャップの下側 $\sim 0.35 \text{ eV}$ を中心とした非常に狭いエネルギー範囲に $\sim 1.0 \times 10^{12} \text{ cm}^{-2}\text{eV}^{-1}$ の密度で存在していることを示した。また、SIMOX 製造プロセスそのものが、貼り合わせウェハにおいては存在しない弱く結合した Si-O 結合と Si-Si 結合を SOI/BOX 界面に生み出し、その結果、上記のような電氣的活性欠陥として振る舞うものと結論づけた。

第3章 Xe プラズマ・スパッタリング技術による Ta ゲート MOS デバイスのゲート酸化膜信頼性向上効果

第3章では、ゲート酸化膜にダメージを与えるとして Ta ゲート MOS デバイス製造プロセスの中で一つの課題とされてきた Ta スパッタリング成膜工程に着目し、このプラズマ誘起ゲート酸化膜ダメージの大幅な低減が可能なスパッタリング成膜技術を記述した。MOS デバイスの心臓部であるゲート酸化膜上に、ゲート金属材料をスパッタリング成膜する場合、高エネルギーを持った不活性ガスイオンのゲート酸化膜への物理的な衝突がゲート酸化膜中にホールトラップ・サイト生成を引き起こし、その結果、ゲート酸化膜の信頼性を大きく劣化させていることを明らかにした。そして、このプラズマ誘起ゲート酸化膜ダメージを抑制するためには、低エネルギーで且つ重いイオンを用いたゲートメタル・スパッタリング成膜プロセスを開発するべきであるという技術開発指針を示した。ゲート酸化膜へのイオン照射エネルギーが 20eV 、質量が従来の Ar イオンに比べて約 3.3 倍重い Xe イオンを用いたスパッタリング法によりゲート電極を成膜した Ta ゲート MOS デバイスは、ゲート酸化膜特性に関して、絶縁破壊電界で約 $1.3\text{-MV}\cdot\text{cm}^{-1}$ 、 $50\%\text{-}Q_{\text{BD}}$ (基板注入電流密度： $0.1\text{-A}\cdot\text{cm}^{-2}$) で約 $30\text{-C}\cdot\text{cm}^{-2}$ と、現在ゲート電極材料として標準的に用いられているポリシリコンゲート MOS デバイスとほぼ同等な性能を示した。また、ホットキャリア寿命の観点からも、ポリシリコンゲート MOS デバイスと同等なデバイス寿命を示した。さらに、ゲートメタル・スパッタリング成膜プロセスがゲート酸化膜へ与えるダメージと、そこでのイオン照射エネルギーの相関関係を表す、簡略化した物理モデルについても記述した。

第4章 Ta/SiO₂ 界面に存在する中間層が Ta ゲート MOS デバイスの動作性能及び信頼性に与える影響

第4章では、第3章での成果をもとに作製した Ta ゲート MOS デバイスが、ポリシリコンゲート MOS デバイスと比較して高い駆動電流を有することに着目して、この原因に関する解析結果を記述した。MOS デバイスの電氣的特性、高解像度 TEM 観察などによる物理的測定、Gibbs の自由エネルギーを用

いた熱力学解析により、ゲート電極とゲート酸化膜の界面には、Ta と SiO₂ との化学反応で生じた中間層が存在することを明らかにした。この界面反応は、ゲート酸化膜厚を約 1nm 薄くしてしまう一方で、反応生成物からなる中間層はゲート酸化膜上において熱力学的に非常に安定であり、かつ更なる化学反応に対する内部拡散障壁の働きをしていることを明らかにした。

第5章 ウルトラクリーン低温プロセスによる極微細 Ta ゲート完全空乏化 SOI MOSFET

第5章では、極微細 Ta ゲート MOSFET を作製する上で、その性能と信頼性を改善するプロセス温度と SOI 層膜厚に関する包括的な設計ガイドラインを示した。Ta 成膜後のプロセス温度をすべて 700℃ 以下にすることで、ゲート酸化膜と Ta との界面反応或いは界面ストレスによる、ゲート酸化膜信頼性の劣化及びシリコン基板中少数キャリア生成寿命の劣化を抑制することが可能であることを示した。また、従来の Bulk MOS デバイスと異なり、SOI MOS デバイスにおけるソース/ドレイン層形成プロセスにおいて、非晶質化したイオン注入層を再結晶化するためには、SOI 層膜厚よりイオン注入層深さを浅くしなければならないことを実験的に示した。さらに、これまで得られた成果をもとに、電子線リソグラフィ技術及びウルトラクリーン・ドライエッチング技術を用いて、ゲート長 0.15μm、ゲート酸化膜厚 5nm、膜厚 100nm の低不純物濃度 ($N_{\text{SOI}}=5 \times 10^{14} \text{cm}^{-3}$) SOI 層をもつ Ta ゲート完全空乏型 SOI MOS デバイスを貼り合わせ SOI ウェハを用いて試作し、室温での良好な動作特性を確認した。また、試作した CMOS リング発振器に関しても、その発振状態を初めて確認した。

第6章 結論

本論文の成果を要約すると以下のようになる。

1. High-dose SIMOX 基板の SOI 層/BOX 層界面には、熱酸化膜界面においては観測することができない、特異なエネルギー準位分布を有する電氣的活性欠陥が存在することを明らかにした。
2. ダメージを誘発することになしに、ゲート酸化膜上にゲート電極材料をスパッタリング成膜するためには、ゲート酸化膜へのイオン照射エネルギーを可能な限り小さくし、照射するイオンの質量をより大きくしなければならない、という技術指針を提示した。
3. Ta ゲート MOS プロセスにおいて必然的に発生する Ta/SiO₂ 界面反応こそが、ゲート酸化膜厚を約 1nm 薄くし、一方で、その反応生成物である中間層は更なる界面反応に対する内部拡散バリアの役割を果たしていることを解明した。
4. 超高速 MOS デバイスをローコストで製造するために不可欠な、金属ゲート完全空乏化 SOI CMOS デバイスを、ウルトラクリーン低温プロセスを用いて試作し、その良好な動作特性を実証した。今後の課題としては、ゲート層抵抗の上昇を引き起こす Ta ゲート電極の表面酸化・水素吸蔵現象を抑制するプロセス技術開発が挙げられる。これらの課題を解決することにより、金属ゲート SOI デバイス技術は、ギガ・スケール・インテグレーションの具現化に寄与するものと期待される。

審査結果の要旨

半導体集積回路の微細化と半導体産業のグローバル競争時代への突入に伴い、その技術的・物理的な限界或いは経済的な問題点が顕在化してきており、来る 21 世紀に市場出荷が義務づけられているギガ・スケール・インテグレーション (GSI) の実現に向かって、簡素なデバイス構造とそのプロセス技術の確立が半導体産業延命の絶対条件とされている。著者は、デバイス簡素化の決め手と考えられるゲート電極材料に関して nMOS、pMOS の両者に対してタンタル (Ta) の採用、デバイス構造に関して SOIC MOS デバイスの採用を検討し、Ta ゲート完全空乏化 SOICMOS デバイスを試作し、その良好な動作性能及び信頼性を実証した。本論文はこれらの研究成果を取りまとめたもので、全文 6 章よりなる。

第 1 章は序論である。

第 2 章では、SIMOX ウェハのシリコン薄膜層/埋め込み酸化膜層界面に存在する電氣的活性欠陥のエネルギー準位分布抽出方法について述べている。本解析結果は、完全空乏化 SOICMOS デバイスを作成するウェハ選択基準を左右するもので、極めて重要な知見である。

第 3 章では、従来課題とされてきたプラズマ誘起ゲート酸化膜ダメージを大幅に低減することを可能とする Ta スパッタリング成膜技術の開発について述べている。Ar イオンに代わり質量・原子半径・衝突断面積が大きくイオン化エネルギーの小さい Xe イオンを用い、かつゲート酸化膜へのイオン照射エネルギーを $\sim 20\text{eV}$ と低くすることで、従来のポリシリコンゲート構造と同等のゲート酸化膜特性を有する Ta ゲート構造を形成可能であることを実証している。

第 4 章では、Ta ゲート CMOS デバイスにおけるゲート電極とゲート酸化膜の界面に存在する中間層の発見と、それがデバイスの動作特性と信頼性に与える影響に関して記述している。

第 5 章では、高信頼性極微細 Ta ゲート SOICMOS デバイスを作製する上でのプロセス温度と SOI 層膜厚に関する包括的な設計指針について記述している。更に、ゲート長 $0.15\mu\text{m}$ の極微細 Ta ゲート完全空乏化 SOICMOS デバイスを製作し、その良好な動作特性を実証している。

第 6 章は結論である。

以上要するに本論文は、超高速 CMOS デバイスを実現する上で不可欠な金属ゲート完全空乏化 SOI CMOS デバイスが、低エネルギーかつ質量・原子半径・衝突断面積の大きい Xe イオン照射を用いたゲート電極形成プロセスと、ゲート電極とゲート酸化膜との不要な界面反応を抑制するウルトラクリーン低温プロセスにより実現可能であることを明らかにしたもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士 (工学) の学位論文として合格を認める。