

	やま ぐち たか ひろ
氏名	山 口 隆 弘
授 与 学 位	博士 (工学)
学 位 授 与 年 月 日	平成 1 1 年 3 月 2 5 日
学 位 授 与 の 根 拠 法 規	学位規則第 4 条第 1 項
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	超 LSI テスト手法の研究
指 導 教 官	東北大学教授 大見 忠弘
論 文 審 査 委 員	主査 東北大学教授 大見 忠弘 東北大学教授 亀山 充隆 東北大学教授 川又 政征

## 論文内容要旨

VLSI システム性能の飛躍的發展を継続させるには、VLSI システムテストにミックスド信号回路のテスト技術を適用可能にすることがキーになっている。本研究は、ミックスド信号テスト技術をマイクロコンピュータ・チップ上のクロック発生回路テストに応用した。VLSI テストでは、テスト項目当たり 100msec 程度のテスト時間しか割り当てられない。このため、従来のジッタ測定手法は VLSI 製造ラインでのテストへは適用されていない。しかし、マイクロコンピュータのクロック周波数は、1.0 GHz の限界を超えようとしており、クロック周期を一桁精確に制御したり、クロック周期の揺らぎを一桁精確にテストする技術がもとめられている。また、VLSI の發展に同期するためには、これらの技術はスケラブルでなければならない。

第 1 章は、VLSI システムをテストする 2 種類の方式を紹介した。外部テスト方式は ATE (automatic test equipment) をもちいる。組み込みテスト方式はオンチップにテスト回路を追加する。スキャン設計は、回路内部のフリップフロップをシリアルに接続し、シフトレジスタとして動作させる。つぎに、ファンクションテストとパラメトリック・テストを定義し、マルチメディア用 VLSI システムを事例として製造ラインにおける VLSI システムテストの概要を説明した。

最後に、(i) VLSI システムの進歩と高速化は、あたらしいテスト手法を必要とし、(ii) VLSI システムと ATE の相対性能差は拡大していることを指摘した。また、(iii) 超高速化する VLSI システムのテストコストを最小にするキーは、ミックスド信号回路のあたらしいテスト手法であることを明らかにした。

第 2 章は、マイクロコンピュータ・クロック発生回路の特徴を示した。マイクロコンピュータでは、クロック発生回路のピークジッタ (peak-to-peak jitter) がその動作周波数の上限を決めてしまう。一方、通信システムのクロック発生回路では、RMS (root mean square jitter) ジッタが重要である。つぎに、PLL (phase-locked loop) 回路の各ブロックの動作を簡単に説明した。最後に、PLL 回路の雑音と出力信号の位相雑音の関係を解析した。これは、この章の最も重要なポイントであり、ジッタをシミュレーションする方法をあたえた。

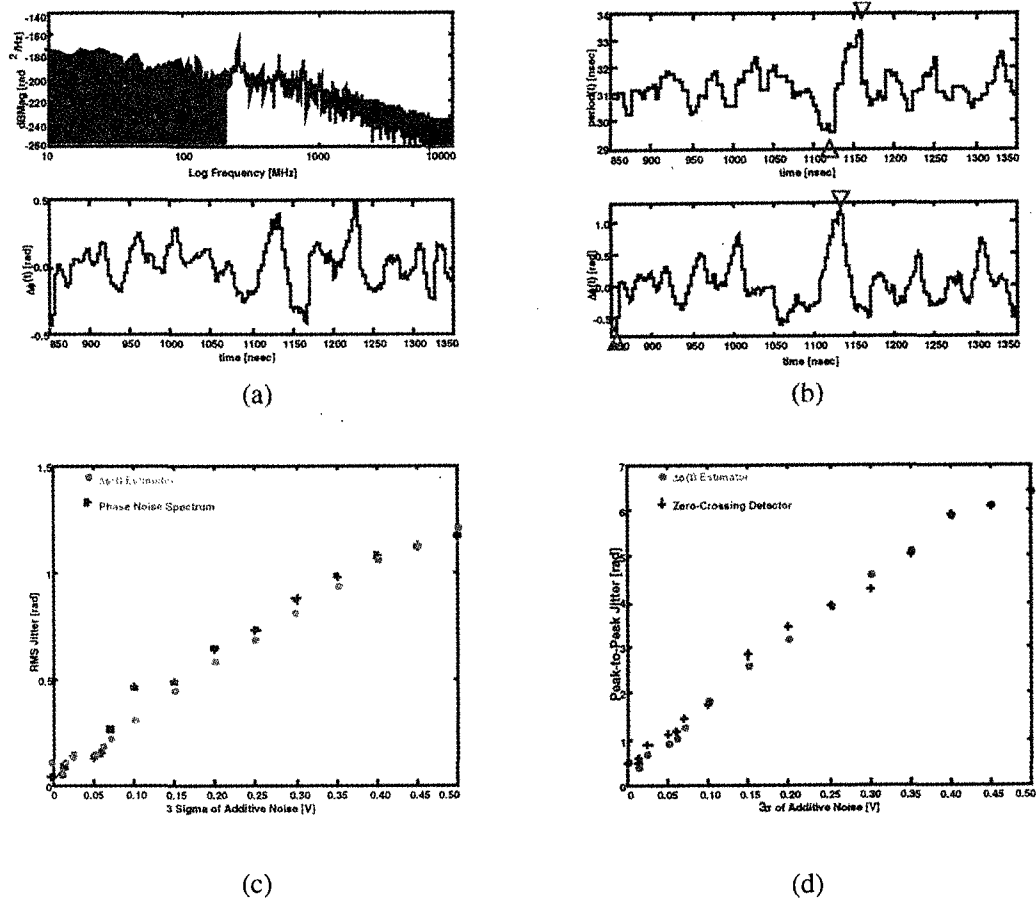


図 1 RMS ジッタとピークジッタ. (a) RMS ジッタ：位相雑音スペクトル法と位相雑音波形推定法.  
 (b) ピークジッタ：ゼロクロス法と位相雑音波形推定法. (c) RMS ジッタ推定値の比較.  
 (d) ピークジッタ推定値の比較.

第 3 章は、クロックのジッタを測定する手法 ( $\Delta\phi(t)$ 法) を開発した：Hilbert 変換によりクロック波形を解析信号に変換し、瞬時位相の変動項 $\Delta\phi(t)$ を推定する。従来、ピークジッタはゼロクロス法をもちいて推定し、RMS ジッタはスペクトル法をもちいて測定していた。提案手法は、(i) ピークジッタと RMS ジッタを同時に推定でき、(ii) 従来法の推定値と互換性をもつ。また、 $\Delta\phi(t)$ 法は、分周されない VCO (voltage-controlled oscillator) 発振波形でも分周された PLL クロック波形でも被測定波形とし、そのジッタを推定できる。

第 4 章は、第 3 章のジッタ測定手法を拡張し、PLL 回路の遅延故障を検出する手法を開発した：(i) 周波数インパルスをもつ PLL に印加し、(ii) PLL 回路をある発振周波数状態に中間的に滞在させ、(iii) その時間間隔を測定することにより回路の遅延故障を検出する。 $\Delta\phi(t)$ 法は波形の周期が短いときも時間分解能に制限をうけないため偏り誤差は小さく、テスト手法として適切である。

第 5 章は、プロセスばらつきが PLL の動特性に大きな影響をあたえる可能性をプルイン時間で具体的に示した。同時に、条件付分散をもちいて、測定値（電流スタブド・インバータの遅延時間特性と電流スタブド電圧制御発振器の発振周期特性）の分散を最大にする条件を明らかにした。

第 6 章は、新しいテストデータ圧縮法を提案した。テストデータの圧縮アルゴリズムは 2 つの要求を満たさなければならない：損失のない圧縮と簡単な復号化手順。提案手法のキーとなるアイデア

アは、各ピンの個々のテストシーケンスに Burrows-Wheeler 変換をおこない、その後でランレングス符号化を適用することである。5 つのテストセットにたいする提案手法の平均圧縮率は 315 : 1 であり、つぎに性能のよかった LZW 法の平均圧縮率は 21 : 1 であった。

この博士論文の最も重要な貢献は、クロック発生回路のテスト手法の提案である。理論面では、クロック・ジッタがクロック波形の基本波の位相にのみ関係していることを明らかにした。この理論により、ジッタの存在するクロック波形を帯域制限波形としてあつかうことを可能とした。また、信号の立ち上がりエッジのみを標本化するとき、 $\Delta\phi(t)$ 法はゼロクロス法と等価になることを証明した。すなわち、 $\Delta\phi(t)$ 法の推定値が従来手法と互換性をもつことの根拠をあたえた。さらに、位相アンラップ条件から $\Delta\phi(t)$ 法の標本化周波数の下限を導いた。直交変調と低域通過フィルターを組み合わせることにより、 $\Delta\phi(t)$ 法の標本化周波数下限を  $2fc$  から  $2(\Delta f)$  へ小さくできることの証明もあたえた。

VLSI 製造プロセスの大域ばらつきを条件付分散で分析し、VCO テストや PLL テストの条件を導いた。さらに、条件付分散をもちいて高速クロック回路設計のための方針、リング発振器の発振周波数測定と VCO テストの発振周期測定の妥当性を統一的に導いた。

テスト手法としてつぎのものを開発した。位相雑音波形 $\Delta\phi(t)$  はクロック波形をランダムに位相変調していると解釈し、クロック波形の瞬時位相からクロックのジッタを推定する手法を開発した。また、瞬時位相波形の傾きを観測すると、PLL 回路の発振状態をモニターできる。したがって、この $\Delta\phi(t)$ 法は、PLL 回路の遅延故障検出にも適用可能であることを明らかにした。とくに $\Delta\phi(t)$ 法は VLSI 回路内部の遅延を信号のみから推定できる性質をもっているため、電子ビームをもちいた VLSI 回路の故障解析にも応用できる。

ゼロクロス法により測定した瞬時データをスプライン関数で補間する方式の妥当性を否定する反例を提起した：分周された PLL クロック波形 $\Delta\phi(t)$ は不連続波形であり、不連続ポイントをスプライン関数で補間しても、 $\Delta\phi(t)$ をあたえることは不可能である。

PLL 回路の遅延故障がシステムに与える影響を明らかにした。位相周波数検出器の基準クロック入力端に遅延故障が存在すると、一定時間間隔のクロック・スキューが生じ PLL により補償されず、定常偏差になる。チャージポンプ回路の信号入力端に遅延故障が存在すると、PLL 回路の状態遷移に対応して過渡的にクロック・スキューがあらわれる。

VLSI 製造プロセスの大域ばらつきが PLL 特性に与える影響を明らかにした。適切なパラメトリックテストが必要であることをプルイン時間で具体的に示した：周波数掃引方向に注意しないとテストの効果が無い。

## 審査結果の要旨

デジタル回路とアナログ回路が混在したミックスド信号回路については、テスト容易化設計手法の実用化は遅れている。ミックスド信号回路のテストにはアナログ信号にたいする測定手法が主に適用されている。しかし、複雑な測定系と測定時間を要するためにコストは膨大である。このため、マイクロコンピュータや通信システムにおいて重要なクロック発生回路は、テストされていないのが実状である。クロック発生回路はミックスド信号回路である。したがって、ミックスド信号回路の新しいテスト手法開発が、超高速化する超 LSI システムのテストコストを最小にする要の技術のひとつである。著者は、ジッタがクロック波形をランダムに位相変調していると推定して、クロックジッタを測定する手法を提案した。さらに、この手法を拡張し、位相同期ループ (PLL) 回路の遅延故障を検出する手法も開発した。本論文はこれらの成果をとりまとめたもので、全文 7 章よりなる。

第 1 章の序論は、超 LSI システムテストの基本と事例を紹介している。PLL 回路がクロック発生回路として用いられている。

第 2 章では、電圧制御発振器 (VCO) の位相雑音が PLL ジッタの主要因であることを明らかにしている。

第 3 章では、瞬時位相推定にもとづくジッタ測定法を提案実証している。これは重要な成果である。

第 4 章では、PLL 回路の遅延故障を検出する手法を論じている。ジッタ測定法と遅延故障検出法は、SPICE シミュレーションと Matlab をもちいた測定シミュレーションにより検証されている。

第 5 章では、超 LSI 製造プロセスのばらつきについて議論し、プロセスのばらつきが電流スタブド・インバータの遅延時間特性や電流スタブド VCO の発振周期特性にあたる影響を明らかにしている。同時に、プロセスばらつきが PLL の動特性に大きな影響をあたえることをプライン時間で具体的に示している。ATE (automatic test equipment) の全体のスループットは、テストデータのダウンロード時間に影響される。ダウンロード時間を短縮する効果的方法は、ダウンロード前にテストデータを圧縮することであることを明らかにしている。これは実用上重要な成果である。

第 6 章では、新しいテストデータ圧縮法を提案している。キーとなるアイデアは、テストパターンのシーケンスに Burrows-Wheeler 変換をおこない、その後でランレングス符号化を適用することである。

第 7 章は結論である。

以上要するに本論文は、超 LSI システムのテストにおいて、集積化される PLL 回路のジッタ測定法と遅延故障検出法を提案しその有効性を実証したもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。