

氏名	うえだ なおき 上田 直樹
授与学位	博士(工学)
学位授与年月日	平成14年3月25日
学位授与の根拠法規	学位規則第4条第1項
研究科、専攻の名称	東北大学大学院工学研究科(博士課程)電子工学専攻
学位論文題目	高性能高信頼性フラッシュメモリ形成技術に関する研究
指導教官	東北大学教授 大見 忠弘
論文審査委員	主査 東北大学教授 大見 忠弘 東北大学教授 川又 政征 東北大学教授 亀山 充隆 (情報科学研究科) 東北大学助教授 小谷 光司

## 論文内容要旨

### 1. はじめに

フラッシュメモリは、MOS構造応用デバイスの中でもゲート絶縁膜信頼性に最も敏感なデバイスである[1]。高性能、高信頼性フラッシュメモリの実現と微細化を両立するためには、トンネルゲート絶縁膜や Poly-Poly 絶縁膜の薄膜化による動作電圧の低減とメモリトランジスタの微細化が必須である。しかしながら、従来の高温熱酸化手法では、成膜技術自体の限界とサブクオータミクロン世代から導入されたシャロートレンチ素子分離技術(Shallow Trench Isolation; STI)に対する不整合が顕在化し、これらの薄膜化が困難になりつつある。

本研究では、これらを解決する方法を、成膜技術単独ではなく、これが性能を発揮できる STI 技術を含めて提案し、デバイスへの適応指針に至るまでを明確にする。まず、STI エッジ近傍の最適な Si 基板形状を低ストレスで実現可能で、優れたスケーラビリティを持つ 2-Step トレンチ酸化法を提案する。次に、STI エッジ部分におけるゲート絶縁膜の不均一による信頼性劣化が、マイクロ波励起高密度 Kr/O<sub>2</sub> プラズマによるラジカル酸化膜によって大きく改善されることを示す。さらに、このラジカル酸化技術が、ポリシリコン上で高品質な絶縁薄膜を形成可能である特長に着目し、フラッシュメモリ Poly-Poly 絶縁膜を本技術によりトンネル絶縁膜よりもダイナミックに薄膜化することで、フラッシュメモリの動作電圧の大幅な低減と微細化を可能にする手法とデバイス縮小則を新たに提案する。また、本技術のアドバンテージを 3次元チャンネル構造を持つトレンチゲート MOSFET 等に適用することにより、シリコントレンチやピラー形状に対する非常に優れた膜厚均一性と、非(100)面に対する非常に優れた酸化膜性能を持つことを確認し、微細化が困難であったフラッシュメモリの高耐圧周辺回路の大幅な縮小手段として提案する。

### 2. 実験方法

#### (a) 2-Step ラウンド酸化 STI 法

Si 基板表面にトレンチを形成した後、内面に犠牲酸化を行い、この酸化膜をフッ酸浸液にて除去することで Si コーナーと窒化シリコン膜との間に空間を形成する。さらにトレンチ内面を高温雰囲気にて酸化する。その後、トレンチ内に高密度プラズマ CVD 酸化膜を充填し、CMP により平坦化する。この工程により形成される STI を用い、MOS キャパシタ及び、NOR 型フラッシュメモリアレイを試作、評価した。

### (b) 酸化膜の STI エッジ、トレンチ内面における性能評価

マイクロ波励起高密度 Kr/O<sub>2</sub> プラズマによる 400°C 酸素ラジカル酸化プロセスは、0.7eV という低い電子温度により、表面ダメージやメタル汚染がない、高品質酸化膜の形成が可能な技術である [2, 3]。この酸化技術は、熱酸化膜と同等以上の高品質な薄膜を形成可能なだけでなく、従来の熱酸化プロセスと比較して、酸化種である酸素ラジカルが酸化膜中の輸送に律速されない酸化反応律速モードを持つ特徴がある [3]。STI、3次元 Si 基板構造を下地とした場合の酸化膜カバレッジを検討し、さらに非 (100) 面方位の MOSFET、トレンチゲート MOSFET を試作し、これらの電気的特性を評価した。

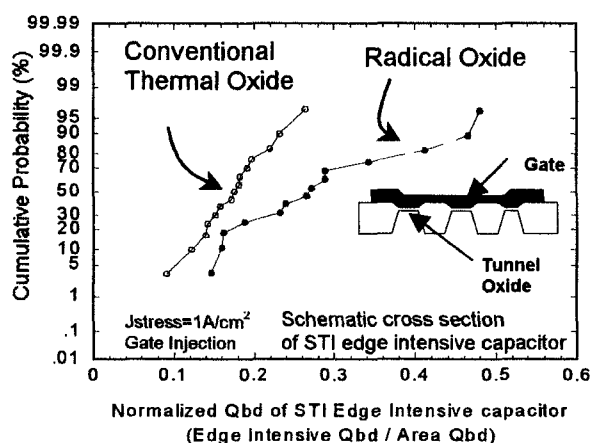
### (c) ラジカル酸化技術によるフラッシュメモリのスケーリングシナリオ

フラッシュメモリのモデリングによって、メモリセルの Poly-Poly キャパシタ容量を一定にしつつ薄膜化することで、メモリセル面積の微細化を同時に進める、新しいフラッシュメモリの設計手法とスケーリングシナリオを明らかにした。

## 3. 実験結果及び考察

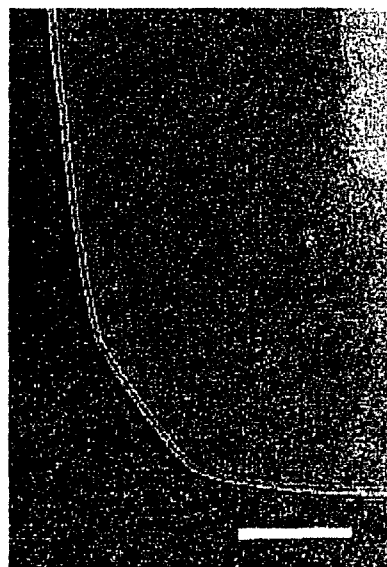
### (a) 2-Step ラウンド酸化 STI 法

Si コーナー部に酸化膜を充填しない状態で酸化を施すことにより、酸化膜の容積膨張に伴うストレスを制御できる。トンネル酸化膜の信頼性を示す Charge-to-Breakdown (Qbd) 特性は、特に STI エッジを強調したキャパシタ構造で、本技術で大きく改善されている。さらに犠牲酸化量をスケーリングし最適化することにより、0.13 μm 世代フラッシュメモリーに適用可能な領域まで縮小しても従来のような Qbd の劣化が起こらない。CMOS プロセスとの整合性を重視した STI では、ゲート電極が、Si のコーナーを覆うように形成されるが、このような構造にもかかわらず、本 STI 技術で形成されたフラッシュメモリーは、F-N 消去電流の均一性を示す消去後のセル閾値電圧均一性と、書き換えサイクル信頼性において、LOCOS プロセスによるものと同様以上の性能を持つことを確認した。



### (b) 酸化膜の STI エッジ、トレンチ内面における性能評価

マイクロ波励起高密度 Kr/O<sub>2</sub> プラズマによるラジカル酸化の酸化レートは、従来熱酸化膜が実用膜厚ではパラボリックレートで成長するのに対して、リニアレートで成長する [3]。このことは、ラジカル酸化が酸化種の輸送律速ではなく、酸化種と基板 Si との反応律速になっていることを示す。スムーズに形成された STI コーナープロファイル上でも、フィールド領域と活性領域の境界で、ゲート酸化膜の薄膜化が発生する。ラジカル酸化は、上述の効果により、STI エッジでも十分な膜厚カバレッジを実現できることを確認した。さらに、Kr/O<sub>2</sub> ラジカルによる酸化膜は、(100) 面方位上のみならず、STI のエッジコーナーに沿った (111) 面方位上でも高品質な酸化膜を形成可能な特徴を持つ [3]。これらの効果により、STI エッジ強調キャパシタ Qbd の平面成分に対するエッジ成分の劣化が大きく改善された (図 1)。このように、同技術は、実際のデバイスにおける微細 STI 構造が律速してきたトンネル絶縁膜の薄膜化課題の 1 つをブレイクスルー可能である。また、この検討をトレンチ内面の基板表面全体に対しても行った。図 2 に示すように Kr/O<sub>2</sub> ラジカル酸化膜は、トレンチ底面の (100) 面方位基板から、トレンチコーナーの (111) 面を經由して、トレンチ側壁の (110) 面へかけて、きわめてスムーズで



均一なカバレッジを示している。熱酸化膜では、トレンチ側壁で底面の50%以上の膜厚上昇が見られる上に、コーナー部分での局所的な薄膜化が発生する。これらは、3次元チャンネルを持つMOSFETでは、駆動力劣化や、ゲートリーク、耐圧の劣化の原因となるが、Kr/O<sub>2</sub>ラジカル酸化膜では、これらに対して大きなアドバンテージがある。

(c) ラジカル酸化技術によるフラッシュメモリのスケーリングシナリオ

Kr/O<sub>2</sub>ラジカル酸化膜は、ポリシリコン上にもバリアハイトの高い高品質絶縁膜を形成可能である[4]。フラッシュメモリのPoly-Poly絶縁膜は、電子のFNトンネリングに対する信頼性と絶縁性の両立が必須であるトンネル絶縁膜と異なり、絶縁性の確保ができればよい。ラジカル酸化膜は、ポリシリコンとの高い整合性から、薄膜化を容易に進めることができる。メモリセル面積のスケーリング(1/k<sup>2</sup>)に対して、Poly-Poly絶縁膜厚を1/k<sup>2</sup>で薄膜化することにより、Poly-Polyキャパシタ容量を一定、メモリセルの保持電荷を一定にする。これを基本則として、Poly-Poly絶縁膜間電界の最大値を抑制するようにメモリセル閾値電圧におけるHigh側とLow側の差を低減していくことで、記憶保持電荷量を緩やかに縮小していくルールを提案する。これにより、従来のスケーリング則にない、i)トンネル絶縁膜に余裕を持たせた動作電圧の低減、ii)カップリングレシオの強化によるメモリセルチャンネル長の微細化、駆動力強化、iii)記憶保持電荷量の縮小による信頼性の確保等のメリットが生まれる。

#### 4. まとめ

高性能、高信頼性フラッシュメモリの実現と微細化を両立するためには、トンネルゲート絶縁膜やPoly-Poly絶縁膜の薄膜化による動作電圧の低減とメモリトランジスタの微細化が必須である。

我々は、まず、STIエッジ近傍の最適なSi基板形状を低ストレスで実現可能な2-Stepトレンチ酸化法を提案し、0.13μm世代まで微細化可能なデバイスレベルの信頼性と、さらなる微細化に対する最適化手法を確立した。次に、マイクロ波励起高密度Kr/O<sub>2</sub>プラズマにより生成されたラジカル酸素によるトンネルゲート絶縁膜形成手法によって、STIエッジ部分におけるゲート絶縁膜の不均一性とSTIエッジ近傍でのQbd信頼性劣化が、大きく改善されることを示した。さらに、この酸化技術が、ポリシリコン上に高品質な絶縁薄膜を形成可能である特長に着目し、Poly-Poly絶縁膜をトンネル絶縁膜よりも薄い領域まで大幅に薄膜化することにより、フラッシュメモリの動作電圧の大幅な低減と微細化を可能にするデバイス縮小則を新たに提案した。また、本技術のアドバンテージを3次元チャンネル構造を持つトレンチゲートMOSFETに適用することにより、0.1μmゲート長まで微細化可能な高性能高信頼性3次元MOSFETを実現できることを示した。これにより、フラッシュメモリーと周辺高耐圧デバイスを同時に電圧縮小による微細化トレンドに乗せることができることを示した。

#### 5. 参考文献

- [1] H. Watanabe et al., IEDM, p833 (1996)
- [2] M. Hirayama et al., IEDM, p249 (1999)
- [3] Y. Saito et al., VLSI Tech. Symp. p176 (2000)
- [4] F. Imaizumi et al., SSDM, p170 (2001)

# 論文審査結果の要旨

フラッシュメモリを高性能化高信頼性化していく上で、最も限界に近い課題は絶縁膜の薄膜化である。電荷保持性能が要求される上、微細化の進展による工程の複雑化や形状の準3次元化が進み、薄膜化をさらに困難なものにしている。このように、メモリセルの電界一定則に基づく微細化、高信頼性化を行うには、高品質でかつこれらと高い整合性を持つ成膜技術の創出に加えて、成膜技術が性能を発揮しやすい統合プロセス技術およびメモリセル設計技術を再構築して、成膜技術のメリットを最大限に引き出す必要がある。著者は、成膜技術、デバイス形成プロセス、デバイス設計の視点から、トンネル絶縁膜の性能・信頼性の律速機構を明らかにすると共に、高品質なトンネル絶縁膜形成技術とデバイスへの効果的な適用方法を併せて確立した。本論文はこれらの研究成果を取りまとめたもので、全文6章よりなる。

第1章は序論である。

第2章では、フラッシュメモリにおけるシャロートレンチアイソレーション (STI) 技術の適用に関し、微細化におけるトンネル絶縁膜の Charge to Break Down ( $Q_{bd}$ ) 信頼性劣化要因と STI 形成工程との関係を明らかにし、これを新しい STI 形成技術の提案により解決した。活性領域端のトンネル絶縁膜の本質的な  $Q_{bd}$  劣化モードがこの部分の形状に依存し、また、活性領域微細化による劣化モードが端部のスムーズ化を行う酸化工程で発生するストレスに大きく依存することを明らかにした。これに基づき、該酸化工程の前に、Si コーナー近傍に空間を確保する工程を付加することにより、従来の STI 技術が持つ汎用性と簡易性を犠牲にすることなく信頼性向上と活性領域の微細化を両立できることを示した。これは実用上、極めて有益な成果である。

第3章では、低温での酸素ラジカルによるトンネル絶縁膜の形成技術が、優れた耐リーク性に加えて、微細 STI 技術における準3次元構造をもつ活性領域端部の (111) 面上での絶縁膜性能の劣化、活性領域端での絶縁膜薄膜化といった微細化プロセスに起因した課題をラジカル酸化種の寄与により高いレベルで解決可能であることを示した。これは、ラジカル酸化技術により、微細化デバイスの構造的な欠点をも克服し更なる薄膜化が推進可能であることを実証した、極めて重要な成果である。

第4章では、ラジカル酸化技術によりポリシリコン上の絶縁膜の薄膜化が可能となる知見に基づき、フラッシュメモリ積層ポリシリコン電極間絶縁膜の大幅な薄膜化を前提としたデバイスモデル解析により、フラッシュメモリの低電圧化シナリオを提案した。この原理に則って絶縁膜厚、制御ゲート電圧の低減を行うことで、書き換え速度と信頼性を維持しながら、動作電圧の大幅な低減が可能になることを示した。さらに、トンネル絶縁膜と前記ポリシリコン電極間絶縁膜を併せて薄膜化するシナリオに関しても提案を行った。これらの手法は、新しい絶縁膜形成技術を前提とした電圧縮小則として極めて重要な成果である。

第5章では、フラッシュメモリチップの高耐圧デバイスを含む周辺回路の面積を大幅に縮小する技術として、ゲート長を  $0.1\mu\text{m}$  まで縮小可能な高耐圧3次元トレンチゲート MOSFET の高性能高信頼性化手法を示した。第3章で得られたラジカル酸化技術をトレンチ内面のゲート酸化膜形成に適用し、トレンチ底面から側壁にかけて連続的に面方位が (100)、(111)、(110) と変化するトレンチ内面で非常に優れたゲート酸化膜厚均一性と電気特性が得られることを示した。これは、ラジカル酸化技術の3次元形状デバイスとの整合性の高さを実証し、フラッシュメモリチップ全体の縮小化手法を確立した、極めて有用な成果である。

第6章は結論である。

以上要するに本論文は、高性能高信頼フラッシュメモリにおけるトンネル絶縁膜の劣化要因を明らかにし、ラジカル酸化技術により高品質な絶縁膜を提供できることを実証するとともに、デバイスに適用する手法とこれによる顕著な効果を示したもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士 (工学) の学位論文として合格と認める。