

氏名	李斗煥	りー どうふあん
授与学位	博士(工学)	
学位授与年月日	平成14年9月11日	
学位授与の根拠法規	学位規則第4条1項	
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻	
学位論文題目	IV族半導体混晶エピタキシャル成長とデバイス応用に関する研究	
指導教官	東北大学教授 室田 淳一	
論文審査委員	主査 東北大学教授 室田 淳一	東北大学教授 横尾 邦義
	東北大学教授 中島 康治	

論文内容要旨

1. はじめに

Si 集積回路の大容量化・高性能化にともない、用いられる MOSFET のより一層の微細化・高駆動能力化が必要とされている。その中で、自己整合型プロセス構築のための選択成長技術や高キャリア移動度化のための SiGe(C)系IV族半導体ヘテロ構造形成技術の開発が強く求められている。本研究では、化学気相成長法(CVD 法)による高品質 Si/SiGe(C)/Si ヘテロエピタキシャル構造の製作および SiGe(C)系ヘテロエピタキシャル成長における不純物ドーピング制御とそれを用いた微細 SiGe(C)系ヘテロ MOSFET への適用について研究した。

2. 高品質 Si/SiGe(C)/Si ヘテロ構造製作および熱的安定性

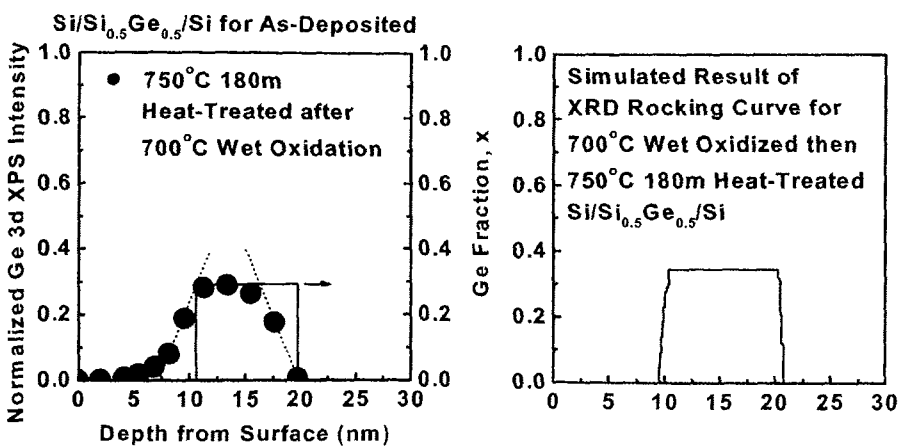


図1 Ge XPS 強度と XRD シミュレーションにより決定された Ge 比率の深さ方向分布。左図の実線は XPS の光電子脱出深さを考慮して推定される Ge 比率分布。

SiH₄, GeH₄, SiH₃CH₃ を用いた 500°C 以下の低温での高純度減圧 CVD 法により、MOSFET のチャンネル部に用いる Si(10 nm)/Si_{1-x-y}Ge_xC_y(5-10 nm; 0 ≤ x ≤ 0.5, 0 ≤ y ≤ 0.02)/Si(100 nm) ヘテロ構造を Si(100) 上に形成した。そして、このヘテロ構造において、エッチングと X 線光電子分光 (XPS) の繰り返し測定と X 線回折 (XRD) により、Si および SiGe(C) 膜厚誤差 1 nm 以下、Ge 比率誤差 10% 以

下の精度での Ge 比率分布の測定方法を確立した(図 1)。その結果、ゲート酸化膜形成のためのウェット酸化(700°C)後の 700-800°C で熱処理において高 Ge 比率ほど Si と Ge の相互拡散は熱処理初期で顕著になり(図 2)、Ge 比率減少とともにその拡散距離は熱処理時間の 1/2 乗に比例することを見いだした。これにより、Si/SiGe(C)/Si ヘテロ構造を数 nm オーダの SiGe(C)系ヘテロ MOSFET に適用するための、ヘテロ構造製作条件や熱工程条件を明らかにした。

3. SiGe(C)エピタキシャル成長における不純物ドーピング

550°Cでの CVD 法による Si(100)表面上の B ドープ SiGe(C)エピタキシャル成長において、たい積速度は B_2H_6 分圧と SiH_3CH_3 分圧増加にともない、減少する傾向が見られる(図 3-a)。B 濃度は GeH_4 分圧が低い程、増加する(図 3-b)。Ge 比率は B_2H_6 分圧および SiH_3CH_3 分圧に依存しな

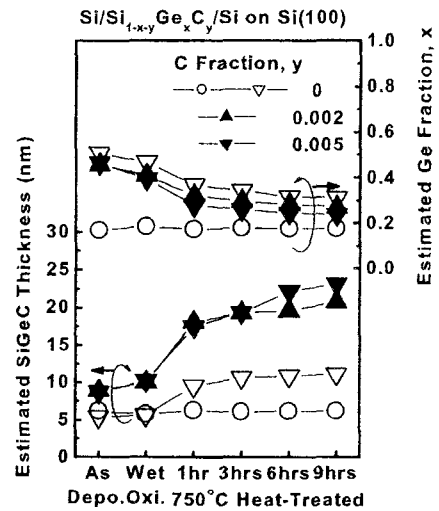


図 2 SiGe(C)層の膜厚および Ge 比率のウェット酸化(700°C)およびその後の 750°Cでの N_2 熱処理時間依存性。

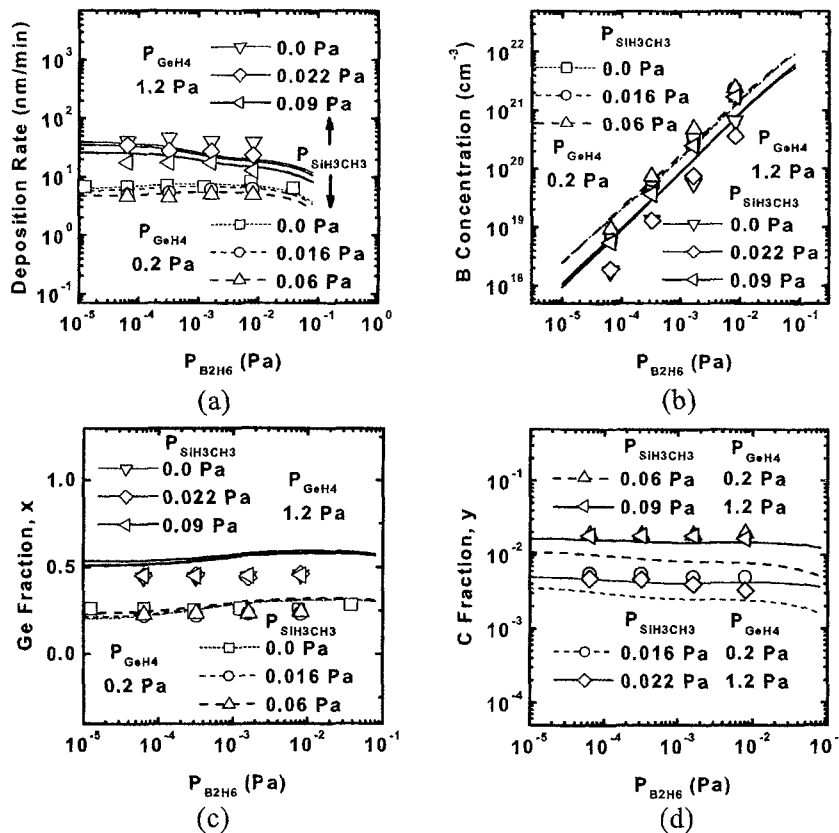


図 3 Si(100)基板上的 $Si_{1-x}Ge_xC_y$ エピタキシャル成長における(a)たい積速度、(b)B 濃度、(c)Ge 比率、(d)C 比率の B_2H_6 分圧($P_{B_2H_6}$)依存性。たい積温度は 550°C、 SiH_4 分圧は 6.0Pa である。実線と点線は B_2H_6 と SiH_3CH_3 の競争吸着を仮定したラングミュア型吸着・反応式を用いて計算した。

い(図 3-c)。C 比率は高 B_2H_6 分圧領域で若干減少する傾向が見られる(図 3-d)。一方、P ドープの場合は、B ドープの場合と同様の傾向であるが、 $Si_{1-x}Ge_xC_y$ 薄膜の Ge 比率増加による固溶限界の減少が見られた。これらの実験結果から、 $Si_{1-x}Ge_xC_y$ 成長における B あるいは P のドーピング過程は、 B_2H_6 や PH_3 分子と SiH_3CH_3 分子が $SiGe(100)$ 表面上の Si-Si 対、Si-Ge 対および Ge-Ge 対の 3 つの吸着点において競争吸着し、そこで SiH_4 や GeH_4 の吸着を阻害すると仮定したラングミュア型吸着・反応式により、定量的に説明できることを示した。

B ドープ $Si_{1-x}Ge_xC_y$ 薄膜のキャリア濃度は、C 比率 0.0054 以下では、Ge 比率によらず、 $2 \times 10^{20} \text{ cm}^{-3}$ までほぼ B 濃度と一致し、約 $5 \times 10^{20} \text{ cm}^{-3}$ で飽和する傾向を示すが、Ge 比率(x)0.44 なおかつ高 C 比率($y \geq 0.016$)では低濃度でも不活性な B が存在する(図 4-a)。このことは、高 Ge 比率で C が格子間位置に入りやすくなることにより、B も格子間位置に入りやすくなるとして説明できる。B ドープ $Si_{1-x}Ge_x$ 薄膜の比抵抗(図 4-b)は、同一キャリア濃度では Ge 比率 0.2 付近で最大となり、その値は Si の場合より高く、混晶散乱の影響があると考えられる。また、C 導入により増大すなわち、混晶散乱の影響が顕在化する傾向にある。一方、P ドープ $Si_{1-x}Ge_xC_y$ 薄膜のキャリア濃度は、高 Ge 比率($x > 0.5$)、高 C 比率($y \geq 0.011$)ほど P 濃度に依存せず電気的不活性な P が存在した。比抵抗は、B ドープの場合と比べて Ge 比率の依存性は顕著ではない。

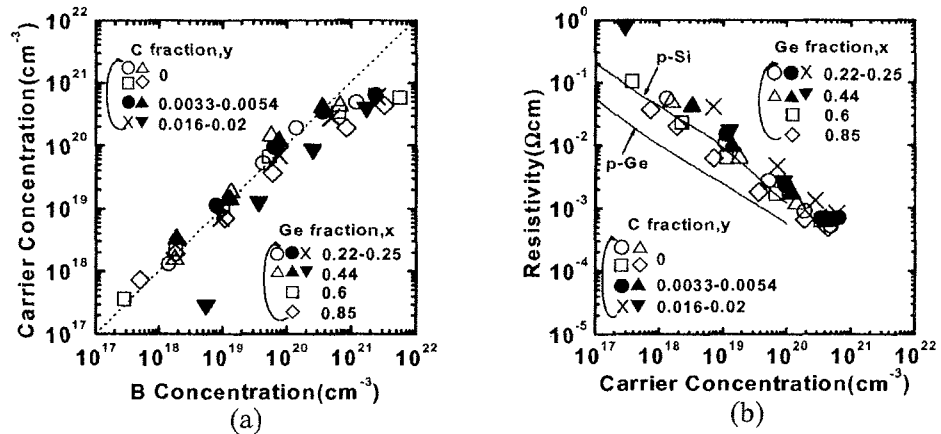


図 4 B ドープ $Si_{1-x}Ge_xC_y$ エピタキシャル薄膜中の(a) キャリア濃度の B 濃度依存性および(b) 比抵抗のキャリア濃度依存性。

4. SiGe チャンネル pMOSFET の試作

B ドープ SiGe 混晶低温選択エピタキシャル薄膜を用いた極浅ソース・ドレイン接合形成とチャンネル部への Si(10nm 厚)/SiGe(5-10nm 厚)/Si(100)ヘテロ構造の適用によりゲート長 0.12 μm の微細 pMOSFET を試作した(図 5)。そして、Si チャンネルの場合と比較して、Ge 比率を 0.5 にすることにより、電流駆動能力が約 1.7 倍向上し、パンチスルーが抑えられることがわかった(図 6)。電流駆動能力向上は、SiGe チャンネルでのキャリア移動度が Si チャンネルより大きいためと考えられる。また、パンチスルーの抑制に関しては、Si だけの場合に比べてソース・ドレイン接合が浅いことと SiGe とバッファ Si の界面におけるバンド不連続が基板方向への空乏領域拡大を抑えるとして説明できる。

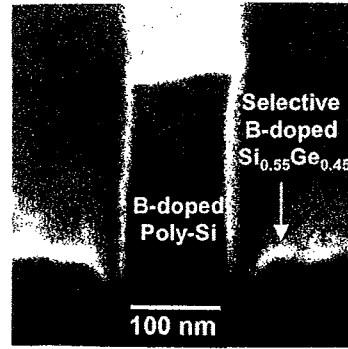
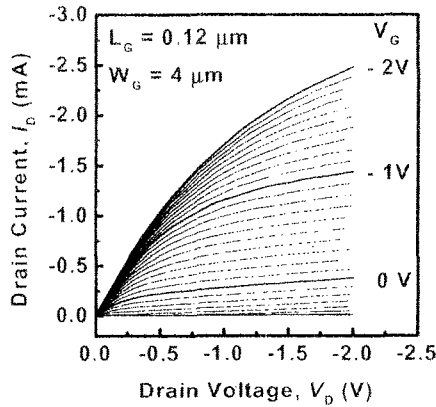


図5 ゲート長 0.12 μm の $\text{Si}_{0.5}\text{Ge}_{0.5}$ チャンネル pMOSFET における典型的なドレイン電流-ドレイン電圧特性および SEM 断面写真。

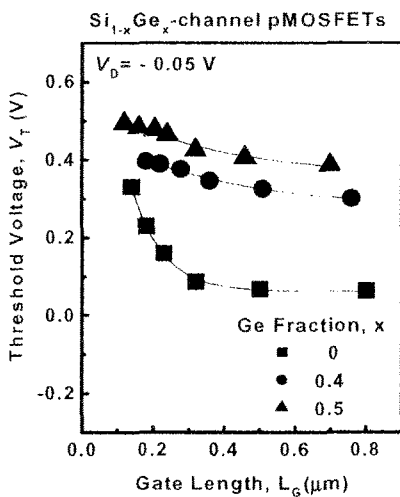


図6 $\text{Si}_{1-x}\text{Ge}_x$ チャンネル pMOSFET のしきい電圧のゲート長依存性。

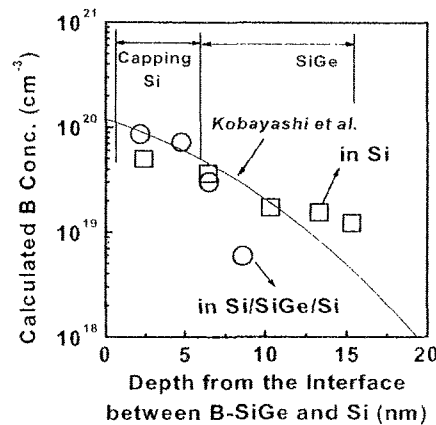


図7 エッチングと四探針法の繰り返し測定と図4-(b)を用いて換算されたB濃度。実線はKobayashiらの拡散係数と偏析係数を用いて計算したものである。

* Kobayashi et al., Thin Solid Films, 369 (2000) 222

5. まとめ

本研究では、SiGe(C)混晶エピタキシャル成長について、SiGe系ヘテロ構造を形成し、ヘテロ構造中のGe比率分布を高精度に評価する方法を確立し、その熱的安定性を明らかにした。また、SiGe(C)エピタキシャル薄膜の不純物ドーピング過程を定量的に説明し、不純物濃度、キャリア濃度、比抵抗の関係に関するデータベースを構築した。さらに、SiGeをチャンネルとソース・ドレインに適用したゲート長0.12 μm のpMOSFETを実現した。そして、Siチャンネルの場合と比較して、電流駆動能力が約1.7倍向上し、パンチスルーが抑えられることを明らかにした。これにより、微細MOSFETの高性能化のための幾つかの重要な指針を得た。

論文審査結果の要旨

Si 集積回路の大容量化・高性能化にともない、用いられる MOSFET のより一層の微細化・高駆動力化が必要とされている。その中で、自己整合型プロセス構築のための選択成長技術や高キャリア移動度化のための SiGe 系IV族半導体ヘテロ構造形成技術の開発が求められている。著者は、Si 集積回路への適用を念頭に置き、高潔浄減圧化学気相成長法（高潔浄減圧 CVD 法）による SiGe 混晶のエピタキシャル成長制御とそれを用いた微細 MOSFET 製作について研究した。本論文は、これらの成果をまとめたもので全文5章よりなる。

第1章は序論である。

第2章では、MOSFET のチャンネル部に用いる Si (10nm 厚) /SiGe(C) (5-10nm 厚) /Si(100)ヘテロ構造を SiH₄, GeH₄, SiH₃CH₃ を用いた高潔浄減圧 CVD 法により形成した結果について述べている。エッチングと X 線光電子分光の繰り返し測定と X 線回折により、Si 及び SiGe(C)膜厚誤差 1nm 以下、Ge 比率誤差 10%以下の精度での測定方法を確立し、ヘテロ構造の熱的安定性を明らかにしている。すなわち、700-800°Cの熱処理では高 Ge 比率ほど Si と Ge の相互拡散は熱処理初期で顕著になり、Ge 比率減少とともにその拡散距離は熱処理時間の 1/2 乗に比例することを見いだしている。これは MOSFET に nm オーダの SiGe 系ヘテロ構造を導入する上で極めて重要な知見である。

第3章では、Si(100)上での SiGe(C)混晶エピタキシャル成長におけるドーパント (B₂H₆ と PH₃) 添加による不純物 (B と P) ドーピング制御に関して、薄膜形成条件と不純物濃度、キャリア濃度、比抵抗、Ge 比率、C 比率との関係を系統的に明らかにしている。そして、エピタキシャル成長中での不純物原子のドーピング過程をラングミュア型吸着・反応式により定式化している。さらに、高 Ge 比率・高 C 比率における B や P の電気的不活性化を格子間原子が増加するとして説明している。これらは SiGe 混晶エピタキシャル薄膜をデバイスへ応用する上で極めて重要なデータベースとなるものである。

第4章では、B ドープ SiGe 混晶低温選択エピタキシャル薄膜を用いた極浅ソース・ドレイン接合形成とチャンネル部への Si (10nm 厚) /SiGe (5-10nm 厚) /Si(100)ヘテロ構造の適用によりゲート寸法 0.12 μm の pMOSFET を製作した結果を述べている。Si チャンネルの場合と比較して、Ge 比率を 0.5 にすることにより、電流駆動能力が約 1.7 倍向上し、パンチスルーが抑えられることを明らかにしている。これらは SiGe チャンネルでのキャリア移動度が Si チャンネルより大きく、Si 基板とのヘテロ界面バンド不連続が基板方向への空乏領域拡大を抑制するとして説明している。これらは微細 MOSFET を高性能化する上で極めて重要な成果である。

第5章は結論である。

以上要するに本論文は、SiGe 混晶エピタキシャル成長とそれを用いた微細 MOSFET 製作に関する実験的研究を行い、Si 集積回路の大容量化・高性能化のための幾つかの重要な知見を得たもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。