

氏名(本籍)	佐藤茂雄 (福島県)
学位の種類	博士(情報科学)
学位記番号	情博第3号
学位授与年月日	平成6年12月15日
学位授与の要件	学位規則第4条第1項該当
研究科, 専攻	東北大学大学院情報科学研究科(博士課程)システム情報科学専攻
学位論文題目	生体方式を指向した人工神経回路網の集積化の研究
論文審査委員	(主査) 東北大学教授 澤田 康次 東北大学教授 星宮 望 東北大学教授 亀山 充隆 東北大学助教授 中島 康治

論文内容要旨

第1章 序 論

神経回路網による情報処理の特徴は、情報がニューロン間のシナプス荷重という極めて単純な形で表現されること、非常に多くのニューロンを用いる長並列計算であること、学習により環境に適應することである。生体の脳は高性能な適應型超並列計算機であるといえることができる。人工神経回路の研究脳におけるこのような情報処理の様式を解明し、その特質を工学的に応用することを目的としている。またそのためにはこれら神経回路をハードウェアで実現することが必要不可欠である。

現在までに提案されているシリコン大規模化集積回路技術を基盤として構築されるハードウェア人工神経回路(ニューロチップ)のアーキテクチャとしては、アナログ、デジタル、パルスの3方式がある。本章ではそれぞれの特徴と研究例について論じた。アナログ方式は高集積、高速、デジタル方式は開発が容易、高信頼といった特長があり、パルス方式は両者の特性を合併持っている。また新しく生体の情報処理様式からヒントを得た新しい集積回路アーキテクチャである生体方式を指向した神経回路(Bio-Oriented Neural Network, BONN)を提案し、この方式の有効性を明らかにした。生体方式を指向した方式とは、情報伝達(ニューロン出力)にパルスを使い、電源モード(アナログ)で情報処理(シナプス乗算、時空間加算)を行い、またHebb型学習を取り入れた方式である。この方式は、処理速度、耐ノイズ性、集積度、信頼性、消費電力、インターフェースの容易さといった観点から、総合的に最も集積化人工神経回路に適したアーキテクチャである。

本論文は、この生体方式を指向した神経回路(BONN)の大規模集積化を目的として、回路アーキテクチャ、アナログメモリデバイス、学習回路内蔵人工神経回路網、高集積化LSIプロセスについて述べたものである。

第2章 生体方式神経回路のための神経素子の集積化と可塑性結合神経回路網の試作

本章では3段階に分けたBONNの設計とその集積化について述べた。

第1段階では高密度集積化に適した簡潔高機能ニューロン回路と、大規模ファンアウトと可塑性の可能性があるアクティブシナプスを開発し、最適化問題を解く簡略な回路網に組み込んでその動作を実証した。またその中で、ニューロン回路の入出力関数(閾値関数)の特性が回路網動作に影響を与えるを数値実験で示し、またこれを動作測定で確認した。さらにチップの試作を通じてLSIプロセスの基礎データを実験から求め、CMOS回路の閾値などの問題点を考察した。

次に第2段階ではまず BONN の高密度集積化のため、パルス出力ニューロン回路と、両極性（興奮性、抑制性）を実現できる電流モード SRAM 内蔵（可塑性）シナプス回路を開発した。次にこれらを用いて神経回路網（16 ニューロン、128 シナプス）構成し、シナプス荷重値を変化させることで回路網の機能を変化させてその動作を観測し、連想能力、学習動作などを通じて生体方式を指向したアーキテクチャの有効性を確認した。特に、ここで述べたシナプス回路は基本回路が4個の nMOSEFET から構成され、集積化に非常に適していることを見出した。

さらに第3段階ではより汎用的で処理能力の高い集積化に適するゲイン可変パルス出力ニューロン回路を設計し動作を解析した。

第3章 生体方式神経回路網のための新アナログメモリの開発

本章では前章で述べた電流モードシナプス回路におけるデジタルメモリ部及び D/A 変換部の占有面積の大幅な縮小を目的として、簡素かつ信頼性の高い新アナログメモリ（SDAM）の開発について述べた。SDAM はフローティングゲートを利用した不揮発性アナログメモリであり、電荷注入部と電荷蓄積部を TFT により分離することで、線形性の改善と動作の高速化がなされている。この SDAM について新しい LSI プロセスを構築し、集積化と測定結果かその性能を実証し、BONN の高密度集積化のキーデバイスであるシナプスデバイスを実現した。また集積化プロセス、デバイス特性解析、回路網への組み込み性能などを検討し、本デバイスに関する総合的なエレクトロニクス技術を確立した。本章で述べた SDAM の特性は、書き込み動作速度が 0.3msec、メモリ値の分解能が 100 段階（ビット数が 7）、SRAM を用いたシナプスと比較して集積度が 10 倍以上である。

第4章 学習回路内蔵生体方式神経回路網の設計

本章では学習回路内蔵大規模集積化神経回路（DBM チップ）の設計とその動作解析、性能評価について述べた。SDAM 内蔵シナプス回路、新たに Hebb 型学習回路を設計、その動作を解析した。また SDAM の動作特性が学習動作に及ぼす影響について考察した。さらに、これら回路により全結合型学習機能搭載人工神経回路（20 ニューロン、380 シナプス）構成し、その動作解析と試作を行ない大規模人工神経回路実現の第一段階を確定した。また将来的にはこれら回路を用いることで、 1.6×10^6 シナプスを搭載する学習回路内蔵神経回路（ 16×10^{12} CPS, 16×10^{12} CUPS）を占有面積 $1.5 \times 1.5 \text{ cm}^2$ （ $0.8 \mu\text{m}$ ルール）で実現可能であることを見出し、BONN が集積化に適したアーキテクチャであることを実証した。

第5章 高集積化 LSI プロセス技術の開発と大規模神経回路網の集積化技術の基礎研究

本章では大規模 BONN 実現のために必要不可欠である新アナログメモリ（SDAM）を含む大規模集積回路の新しい LSI プロセスの確立について述べた。サブミクロンルール大規模集積回路実現のための基盤技術の開発を目的とし、一連の新しいプロセスの流れの中で、大規模回路用高精度リソグラフィ技術、表面平坦化技術、多層配線化技術といった各要素技術に関する統一的な実験及び検討、また同様にこのプロセス特有の諸問題に対する実験及び検討を行ない、最小線幅が $1 \mu\text{m}$ 以下、平坦化可能段差が 4000 \AA 以上などの各種実験条件を確定し新しい LSI プロセスを構築した。

第6章 本章では第5章までに得られた結果を総括した。本研究では、生体方式を指向ハードウェア人工神経回路（BONN）の大規模集積化を目的として、回路設計、アナログメモリデバイスの開発、高集積化 LSI プロセスの構築、学習回路内蔵人工神経回路網の実現について研究した。サブミクロンの微細化を伴った大規模集積回路を製作するための基盤技術プロセスを開発し、新アナログメモリを含む LSI プロセスについて総合的に整合性を図った。さらに人工神経回路の最終的な形である学習機能搭載神経回路網の設計および動作解析を行い、大規模人工神経回路実現の第一段階を確定した。

審査結果の要旨

情報量が増大する一方の現代社会では、計算機システムの恒常的な能力向上が求められている。そのため近年、情報の並列処理や分散記憶・学習能力などに特長を持つ人工神経回路網の研究が推進されている。人工神経回路網は知的な実時間処理を実現する可能性を持つが、その集積回路化については未だ総合的研究がなされておらず、デジタル方式は占有面積・処理時間に、アナログ方式は信頼性にそれぞれ欠点があった。著者は、これらの欠点を克服するためパルス伝送とアナログ的演算により処理を行う生体方式を指向した回路を提案し、回路の核心部となるデバイスを開発し、各種主要回路の試作を含めた大規模な回路網の集積化に要求される基盤技術を研究開発した。本論文は、それらの成果を取りまとめたもので全文6章よりなる。

第1章は序論である。

第2章では、パルス出力を持つニューロン回路及び、興奮・抑制の設定が可能で、しかもデジタルメモリを付加したコンパクトなSRAM（スタティック・ランダムアクセスメモリ）構成のパルス入力シナプスを提案している。次に集積化した128シナプスを持つ回路網が連想記憶、学習などの機能を実現できることを示し、生体方式を指向した人工神経回路網の有用性を確認している。

第3章では、高密度集積化の核心部分となるシナプス用新デバイスSDAM（拡散制御アナログメモリ）の開発について述べている。100レベル以上の精度を、またSRAMシナプスと比較して10倍以上の高集積度を備えたSDAMの集積化工程、動作特性回路網への組み込み性能など試作を通して研究し、その有用性を実証したことは重要な成果である。

第4章では、出力パルス頻度を可変としたニューロン、及びHebb型学習回路を付加した新シナプスを用いて、380シナプスの全結合・学習回路内蔵の回路網を設計し、その動作解析を行うと共に、集積化大規模神経回路網の性能について総合的評価を行っている。

第5章では、前章で設計した大規模神経回路の集積化におけるプロセス技術の開発結果について述べている。中核デバイスとなる新シナプスの集積化工程との整合性を確保した大規模集積神経回路網の表面平坦化技術、多層配線技術を確立し、新シナプス製作のための最小線幅 $1\mu\text{m}$ 以下の囲うや 400nm 以上の段差の平坦化などを行なったことは評価できる。

第6章は、結論である。

以上要するに、本論文は実時間領域での知的な情報処理を目指し、生体方式を指向した大規模人工神経回路網の構成と集積化に要求される広範な基盤技術の研究を行い、回路の核心部となる機能素子の開発と主要な集積回路の試作を通して数多くの有用な知見を得たもので、電子情報工学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。