

氏名(本籍)	張山昌論 (青森県)
学位の種類	博士(情報科学)
学位記番号	情博第37号
学位授与年月日	平成9年3月25日
学位授与の要件	学位規則第4条第1項該当
研究科, 専攻	東北大学大学院情報科学研究科(博士課程) 情報基礎科学専攻
学位論文題目	階層的並列化に基づく軌道計画 VLSI プロセッサの構成に関する研究
論文審査委員	(主査) 東北大学教授 亀山 充隆 東北大学教授 伊藤 貴康 東北大学教授 樋口 龍雄 東北大学教授 大見 忠弘 (工学研究科)

論文内容要旨

第1章 緒言

集積回路技術を駆使し膨大な実世界の情報を高速に処理することにより、コンピュータと実世界の融合を目指した知能集積システムにおいては、汎用プロセッサの性能をはるかに越える超高並列 VLSI プロセッサが必要になる。

本研究では、通信のない理想的並列処理においては、プロセッサの高性能化が面積・時間(AT)積の減少に帰着できることに着目し、設計の各階層、アルゴリズムレベル、アーキテクチャレベル、回路レベルからAT積を減少するための並列化設計法を考案している。さらに、知能集積システムの典型例である知能ロボットや高安全自動車などにおいて重要となる軌道計画 VLSI プロセッサに応用し、レイアウト CAD 等を用いた評価により有用性を示している。

第2章 軌道計画 VLSI プロセッサの並列アルゴリズム

軌道計画においては自動車と障害物が衝突するかどうかを調べるための、衝突チェックの計算時間が膨大になる。図1に示すように、衝突チェックは障害物の表面離散点に対して、座標変換と座標情報の照合を繰り返すことにより行われる。これは全ての障害物離散点に対して並列処理可能な、理想的並列処理のためのアルゴリズムである。また自動車が静止物体であり障害物が相対的に移動するとみなすために、自動車の座標情報を固定にできる。

照合演算の並列化のために、本論文では図2に示すような直方体の集合により、図3のように自動車を表現する方法を考案している。照合は障害物離散点がこれらの直方体に含まれるかどうかにより帰着され、これは式(1)に示す大小比較だけで行えるため、CAMによる照合の並列処理が可能となる。

$$x_s \leq x \leq x_e, y_s \leq y \leq y_e, z_s \leq z \leq z_e \quad (1)$$

また大幅な記憶容量圧縮も可能であり、アルゴリズムレベルにおいてCAMのAT積の大幅な減少が可能となる。

第3章 軌道計画 VLSI プロセッサの構成と評価

提案アルゴリズムは規則性・並列性を有するため、パイプライン/空間的並列処理による演算遅れ時間減少に適する。そこで図4に示すパイプライン/空間的並列構造融合型アーキテクチャを提案している。アーキテクチャレベルにおい

てAT積を減少するために、データフローの規則性・並列性に着目し、性能マッチング条件 $T_p = K \times T_c$ を導入することにより、各ステージの稼働率を100%にする。ここで T_p , T_c , K はそれぞれ、座標変換演算要素 (PE) とCAMの離散点当たりの処理時間、CAMに接続されるPE数である。衝突チェック処理要素 (CDPE) 間の通信のない理想的並列処理により、衝突チェック VLSI プロセッサの高性能化はCDPEのAT積の減少、さらに、CAMとPEのAT積減少に帰着できる。

CAMの構成を図5に示す。メモリの各ワードに大小比較を行う比較器を内蔵し、入力ワードと記憶ワードの大小比較を並列に行うことができるため、式(1)を完全並列に評価できる。CAMのAT積を減少するために、自動車を静止物体とみなすアルゴリズムに基づき、メモリセルにROMセルを用いた読み出し専用CAMを考案しており、従来のCAMと比べ面積1/6、処理時間1/3、AT積1/18を達成している。PEのAT積を減少するために、PEの座標変換演算部は図6に示すように、稼働率100%のビットシリアルパイプラインアーキテクチャに基づき構成されている。

図7にCDPEのレイアウトを示す。0.8 μ m CMOS設計ルールで4.8 × 9.8mm²であり、離散点あたり30nsecで衝突チェックを行える。これは、215SPECint92の汎用ワークステーションと比較して、5万倍の高速化である。

第4章 階層的表現に基づく軌道計画 VLSI プロセッサの構成

提案 VLSI プロセッサでは、障害物離散点数に比例して処理時間が増加する問題があった。そこで、衝突チェックの精度を適応的に変化させることにより確率的に高速化を行う。すなわち、図8に示すように、障害物を拡大したチェックにおいて衝突がなければ、障害物離散点数が多い高精度なチェックを省略できるため、衝突チェックを行う離散点数を大幅に減少できる。照合演算をAT積の小さいCAMに帰着するために、障害物が回転する場合でも障害物を包含できる、拡大キューブを用いた照合を考案している。図9に階層的表現に基づく衝突チェック VLSI プロセッサのレイアウトを示す。0.8 μ m CMOS設計ルールで4.1 × 11.4mm²であり、離散点あたり30nsecで衝突チェックを行える。階層的表現を用いない場合と比較すると、拡大キューブ計算部などの増加により面積が30%程度増加しているが、チェックする離散点数の減少により軌道計画のシミュレーションによると800倍以上の高速化、すなわち、AT積で1/600以下に減少される場合もある。

第5章 結 言

本章では、本研究の総括を行うとともに、今後の研究課題について展望している。

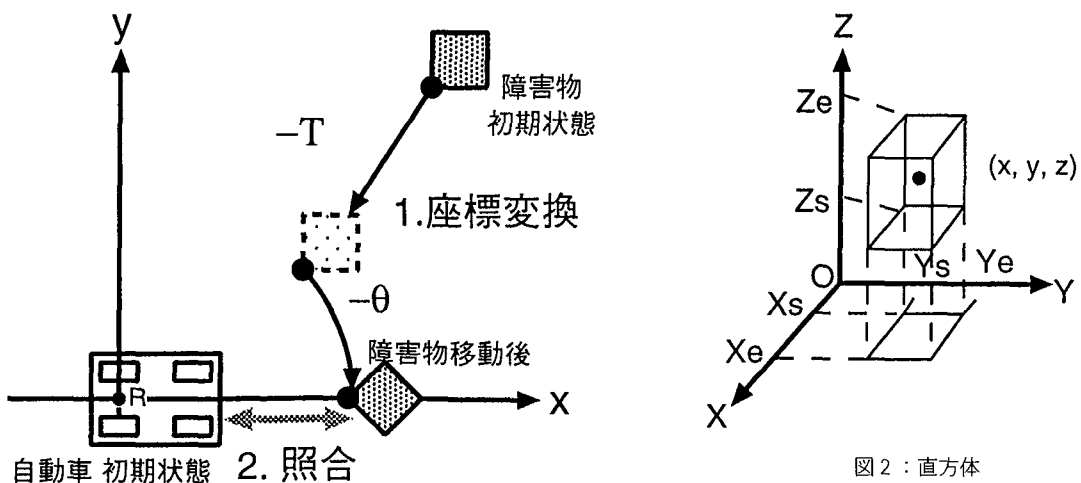


図1：衝突チェックアルゴリズム

図2：立方体

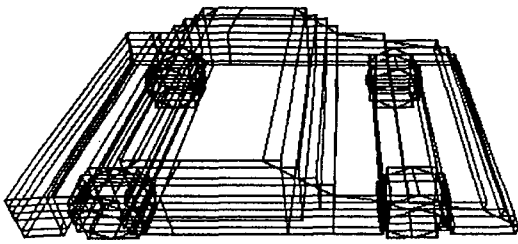


図3：自動車の直方体表現

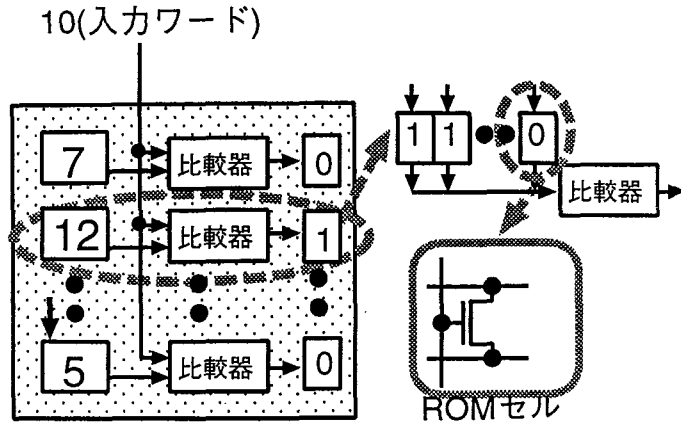
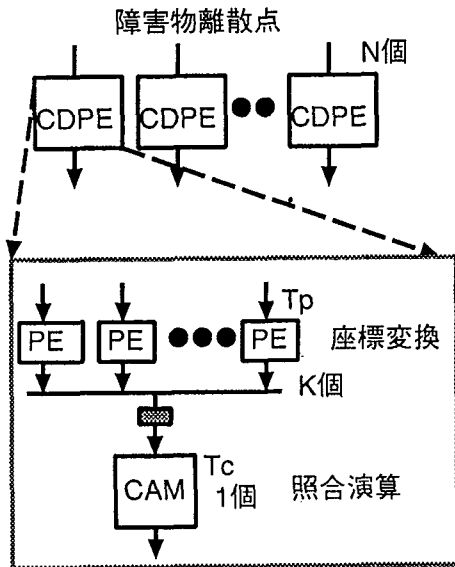
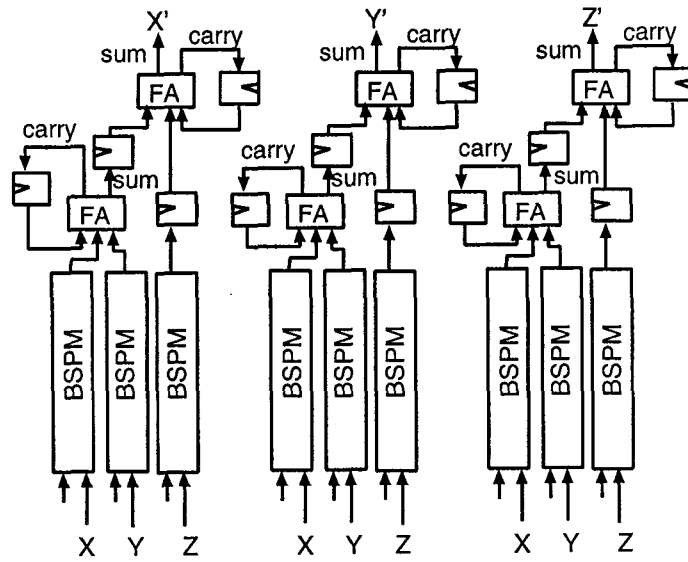


図5：読み専用連想メモリ



CDPE:衝突チェック処理要素
PE:座標変換要素

図4：並列アーキテクチャ



BSMP: ビットシリアルパイプライン乗算器

図6：座標変換演算部

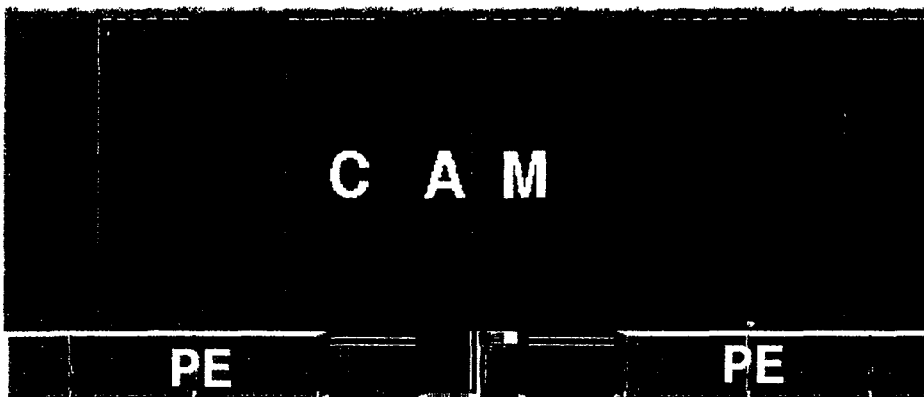


図7：衝突チェックVLSIプロセッサ

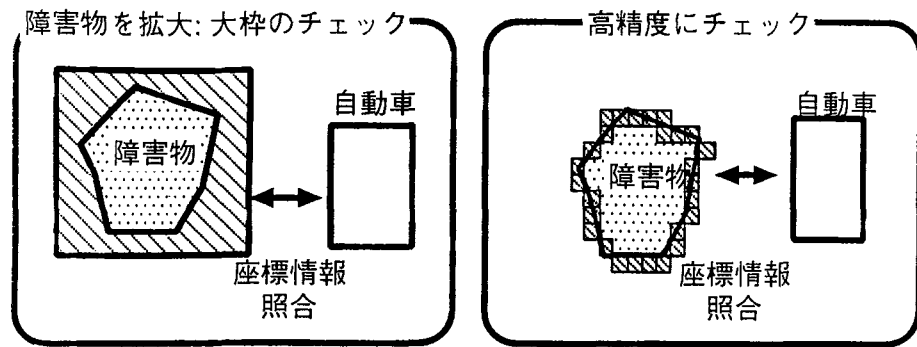


図8：階層的表現に基づく衝突チェックの高速化の概念

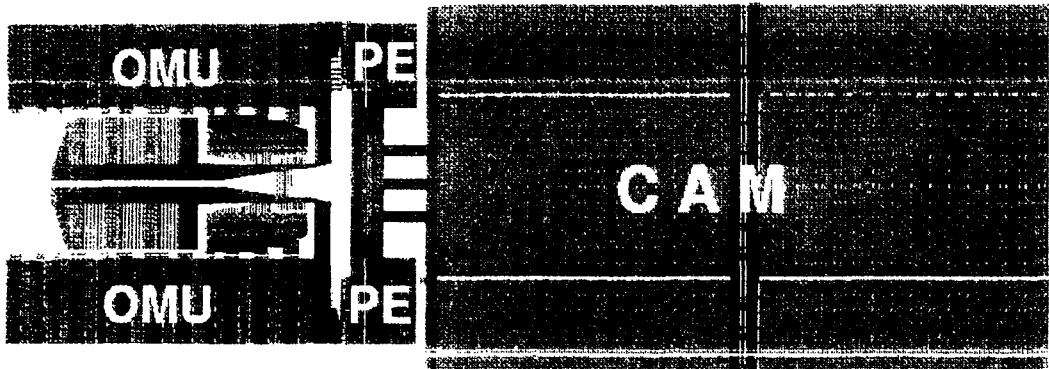


図9：階層的表現に基づく衝突チェック VLSI プロセッサ

審査結果の要旨

知能集積システムの分野においては、実世界の動的環境変化に高速に応答可能な VLSI プロセッサの系統的設計法が望まれている。

著者は、並列構造 VLSI プロセッサの高性能化が、面積時間積の減少の問題に帰着できることに着目し、各階層において面積時間積最小化を指向した並列化手法を考案し、軌道計画 VLSI プロセッサへの応用を通してその設計法の有用性を実証した。本論文はその成果をとりまとめたもので、全文 5 章よりなる。

第 1 章は緒言である。

第 2 章では、ロボットマニピュレータや自動車における軌道計画の基本処理となる高並列衝突チェックアルゴリズムを提案している。マニピュレータや自動車を直方体の組合せで表現すれば、3 次元物体の大幅な情報圧縮が可能となり、障害物とこれらの直方体との衝突チェックは、規則的かつ高並列な座標変換と大小比較演算の繰返しにより実現できることを明らかにしている。これは、記憶容量を減少させ VLSI プロセッサのチップ面積や処理時間を減少させる上で、有用である。

第 3 章では、座標変換モジュールなどの処理要素間において、負荷分散による並列処理が可能であれば、演算遅れ時間最小化は面積時間積最小化の問題に置換えられことに着目し、各階層における面積時間積最小化の手法を提案している。集積アーキテクチャレベルにおいては、面積時間積を最小化するために、空間的並列処理と時間的並列処理を融合し、各モジュール間の性能マッチングにより演算稼働率を 100% にできることを示している。また、ビットシリアルパイプラインアーキテクチャに基づく座標変換モジュールが面積時間積の点で有利であることを示している。回路レベルにおいては、大小比較演算のための読出し専用の連想メモリを考案し、並列照合により大幅な高性能化が達成できることを実証している。これらは、高性能プロセッサを設計する上で重要な成果である。

第 4 章では、障害物の精度を処理ステップごとに変化させ、階層的表現に基づいて照合を詳細化できる軌道計画 VLSI プロセッサのアーキテクチャを提案している。特に、連想メモリによる並列処理を可能にする拡大キューブ表現に基づき、大幅な高性能化を達成できることを示している。これは実用上有用な成果である。

第 5 章は結言である。

以上要するに本論文は、面積時間積最小化に基づく高性能 VLSI プロセッサの階層的設計法を提案し、軌道計画 VLSI プロセッサへ応用し、その構成法を確立したものであり、情報基礎科学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。