

氏名 (本籍)	はら だ とも ちか 原 田 知 親 (山 口 県)
学位の種類	博 士 (情報科学)
学位記番号	情博第 148 号
学位授与年月日	平成 1 2 年 3 月 2 3 日
学位授与の要件	学位規則第 4 条第 1 項該当
研究科、専攻	東北大学大学院情報科学研究科 (博士課程) システム情報科学専攻
学位論文題目	新アナログ記憶デバイスを用いた集積化連想記憶システムに 関する研究
論文審査委員	(主査) 東北大学 教授 中島 康治 東北大学 教授 亀山 充隆 東北大学 教授 室田 淳一 (工学研究科)

論 文 内 容 要 旨

近年、集積回路によるデジタル情報処理技術の発展は著しく、マルチメディアアプリケーションとして、動画像や音声の高速圧縮・伸張・伝送処理が実現されている。また、動作周波数が 1 GHz 以上のマイクロプロセッサが登場し、より高速な演算が実現可能になってきた。しかし、デジタル信号処理では、外界のアナログ信号からデジタル信号への変換が必要であり、また基本的には逐次処理がベースとなるため、パターン認識や特徴抽出においては、演算回数とデータ量の増大により実時間で処理を終了させることが難しい。さらに、精度向上のための演算ビット数の増加は集積回路の占有面積を増大させてしまうなどの問題点が存在する。これらを解決し、集積化工程に起因する精度の影響を多大に受けるアナログ回路・アナログ素子の信頼性低下を抑えるため、アナログ・デジタル混載技術が提案されてきた。そこで、本論文では、アナログ・デジタル混載の際にアナログ回路部で必要となるアナログ値記憶保持デバイスとして、新たなアナログ記憶デバイスを開発するとともに、アナログ値直接処理が可能で、知的情報処理を実時間で実現する連想記憶システムの構成に関する研究を行なった。本論文は、その成果をまとめたもので、全編 5 章から構成される。

第 1 章：序論

本章では、本研究の背景と目的、そして本論文の構成について述べた。

第 2 章：新アナログ記憶デバイスの提案とデバイス設計

本章では、アナログ情報を直接処理するシステムで、アナログ値を記憶保持するのに必要で、かつフローティングゲートへ Fowler-Nordheim(FN)トンネル現象により電荷を注入・排出することによりアナログ値の記憶保持を実現した新しいアナログ記憶デバイスを 2 種類提案した。1 つは、記憶・消去動作回路の簡単

化を目的とした DTSDAM(Dual Tunnel Switched Diffusion Analog Memory)で、もう1つは、記憶・消去特性の線形性を実現した FBSDAM(Switched Diffusion Analog Memory with Feedback Circuit)である。図1(i)に DTSDAM、図1(ii)に FBSDAM のデバイス構造図を示す。DTSDAM では記憶・消去回路の単純化を実現するためにトンネル電極を2対設けており、これにより電荷注入と排出動作を並行して行なうことが可能である。FBSDAM では、トンネル電極からの電荷注入・排出の際の電荷量を一定にするためのフィードバック回路を付加することで、線形更新特性を実現している。これら2つのアナログ記憶デバイスについて、その特性の理論的な検討と数値シミュレーションによる動作解析と評価を行ない、各デバイスの有用性を明らかにした。

また、この2つのアナログ記憶デバイスから両方の性質をもつ DTFBSDAM(Dual Tunnel FBSDAM)を構成することが可能であることを、理論的な検討と数値シミュレーションによる動作解析により明らかにした。

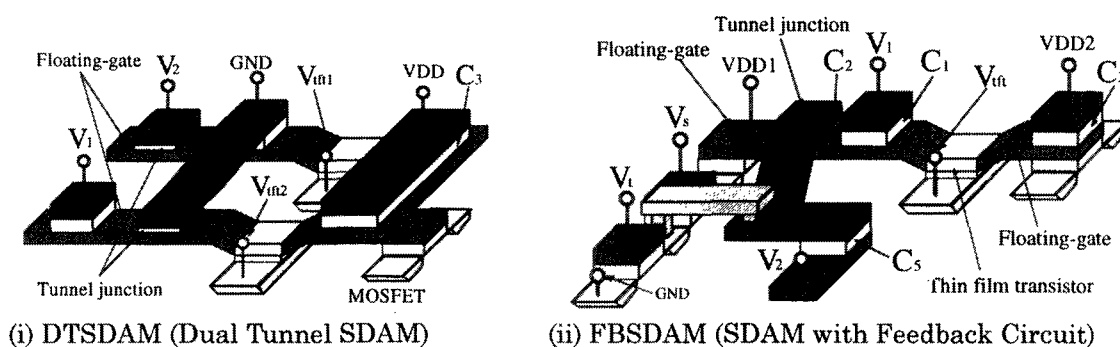


図1：アナログ記憶デバイスの構造

第3章：新アナログ記憶デバイスの試作と評価

本章では、第2章で提案し解析を行なったアナログ記憶デバイス（DTSDAM と FBSDAM）を実現するためのシリコン集積化技術を独自に開発し、それを駆使してデバイスを実際に製作した。図2に製作したアナログ記憶デバイスのデバイス写真を示す。デバイスサイズは DTSDAM では $140\mu\text{m} \times 170\mu\text{m}$ 、FBSDAM では $100\mu\text{m} \times 80\mu\text{m}$ である。製作においては、東北大学電気通信研究所附属超高密度高速知能システム実験施設で行なわれた。

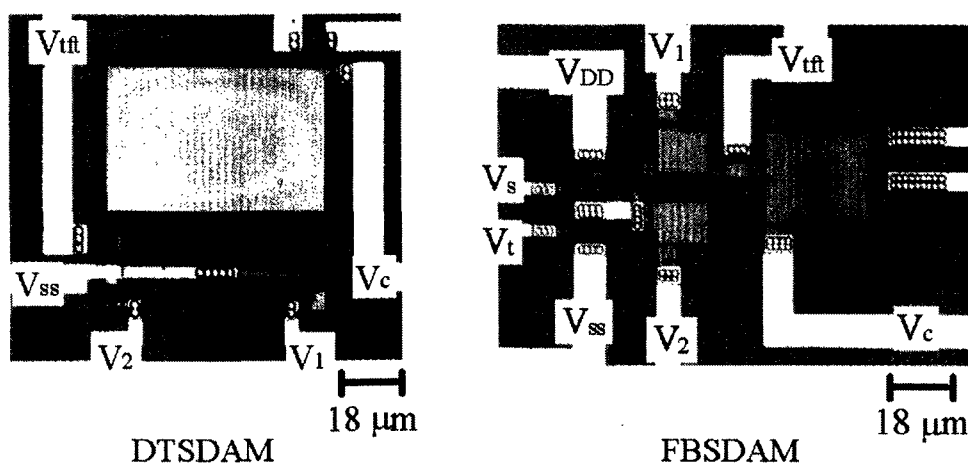


図2：試作した新アナログ記憶デバイス（DTSDAM, FBSDAM）

また、本研究の新アナログ記憶デバイスを製作する上で、フローティングゲートからのリークによるアナログ記憶値のダイナミックレンジ減少を防止するため、新アナログ記憶デバイスを構成している TFT(Thin Film Transistor)やメモリ保持用のコンデンサの構造を検討・改良を併せて行ない、アナログ記憶デバイスのアナログ値保持性能の向上をはかった。特に、TFT においては、従来ではゲート電極をトランジスタのチャネル上部に形成していたが、本研究のデバイスでは、チャネルの下側、つまりシリコン基板上にゲートを形成している。

続いて、製作した DTSDAM・FBSDAM について測定を行ない、その具体的な特性を実証するとともに、解析結果との比較検討を行なった。DTSDAM・FBSDAM の各アナログ記憶デバイスの動作特性を、それぞれ図 3 (i)(ii)に示す。これらは更新回数を横軸に、フローティングゲート電圧を縦軸にとったときの動作特性を示している。これらの特性から、DTSDAM では記憶・消去特性の対称性が実現できていることがわかる。また FBSDAM では、更新特性の線形化が実現されているのがわかる。測定結果から得られた分解能はデジタル換算すると、DTSDAM では 6bit 相当であり、FBSDAM では 8bit 相当になる。また、測定データに基づいてゲート長 $0.6\mu\text{m}$ の集積化工程で実現されたと仮定し見積もりを行なうと、本研究のアナログ記憶デバイスは、80ns の動作速度と 9bit 相当の分解能を有することがわかった。また同じ分解能を持たせたデジタルメモリと比較して、回路占有面積が 9 分の 1 に縮小することが、見積もりから結論できる。これらの結果から、アナログ情報を直接処理するシステムに必要なアナログ記憶デバイスの特性を満たしており、アナログ値の記憶保持には欠かせないデバイスであることが明らかになった。

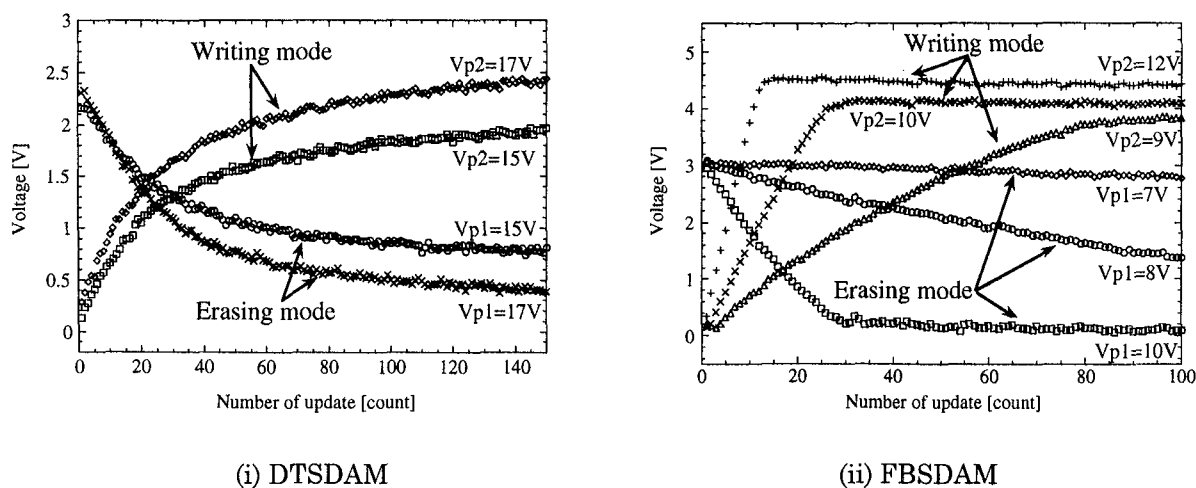


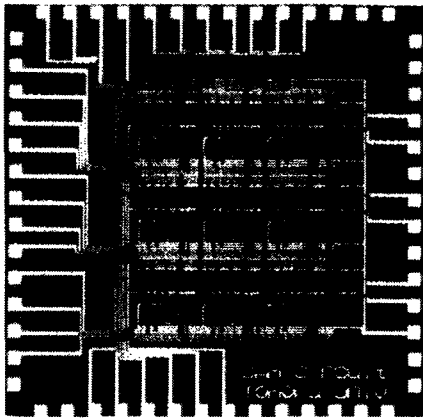
図 3 : 各アナログ記憶デバイスの動作特性

第 4 章 : 集積化アナログ連想記憶システムの構築

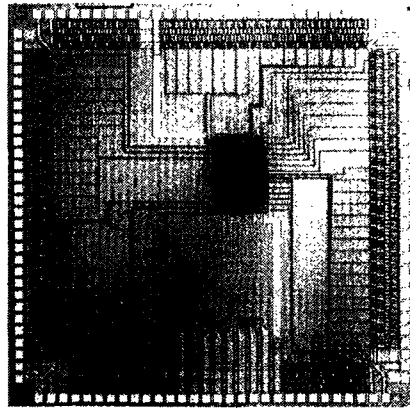
本章では、開発したアナログ記憶デバイスを用いて、成分をアナログ値とするベクトルの入力に対して、直接アナログ情報で連想処理と未知入力に対する識別を実現し、記憶ベクトルのデジタルデータを出力する集積化連想記憶システムを設計・製作した。図 4 (i)(ii)では、集積化したアナログ連想記憶システムのチップ写真を示す。図 4 (i)では、本研究で開発したアナログ記憶デバイスを用い、集積化を行なったものである。チップサイズは $3.1\text{mm} \times 3.1\text{mm}$ で、ゲート長 $4\mu\text{m}$ の独自に開発した半導体集積化工程を用い、東北大学電気通信研究所附属超高密度高速知能システム実験施設にて行なわれたものである。このシステムでは 3 要素のアナログ入力ベクトルを 3 個記憶でき、かつ連想記憶処理することが可能である。図 4 (ii)では、アナロ

グ記憶デバイスを外から接続する形をとって製作したアナログ連想記憶システムである。チップサイズは $4.5\text{mm}\times 4.5\text{mm}$ で、ゲート長 $0.6\mu\text{m}$ のCMOS集積化工程を用いた。このシステムでは9要素のアナログ入力ベクトル7個分の連想記憶処理が可能である。図4(ii)のチップについては東京大学大規模集積システム設計教育センターを通し、ローム(株)および凸版印刷(株)の協力で行なわれたものである。

そして、図4のシステムを測定し、アナログ入力ベクトルに対する連想記憶処理や閾値による未知情報に対する識別動作といった基本動作の確認を行なっている。また、その測定データに基づいて大規模集積化を実現した場合の性能の見積もりを行ない、同じシステム構成をデジタル回路のみで製作した場合と比較して、回路占有面積が連想記憶システム部で4分の1、アナログメモリ部で9分の1に縮小すること、構成するトランジスタの数では50分の1に減少することが結論でき、本研究のシステムの有用性を明らかにしている。



(i) アナログ連想記憶システム



(ii) アナログ記憶デバイスを除いた連想記憶システム

図4：アナログ連想記憶システムの集積化

第5章：まとめ

本章では、本研究の総括を行なった。

論文審査の結果の要旨

近年、集積回路によるデジタル信号処理技術の発展が著しく、マルチメディアアプリケーションとして画像や音声の高速圧縮・伸長処理が追求されている。しかし、デジタル信号処理ではアナログ信号からデジタル信号への変換が必要であり、また基本的に逐次処理がベースのため、パターン認識や特徴抽出においては、演算回数が増大により実時間で処理を終了するのは難しく、さらに精度向上のためのビット数の増加は集積回路の占有面積の増大を招くなどの問題点がある。これらを解決し、しかも集積化工程や不純物濃度の精度の影響を受けるアナログ素子の利用による信頼性の低下を抑えるため、アナログ/デジタル混載技術が提案されてきた。そこで筆者は、新しいアナログ記憶デバイスを開発するとともに、知的処理を実時間で実現する連想記憶システムの構成に関する研究を行った。本論文はその成果をまとめたもので、全編5章からなる。

第1章は序論である。

第2章では、フローティングゲートヘトンネル現象により電荷を注入・排出することによりアナログ値を記憶する新しいデバイスを提案し、その特性の理論的な検討と数値解析による評価を行い、その有用性を明らかにしている。

第3章では、2章で提案し解析を行ったアナログ記憶デバイスを実現するためのシリコン集積化技術を開発し、それを駆使してデバイスを実際に製作することにより、その具体的な特徴を実証するとともに、解析結果との比較検討を行い、測定データに基づいて回路占有面積、動作速度、特性の線形性と対称性、そのダイナミックレンジなど期待される特性を満足することを明らかにしている。これはアナログ記憶デバイスの実用化に対する重要な成果である。

第4章では、開発したアナログ記憶デバイスを核として用いて、成分をアナログ値とするベクトルの入力に対して連想により記憶ベクトルのデジタルデータを出力する集積化連想記憶システムを設計・製作して、その基本動作の確認を行っている。またその測定データに基づいて大規模集積化を実現した場合の性能の見積りを提示している。これは知的情報処理に関する興味深い成果である。

第5章は結論である。

以上要するに本論文は、アナログ記憶デバイスの開発とそれを用いた集積化連想記憶システムの構成に関する有用な基礎を与えたものであり、システム情報科学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。