

氏名 (本籍)	ほん ま なお ふみ 本 間 尚 文 (宮城県)		
学位の種類	博 士 (情報科学)		
学位記番号	情 博 第 201 号		
学位授与年月日	平成 13 年 9 月 13 日		
学位授与の要件	学位規則第 4 条第 1 項該当		
研究科・専攻	東北大学大学院情報科学研究科 (博士課程)・システム情報科学専攻		
学位論文題目	進化的グラフ生成システムとその回路合成への応用に関する研究		
論文審査委員	(主査)		
	東北大学教授 樋口 龍雄	東北大学教授 根元 義章	
	東北大学教授 西関 隆夫	東北大学教授 亀山 充隆	
	東北大学助教授 青木 孝文		

論文内容要旨

第 1 章 緒言

集積回路技術の進歩によって、従来ソフトウェアで実現されていた様々な演算がハードウェア上で実現可能となり、多くの DSP (Digital Signal Processor) や ASIC (Application Specific Integrated Circuit) が乗算器や積和演算器などの算術演算回路を搭載している。今後は三角関数演算や行列演算などの専用回路の開発も盛んになるものと考えられる。一方、近年、従来の 2 進数系にとらわれず、冗長数系や多進数系などの特殊数系を積極的に活用したハードウェアアルゴリズムの有効性が示されており、2 進数 VLSI の性能限界が顕在化するにつれて、その必要性はますます高まると予想される。このような応用範囲の拡大や設計手法の多様化に伴い、用途ごとに最適な算術演算回路を設計することは、設計者の経験と知識が性能を左右する困難な作業となっている。

著者は、以上のような設計問題を本質的に解決するためには、人間の創造的活動をも代替するような新しい設計パラダイムが必須であると考え。そこで、本論文では、算術演算回路構造をハードウェアアルゴリズムの知識を用いずに創発的に生成する設計手法を提案する。まず、その中心となる着想として、進化的計算手法に基づいて回路構造を合成する進化的グラフ生成手法 (EGG: Evolutionary Graph Generation) を提案する。次に、提案する EGG の有効性を示す検証実験として、定係数乗算器の合成実験を示す。その上で、大規模な算術演算回路合成に向けた EGG の拡張について論ずる。

第 2 章 VLSI 設計技術と進化的計算手法に関する基礎的考察

現在、計算機による設計自動化 (EDA: Electronic Design Automation) ツールの開発が盛んに行われている。しかし、最新の EDA ツールを用いても、算術演算回路の合成は難しい。これは、論理式の単純化を基本とする論理合成では、ハードウェアアルゴリズムに関する最適化が考慮されていないためである。

一方、生物のさまざまな活動や知的能力を計算機上でエミュレートし、知能や学習といった複雑系の現象を捉えようという考え方は、最近の科学技術における大きな流れの 1 つである。一般に、複雑な最適化問題を解くためには、未知の領域の探索能力とそれによって得られた情報の有効利用との調和が重要であると言われている。生物の進化戦略を模した進化的計算手法は、その調和が可能な探索手法の一つであり、本論文で問題にしているハードウェアアルゴリズムのように系統的な設計手法が存在しない問題に対しても優れた解を導出する可能性を与える。

第3章 進化的グラフ生成手法の提案

本章では、有用な部分回路を回路構成における積木と解釈した独自の積木仮説に基づいて、進化的グラフ生成手法 (EGG) を提案する。図1に提案する EGG のシステムフローを示す。EGG は、「回路グラフ」によって表現された回路構造を1つの個体とし、多数の個体 (個体群) を解の候補として保持する。さらに、部分回路グラフに基づく進化的構造操作を施すとともに、得られた個体の「評価と選択」によって個体群を繰り返し更新していくことによって解の多点探索を実現する。

EGG の進化的構造操作としては、「交叉」と「突然変異」を定義する。「交叉」は、個体群から適当に回路グラフ G_{p1} , G_{p2} を選択し、双方からカットセットの整合する任意の部分回路グラフ G_{p1}' , G_{p2}' を抜き出して交換する操作である (図2(a))。一方、「突然変異」は、まず、個体群から適当に回路グラフ G_m を選択し、 G_m から任意の部分回路グラフ G_m' を抜き出す。その後、 G_m' のカットセットと整合する部分回路グラフ G_n' をランダムに発生させ、 G_m' と置換する (図2(b))。以上のような進化的構造操作により、EGG は回路グラフに限定した探索空間を実現する。

EGG の基本概念は、一般的な回路構造に対して適用可能である。そこで、EGG を算術演算回路合成に特化させたものを、特に Arithmetic-EGG と呼ぶ。Arithmetic-EGG は、直接ゲート単位の回路を合成するのではなく、特定の数系で表現された数値データをオペランドとするデータフローグラフ上で構造を生成し、必要な規模に応じてゲートレベルの回路へ変換することにより、ハードウェアアルゴリズムの効率的な探索を可能とする。

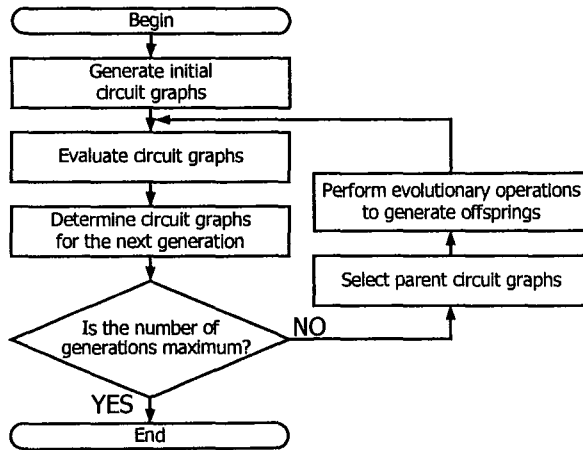


図1 EGG システムフロー

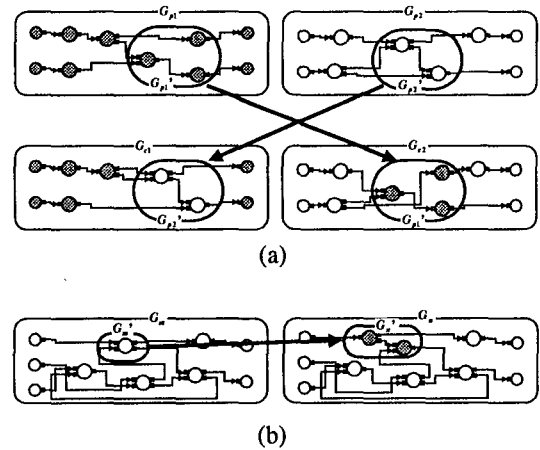


図2 EGG の進化的構造操作：(a) 交叉，(b) 突然変異

第4章 進化的グラフ生成システムの性能評価

本章では、EGG の有効性を示す例として、定係数乗算器の合成実験を示す。定係数乗算器は、DSP における頻出の演算であり、最適構造が係数値や数系により大きく異なる。実験では、符号無し2進数系と2進SW数系に基づく定係数乗算器を EGG により合成し、合成した構造と経験的に人手で設計した最適構造とを比較した。図3に2進SW数系に基づく定係数乗算器を50種類合成した際の実験結果を示す。ここで、横軸は世代数、縦軸は最良個体の評価値の推移である。実験により、EGG がどちらの数系においても優れた構造を合成することを確認した。図4に EGG により合成された回路の例 (係数値: 26204, 数系: 2進SW数系) を示す。本論文で提案した EGG は、回路グラフの「グラフ」としての側面と「回路」としての側面の両方に着目することで、求める回路構造を効率よく合成していると考えられる。

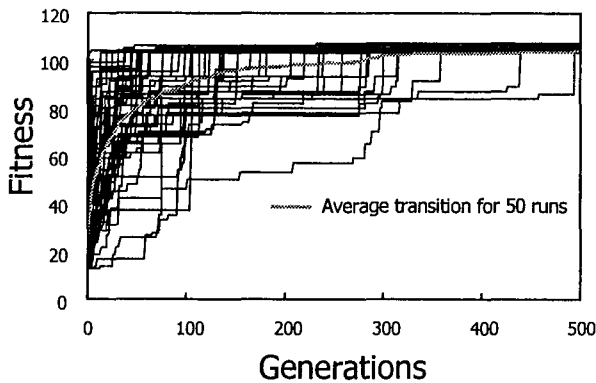


図3 最良個体の評価値の推移

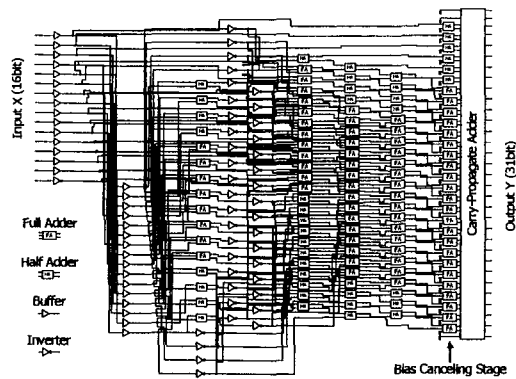


図4 合成された回路の例 (係数値: 26204)

第5章 トランスマイグレーション可能な進化的グラフ生成システムへの拡張

本章では、EGGの探索効率をさらに高める拡張として、トランスマイグレーションと呼ばれる操作を考案し、過去に合成された回路を他の回路合成時に個体として活用するシステムを実験的に構築する。図5にトランスマイグレーション可能なEGGのシステム構成を示す。

トランスマイグレーションによる探索効率の向上を示す例として、ここでも定係数乗算器の合成実験を行う。実験では、トランスマイグレーション可能なEGGと従来のEGGでそれぞれ定係数乗算器50個を同一順序で合成し、最適構造を合成するまでの世代数を比較した。ただし、トランスマイグレーション可能なEGGは、各試行で合成した最良個体をその後の試行で全てトランスマイグレーションした。実験の結果、トランスマイグレーション可能なEGGは、試行を重ねることにより、従来のEGGよりも少ない世代数で解を合成する傾向を示した(図6)。

また、本章では、トランスマイグレーションにより蓄積された定係数乗算器構造に関する知識を用いて、転置形FIRデジタルフィルタのための乗算器ブロックの合成実験を行う。実験の結果、トランスマイグレーションにより蓄積された知識を用いたEGGは、従来のEGGと比べて効率よく乗算器ブロックを合成した。

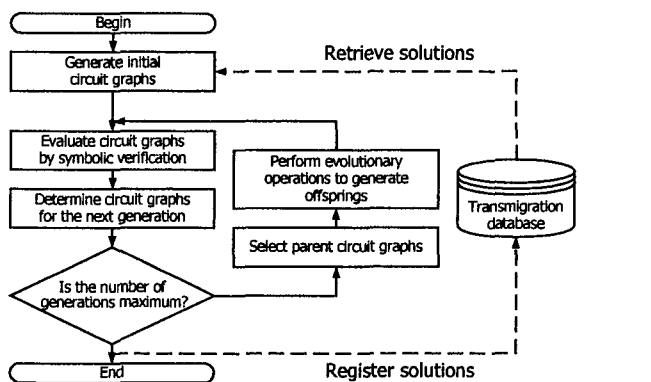


図5 トランスマイグレーション可能なEGGシステムフロー

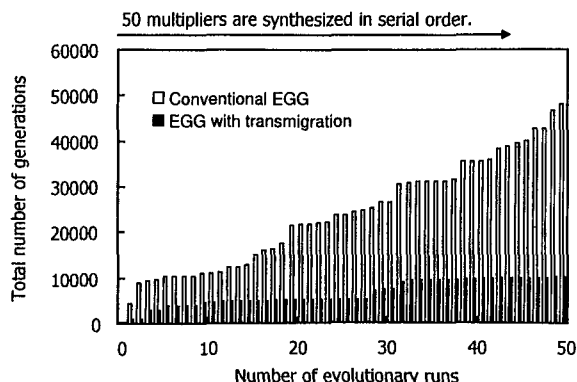


図6 解を合成した世代数の累計

第6章 結言

本論文では、回路構造を創発的に自動合成する手法としてEGGを提案した。定係数乗算器の合成実験により、16ビット精度のカウンタツリー構造がEGGにより合成可能であることを示した。なお、合成された回路構造は、実用的にも優れた性能を有していた。今後、さらに大規模な回路合成にEGGを適用するには、トランスマイグレーションのような拡張が必要になると考えられる。

論文審査の結果の要旨

近年、デジタル信号処理などの分野において要求される計算能力は著しく増加しており、用途に応じた多様な算術演算回路を短期間で設計することが必要になっている。しかし算術演算回路の設計は、目的に応じた固有のハードウェアアルゴリズムの知識を必要とするため自動化が困難であった。

著者は算術演算回路の自動合成のための一つの方法として、進化的グラフ生成手法とよぶ回路構造の自動生成手法を提案し、これを用いた定係数乗算器および乗算器ブロックの合成システムを構築した。本論文はこれらの成果をとりまとめたもので、全文6章よりなる。

第1章は緒言である。

第2章では、VLSI設計技術に関する基礎的考察を与えると共に、進化的計算手法を回路合成に適用する際の問題点について述べている。

第3章では、一般的な回路の構造を探索する手法として進化的グラフ生成手法を提案している。まず回路グラフとよぶ個体の表現を用いた進化的グラフ生成システムのモデルを定義し、その基本的性質を明らかにしている。さらに合成の対象を算術演算回路に限定した場合の問題の定式化について述べている。

第4章では、定係数乗算器を合成する進化的グラフ生成システムを構築し、性能評価と動作解析を行った結果を示している。本システムは、回路グラフの構造に関する制約に基づいて探索空間を削減すると共に、回路グラフの部分構造に着目した機能評価基準を用いることにより、与えられた仕様を満たす乗算器を合成できることを明らかにしている。語長が16ビット以下の係数を有する100個程度の乗算器について合成実験を行い、従来のハードウェアアルゴリズムの知識に基づいて設計された乗算器と比較して同等以上の性能の乗算器を得ることに成功している。これは有用な成果である。

第5章では、より規模の大きい回路設計へ適用することを目的として、新たにトランスマイグレーションとよぶ回路グラフの再利用操作を取り入れた進化的グラフ生成システムを提案し、定係数乗算器および乗算器ブロックの合成システムを構築した結果を示している。乗算器の合成実験で蓄積された回路グラフを再利用することにより、語長が16ビットの3つの係数を有する2次の乗算器ブロックを合成し、本手法の有効性を確認している。これは実用上重要な成果である。

第6章は結言である。

以上要するに本論文は、回路の自動合成の手法として進化的グラフ生成手法を提案すると共に、定係数乗算器および乗算器ブロックの合成システムを構築することによってその有用性を実証したものであり、システム情報科学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。