

	えがわ	りゅうすけ	
氏名 (本籍)	江川	隆輔	(徳島県)
学位の種類	博士	(情報科学)	
学位記番号	情博	第276号	
学位授与年月日	平成16年	3月25日	
学位授与の要件	学位規則第4条第1項該当		
研究科、専攻	東北大学大学院情報科学研究科 (博士課程) 情報基礎科学専攻		
学位論文題目	ウェーブパイプライン化プロセッサの設計と評価		
論文審査委員	(主査)		
	東北大学教授	中村 維男	東北大学教授 小林 広明
	東北大学教授	青木 孝文	弘前大学教授 深瀬 政秋 (理工学研究科)
	東北大学講師	鈴木 健一	

論文内容要旨

1 緒論

近年、マイクロプロセッサの性能は半導体集積技術の向上、アーキテクチャの改善により著しく向上している。しかし、携帯端末機器、スーパーコンピュータに代表されるハイエンド・コンピュータの消費電力、冷却コストの増大から、さらに高速且つ低消費電力で動作するマイクロプロセッサの要求が高まっている。代表的なマイクロプロセッサの高速化技術にパイプライン手法がある。クロック周波数を上げるためにパイプラインの段数を増やせば、パイプラインレジスタに付随するクロックオーバーヘッドの総和が増加し、結果的にレイテンシの増加を引き起こしてしまうため、クロック周波数は期待するほど増加しない。一方、クロック周波数を上げるためにパイプラインセグメントを構成する組み合わせ論理回路の遅延時間の短縮化を図ったとしても、その遅延時間に及ぼすパイプラインレジスタの影響はプロセステクノロジーの微細化につれ顕著になる。さらに、パイプラインレジスタの存在は占有面積と消費電力の増加をもたらす。このことから従来のパイプライン手法を用いたマイクロプロセッサの性能向上は速度・消費電力の観点から限界に近づいていると言われている。

近年注目を集めているウェーブパイプライン手法はパイプラインレジスタを使用しないことから、高速化のみならず省スペース化、省電力化の特徴も有し、従来のパイプライン手法の問題点を解消することが期待されている。ウェーブパイプライン手法は、組み合わせ論理回路の動作に支障を来さない範囲で可及的に多くのデータを送り込むことにより処理効率を高めるものである。ウェーブパイプライン手法では、回路全体の遅延時間を調整するのにマイクロアーキテクチャ以下のレベルで遅延調整とよばれ

る論理回路の再構築、遅延素子の挿入、トランジスタの調整などを行う。ウェーブパイプラインの潜在能力を最大限に引き出すためには、従来のパイプラインよりもその製作過程全般にわたって緻密な遅延時間の調整を必要とする。従来のパイプライン方式については高性能化のための設計手法とチューニング手法が今なお精力的に開発されていることと比べると、ウェーブパイプラインの設計手法と周辺技術と評価は十分には確立されていない。それゆえ、ウェーブパイプラインの適用は加算器、乗算器、カウンタ、DRAMなど、プロセッサのごく一部に限られていた。

本研究では、ウェーブパイプライン手法の適用範囲を拡大、ウェーブパイプライン方式を用いた高速且つ低消費電力なマイクロプロセッサの実現を目的とし、ウェーブパイプライン方式の多角的な解析を行う。はじめに多機能・大規模な回路のウェーブパイプライン化手法を提案し、これに基づき未だかつて適用例のない多機能回路にウェーブパイプライン手法を適用しその性能評価を行う。最後にさらに効率的なウェーブパイプライン化回路設計のためにウェーブパイプライン方式に適した組み合わせ論理回路の構成について解析を行う。

2 ウェーブパイプライン方式と設計手法

本章では、ウェーブパイプライン方式のタイミング制約の解析を行い、ウェーブパイプライン化回路設計手法、及び多機能・大規模回路へのウェーブパイプライン方式の適用手法について述べる。ウェーブパイプライン方式は回路上のすべての入力から出力までのパスの遅延時間を限りなく等しくすることによって、組み合わせ論理回路の動作に支障を来さない範囲で可及的に多くのデータを送り込むことにより処理効率を高める。したがってウェーブパイプライン方式は従来のパイプライン方式と異なり回路上のすべてのパスが遅延調整の対象となる。本研究では最大遅延経路以外のパスに遅延素子を挿入することによって遅延調整を行い、ウェーブパイプライン化を実現する。回路のパスの数は回路規模に対して指数関数的に増加することから大規模な回路へのウェーブパイプライン化は困難であるとされ、このことはウェーブパイプライン手法がマイクロプロセッサ高速化のための支配的な技術となりえない要因のひとつである。

この問題を解決するために本論文では、回路を階層的に設計・遅延時間の調整をおこなうことによるウェーブパイプライン化手法を提案する。本手法では回路を階層的に設計することによって、各階層毎に遅延調整を行い、遅延時間の調整対象となるパスの数を一時的に削減し大規模な回路へのウェーブパイプライン化を可能にする。次章では、これらの手法に基づいて設計されたウェーブパイプライン化回路の性能評価をシミュレーションにより行う。

3 ウェーブパイプライン方式の性能解析

本章では、この結果に基づきウェーブパイプライン方式の適用範囲の拡大可能性について調査を行うためウェーブパイプライン化回路のビット幅依存解析を行う。はじめにウェーブパイプライン化加算回路、乗算回路の解析を行う。この結果ウェーブパイプライン化加算回路、乗算回路はビット幅を増加させても従来のパイプライン方式を凌ぐスループットを得ることを示した。

また、未だかつて適用例の無かった多機能回路である ALU (Arithmetic Logic Unit) にウェーブパイプライン手法を適用し、従来方式パイプライン化 ALU との比較を行った。0.35 μ m CMOS テクノロジーのもとで設計された 8、16、32 ビットウェーブパイプライン化 ALU は同ビット幅、同パイプライン段数の従来方式パイプライン化 ALU と比較して、最大 1.4 倍高いスループット、約 10% 少ないゲート数、約 10% 少ない消費電力を有することを示した。これらの結果より、ビット幅、機能の観点からウェーブパイプライン手法の適用範囲を拡大することが可能であることを明らかにした。

4 多機能ウェーブパイプライン回路の例証

本章ではマイクロプロセッサの高速化を目的として、プロセッサの実行段にウェーブパイプライン化 ALU を組み込むことを提案する。はじめに多機能回路である ALU に関するウェーブパイプライン化について述べ、2 章で提案した設計手法に基づきウェーブパイプライン化 ALU の実装・評価と、ウェーブパイプライン化 ALU を組み込んだプロセッサの性能評価を行う。前章による議論に基づき $0.5\mu\text{m}$ CMOS テクノロジーを用いて 8 ビットウェーブパイプライン化 ALU, $0.35\mu\text{m}$ CMOS テクノロジーを用いて 32 ビットウェーブパイプライン化 ALU を設計試作した。配置配線後の CAD においてシミュレーション 8 ビットウェーブパイプライン化 ALU は約 1GHz, 32 ビットウェーブパイプライン化 ALU は約 600MHz の動作速度を示し、この 8 ビットウェーブパイプライン化 ALU を搭載したプロセッサは、同一 CMOS プロセスで設計されたプロセッサと比較して 3.3~5 倍高いクロック周波数を示した。また標準的なベンチマークプログラムを用いた評価では 31%~66% 実行時間を短縮することを示した。

5 ウェーブパイプライン手法に適した回路構成

前章まで述べた ALU は RCA (Ripple Carry Adder) を加減算の算術に用いていた。RCA は規則的且つ単純な回路構成を持つことから遅延素子挿入によるウェーブパイプライン化が容易なためである。このウェーブパイプライン化 ALU は従来のパイプライン化 ALU と比較して約 10% 少ないゲート数を実現した。しかし、近年マイクロプロセッサには高速であると同時に低消費電力であることが強く求められている。これらの要求に応えるべく、速度・電力の観点からさらに速度・コストの観点から効率のよいウェーブパイプライン化を行うためには適切な算術・組み合わせ論理回路を選択する必要がある。よって、本章ではウェーブパイプライン方式に適した組み合わせ論理回路の解析・検討を行う。

本章では少ない遅延素子数で高いスループットを有する回路をウェーブパイプライン方式に適した組み合わせ論理回路とする。その尺度としてウェーブパイプライン化効率 e を定義する。ウェーブパイプライン化効率 e は遅延素子数あたりの速度向上を示す。この尺度に基づき、4 種類の加算回路について比較検討を行う。ウェーブパイプライン化のための遅延調整には遅延素子挿入を用いる。この比較の結果、CMOS を用いた回路設計において浅い論理深度、少ない fan-out を有することが効率のよいウェーブパイプラインのための条件であることを明らかにした。

6 結論

本研究ではウェーブパイプライン方式の適用範囲を拡大することを目的として、ウェーブパイプライン方式の多角的な解析、多機能回路である ALU へのウェーブパイプライン方式の適用、ウェーブパイプライン化 ALU の設計・評価、ウェーブパイプライン化 ALU を搭載したプロセッサの性能評価を行った。また、更なるウェーブパイプラインの効率的な適用を見据え、ウェーブパイプラインに適した組み合わせ論理回路の構成について調査した。

ハードウェア設計の結果、ウェーブパイプライン化 ALU は従来方式パイプライン ALU よりも、高速、低コスト、かつ低消費電力であることが示された。またソフトウェアシミュレーションによる評価においては、ウェーブパイプライン化 ALU を搭載したプロセッサは同一プロセスで設計されたプロセッサと比較して高いスループットを示した。さらに、適用する組み合わせ論理回路のウェーブパイプライン方式への適応性の尺度を提案した。

これらの結果より、本論文ではウェーブパイプライン方式は適用範囲を広げることが可能であることを明らかにし、ウェーブパイプライン方式が、高速・低消費電力なマイクロプロセッサ実現ための一助となることを示した。

論文審査の結果の要旨

ウェーブパイプライン方式は、パイプラインレジスタを廃することで、従来のパイプライン方式が抱える遅延時間、回路面積、消費電力の問題を解決する手法として注目を集めている。しかしながら、ウェーブパイプライン方式はこれまで小規模かつ規則的な構造の回路にのみ適用されてきた。本論文では、ウェーブパイプライン方式の適用範囲を拡大することを目的とし、未だ適用例のないウェーブパイプライン化 ALU(算術演算論理装置)の設計を行なうとともに、ウェーブパイプライン手法の回路適応性について論じており、全編 6 章からなる。

第 1 章は緒論である。

第 2 章では、ウェーブパイプラインのタイミング制約と設計手法について論じている。従来のパイプライン方式と比較してウェーブパイプライン方式が厳しいタイミング制約を受けることから、緻密な設計が必要なことを示した上で、ウェーブパイプライン手法の大規模回路への適用手法を提案している。ウェーブパイプライン化回路の大規模化には今後の応用が期待されることから、これは重要な成果である。

第 3 章では、ウェーブパイプライン回路のビット幅依存性と多機能回路への適用可能性を考察するために、従来方式のパイプライン方式とウェーブパイプライン方式の比較評価を多角的な視点から行なっている。これに基づき、ウェーブパイプライン化 ALU は従来のパイプライン化 ALU と比較して、高速、小回路規模、低消費電力であることを CAD によるシミュレーションで示している。

第 4 章では、前章における議論に基づき、ウェーブパイプライン化 ALU を設計し、その評価を行なっている。ソフトウェアシミュレーションによる評価から、ウェーブパイプライン化 ALU を搭載したプロセッサが、同一のプロセステクノロジーで設計されたマイクロプロセッサと比較して、高速に動作することを示している。多機能回路のウェーブパイプライン化は例が少ないことから、これらの成果は前章のものと同様、今後の計算機設計において貴重な貢献である。

第 5 章では、ウェーブパイプライン方式の効果的な適用を目的とし、組み合わせ論理回路のウェーブパイプライン化適応性について論じている。まず、異なる構成の加算回路をウェーブパイプライン方式により設計し、その比較評価を行なっている。その結果から、速度、回路面積を考慮したウェーブパイプライン化適応の尺度を提案している。最後に、この尺度に基づき、ウェーブパイプライン化に適した回路の要件を提示している。多数のウェーブパイプライン化回路を体系的に整理し、統一的に評価した研究は例がなく、これはたいへん画期的な取り組みである。

第 6 章は、本論文を総括し、結論としている。

以上、要するに本論文は、大規模かつ多機能な回路へのウェーブパイプライン手法の適用について論じるとともに、ウェーブパイプライン手法の体系的な分析から回路設計における重要な指針を示したものであり、情報基礎科学並びに計算機科学の発展に寄与するところが少なくない。よって、本論文は博士(情報科学)の学位論文として合格と認める。