

氏名 (本籍)	おお さわ なお たか (北海道)		
学位の種類	博士 (情報科学)		
学位記番号	情博第 277 号		
学位授与年月日	平成 16 年 3 月 25 日		
学位授与の要件	学位規則第 4 条第 1 項該当		
研究科、専攻	東北大学大学院情報科学研究科 (博士課程) 情報基礎科学専攻		
学位論文題目	データ転送の局所化に基づくフィールドプログラマブル VLSI プロセッサに関する研究		
論文審査委員	(主査)		
	東北大学教授	亀山 充隆	東北大学教授 青木 孝文
	東北大学教授	坪内 和夫	東北大学助教授 張山 昌論
		(工学研究科)	

## 論文内容要旨

### 第1章 緒言

専用プロセッサをフルカスタムに基づく方式よりも短い開発期間で安価に実現するデバイスとして、FPGA に代表されるリコンフィギャラブル VLSI が注目されている。リコンフィギャラブル VLSI においては、配線遅延がきわめて大きく高性能化が望まれていた。そこで、配線の複雑さに起因する性能劣化を解決するために、データ転送局所化を指向したアーキテクチャを提案し、その有用性を実証した。

### 第2章 リコンフィギャラブル VLSI に望まれる要件とデータ転送の局所化手法

CDFG の直接アロケーションによるデータ転送の局所化と、2次元メッシュ網・ビットシリアルアーキテクチャによるスイッチブロックの単純化を提案した。そのために、まず従来の FPGA の問題点が相互結合網にあることを示し、データ転送の局所化により性能を向上できることをあきらかにした。

次に、データ転送の局所化のために、図1に示す直接アロケーションを提案した。CDFG によるアルゴリズムの表現と、ASIC への実装に必要なスケジューリング、アロケーションの手法の説明をし、典型的なアロケーションの1つである演算器数最小アロケーションを FPGA に対して実行した。このとき、相互結合網が複雑になり、FPGA のようなリコンフィギャラブルアーキテクチャでは実装面積が大きくなってしまいう問題があることを明らかにした。そして、その問題を解決する CDFG の直接アロケーションを提案し、FPGA のようなリコンフィギャラブルアーキテクチャに対してマルチプレクサ数の減少により実装面積が減少することを示した。

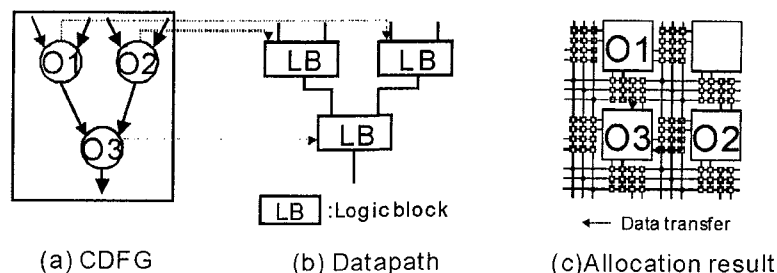


図1 CDFG の直接アロケーション

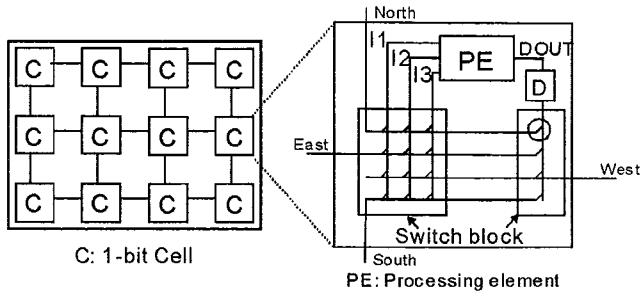


図2 FPVLSIの構成

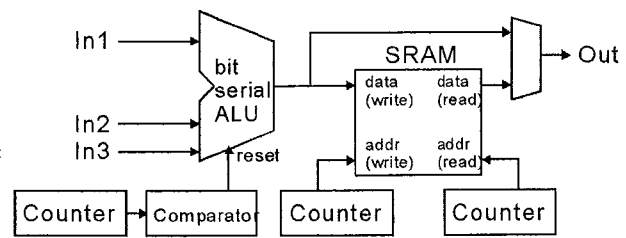


図3 全加算器PEの構成

さらに、CDFGの直接アロケーションに適合したリコンフィギャラブルアーキテクチャとして、図2に示す2次元メッシュ網とビットシリアルアーキテクチャに基づくフィールドプログラマブル VLSI プロセッサを提案した。このアーキテクチャはCDFGの直接アロケーションを行うために十分な相互結合網を持ち、しかも従来のFPGAの相互結合網より簡単な構成となっている。そのため、スイッチブロックの遅延や面積を減少させることができた。これらの相乗効果により、FPGAでの相互結合網の問題を解決することができた。

### 第3章 全加算器 PE を用いたフィールドプログラマブル VLSI の構成

図3に示す全加算器 PE により、算術演算に特化したFPVLSIを構成した。PEの機能としては、演算機能・記憶機能・制御機能を定義した。ここで、記憶機能では、メモリとしての機能の他に、データ入力タイミング調整のためのディレイ機能や、除算のためにLSBファーストのデータからMSBファーストのデータへと変換を行うリバース機能が必要であることを示した。

全加算器 PE は、全加算器で構成される演算部、SRAM で構成される記憶部、カウンタとコンパレータで構成される制御部からなる。演算部では専用回路を用いて高性能なビットシリアル演算が可能である。また、制御部のカウンタとコンパレータの構成をマルチプレクサで変えることにより、SRAM を用いた記憶やディレイ、信号のリバース等が可能となった。

スイッチブロックでは、制御配線やクロスする配線、2 並列にデータを転送する配線の必要性を明らかにして、全てを実現可能な構成を示した。1 本の配線を入力用としても出力用としても用いるため、出力側をハイインピーダンスにできるデマルチプレクサが必須であることを示した。

さらに、乗算と加算の性能マッチングを行った。加算と乗算では演算量が違うことを明らかにし、乗算を一部並列処理で行うビットシリアルパイプライン乗算器を用いて実行することにより、乗算と加算のスループットを合わせて稼働率を向上させた。

以上の提案に従って構成した FPVLSI の評価を行った。同一ルール、同一面積制約上で設計した FPGA と比べ、16-bit 16-point FFT 処理時間において、FPGA の 8 倍の性能を達成できた。

### 第4章 シフトレジスタ PE を用いたフィールドプログラマブル VLSI の構成

図4に示すシフトレジスタ PE を用いて、全加算器 PE で問題であった稼働率を向上させることができた。演算機能として LUT を用いた場合、LUT をシフトレジスタを用いて実装できることに着目し、また、ビットシリアルアーキテクチャの規則性に基づき、データの記憶をシフトレジスタを用いることにより実現できることに着目した。その結果、シフトレジスタを用いて、演算・記憶・制御機能の全てを実現することができた。

また、シフトレジスタ PE からなる FPVLSI を設計試作した。図5に FPVLSI のチップ写真を示す。FPVLSI では従来のFPGAに比べ、ステレオビジョンにおいて13倍以上の性能を達成できた。シフトレジスタ PE は LUT を用

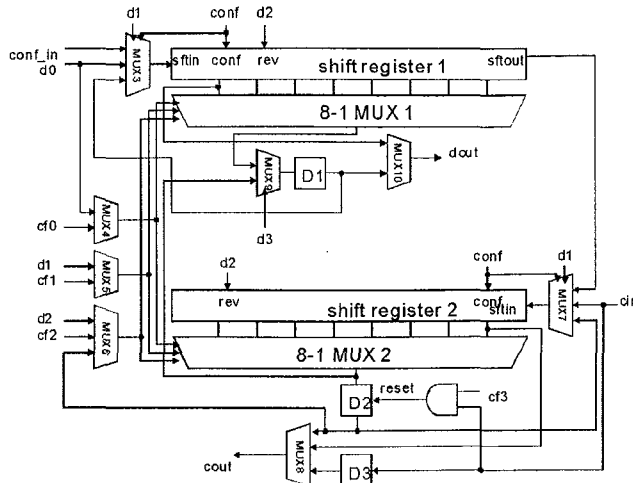


図 4 シフトレジスタPEの構成

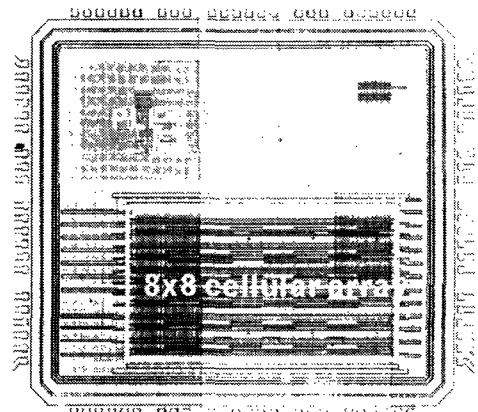


図 5 シフトレジスタPEを用いたFPVLSIのチップ写真

いた構成のため、算術演算だけでなく、論理演算も得意とするので、全加算器PEより広い範囲の応用に適應できる。

### 第5章 機能パスゲートPEを用いたフィールドプログラマブルVLSIの構成

強誘電体キャパシタを用いた機能パスゲートにより、スイッチブロックのコンパクト化と低消費電力化を実現した。スイッチブロックのほとんどはプログラムメモリからなるため、強誘電体キャパシタのコンパクト性と低消費電力性はスイッチブロックの面積・消費電力を大幅に小さくすることが可能である。

また、記憶・演算・データ転送の一体化により、さらにコンパクトなセルを実現した。強誘電体キャパシタの両端にかける電位差による演算と1bit分の記憶を行い、複数の強誘電体機能パスゲートを接続することによりシフトレジスタを構成し複数ビットの記憶を行った。パスゲートネットワークではデータ転送とともにワイヤードOR、ワイヤードANDによる演算も行えるため、演算とデータ転送も一体化できさらにコンパクトな回路を構成可能となった。

記憶のコンパクト化だけでなく、データ転送と演算の一体化、記憶と演算の一体化が活用できるため、FPVLSIは強誘電体キャパシタに特に適したアーキテクチャである。そのため、従来のシフトレジスタPEに比べ、AD演算回路において5倍以上の性能を見込むことができた。

### 第6章 結言

CDFGの直接アロケーションと2次元メッシュ網、ビットシリアルパイプラインアーキテクチャに基づくFPVLSIにより、FPGAで問題であったスイッチブロックの遅延・面積の問題を解決することができた。また、ビットシリアルアーキテクチャにより、語長に依存しない100%の稼働率と、並列度の高いセルラアレーの構成が可能となった。

次に、ビットシリアルパイプラインアーキテクチャに基づくPEの構成として、全加算器PE、シフトレジスタPE、機能パスゲートPEを提案した。全加算器PEは算術演算に特化するため、必要な演算・記憶・制御機能を1個のPEで実現した。次に、全加算器PEの各機能の稼働率の問題を解決するため、これら3個の機能のいずれかを同じハードウェアで実現できるシフトレジスタPEを提案した。シフトレジスタPEのメモリとしての稼働率をさらに向上させるため、1ビットの記憶と1ゲート分の演算からなる強誘電体機能パスゲートPEを提案した。これらのPEを用いたFPVLSIは、従来のFPGAに比べて10倍以上の性能を達成した。

## 論文審査の結果の要旨

FPGAに代表されるリコンフィギャラブルVLSIにおいては、配線遅延がきわめて大きく高性能が望まれていた。著者は、配線の複雑さに起因する性能劣化を解決するために、データ転送局所化を指向したアーキテクチャを提案し、その有用性を実証した。本論文はその成果を取りまとめたもので、全文6章よりなる。

第1章は緒言である。

第2章では、データ転送を局所化できるアロケーション手法とアーキテクチャを考察している。まず、処理アルゴリズムをコントロールデータフローグラフにより表現し、各ノードを1つの演算セルのみに割り当てる直接アロケーションを提案している。これによりデータ転送が局所化され、隣接セル間のみでデータ転送が可能な2次元メッシュアレー構造が有用であることを示している。また、任意の語長において演算器と配線の稼働率をほぼ100%にできる、ビットシリアルアーキテクチャを導入している。これらはリコンフィギャラブルVLSIの配線複雑性の解消に重要な成果である。

第3章では、積和演算を主体とする応用に適合するフィールドプログラマブルVLSIを提案している。加算を効率的に実行するため、全加算器、メモリ、ビットシリアル演算制御部などからなるセル構成方法を与えている。さらに、スループットが加算と等しくなる直並列乗算器の構成法を考案している。FFTへの応用例を通して、FPGAと比較して1桁程度の高速化が達成できることを明らかにしている。これは積和演算が多用されるパイプライン演算を主体とする応用に有用である。

第4章では、構成要素の稼働率をさらに向上させるため、演算、制御、記憶を同一のハードウェアで実現可能なシフトレジスタベースフィールドプログラマブルVLSIを提案している。ルックアップテーブルのプログラミングにより論理関数とセル間接続スイッチ機能を一体化する手法を考案し、高性能化を図っている。ステレオマッチングへの応用例を通して、FPGAと比較して大幅な高速化が達成できることを明らかにしている。これは、超並列演算応用において、実用性のある成果である。

第5章では、強誘電体機能パスゲートを用いて、記憶と演算をコンパクトに一体化した、細粒度パイプラインアーキテクチャを提案している。不揮発記憶の特長を活用すれば高性能化と低消費電力化を共に達成できることを示している。これは、次世代の高性能・低消費電力アーキテクチャとして興味ある成果である。

第6章は、結言である。

以上要するに本論文は、リコンフィギャラブルVLSIの配線の複雑さを解消し、データ転送を局所化する革新的アーキテクチャを開拓し、その有用性を明らかにしたものであり、情報基礎科学の発展に寄与するところが少なくない。

よって、本論文は博士(情報科学)の学位論文として合格と認める。