

氏名（本籍）	なついで まきのり 夏井 雅典（秋田県）
学位の種類	博士（情報科学）
学位記番号	情博第306号
学位授与年月日	平成17年3月25日
学位授与の要件	学位規則第4条第1項該当
研究科、専攻	東北大学大学院情報科学研究科（博士課程）情報基礎科学専攻
学位論文題目	進化的回路合成に関する研究
論文審査委員	（主査）東北大学教授 青木 孝文 東北大学教授 亀山 充隆 東北大学教授 中島 康治

## 論文内容要旨

### 第1章 緒言

近年、科学技術計算やデジタル信号処理などにおいて要求される演算能力は増加の一途をたどっており、用途に応じた多様な構造を持つ高性能な LSI に対する需要が高まっている。また、回路集積技術における技術革新にともない、従来ボード上で実現されていたようなシステムが、システム LSI、またはシステムオンチップ (SoC: System on a Chip) と呼ばれる 1 つの LSI 上で実現されるようになってきている。これにともない、LSI の設計はますます複雑で困難なものになっている。

演算回路やアナログ回路に代表されるような、特有のアルゴリズムや設計概念に沿って設計されるような回路構造の設計においては、論理合成を基本とする従来の自動設計技術が適用できないため、人手によるフルカスタム設計や、汎用的な回路ブロックのライブラリを用いた設計が行われているのが現状である。しかし、このような人間の知識や経験に依存したアプローチは、チップの集積度の向上に設計技術の改善が追い付かない「デザイン・クライシス」と呼ばれる深刻な問題につながるとも考えられており、今後ますます困難になると予想される。

著者らは、これらの問題の本質的な解決のためには、人間の創造的活動をも代替する新しい設計パラダイムが必要と考える。そこで、本稿では、構造に関する知識を用いない、創発的な回路設計手法を提案する。その中心となる着想が、進化的計算手法に基づいて回路を設計する進化的グラフ生成手法 (EGG: Evolutionary Graph Generation) である。

本論文では、(i) 多値算術演算回路のゲートレベル設計および(ii) カレントミラー回路のトランジスタレベル設計という 2 つの問題をとりあげ、EGG システムによる自動合成実験を行う。その結果から、従来自動合成技術の確立が困難と考えられてきた回路を含むより広いクラスの問題に対する EGG の適用の可能性について考察する。

### 第2章 EDA 技術と進化的計算手法に関する基礎的考察

近年、進化的計算手法と呼ばれる最適化手法に基づく新たな設計パラダイムが注目されている。進化的計算手法とは、与えられた環境に適應する複雑な構造が世代を重ねることで出現するという自然進化の過程を模擬することで、問題の最適解を探索する手法である。近年の計算機の処理速度の向上にともない、進化的計算手法の回路合成に対する適用は現実味を帯びつつあり、盛んに研究が行われている。

進化的計算手法に基づく最適化手法としては、一般に遺伝的アルゴリズム (GA: Genetic Algorithm) および遺伝的プログラミング (GP: Genetic Programming) が知られている。現在までに、これらの手法を用いた算術演算回路やアナログ回路の合成がいくつか提案されているが、現時点でこれらの手法によって合成される回路は、素子数の比較的小さいものに留まっている。この最も大きな理由として、GA や GP において解候補の表現に用いられるビット列や木構造は、回路構造に問題を限定した場合に表現のオーバーヘッドが大きく、実用的ではないという点があげられる。進化的計算手法を用いて回路合成を行う場合には、高い性能を有する回路を構成する有用な部分回路を効率よく探索できるような個体構造、および進化的操作の定義が必須になる。

### 第3章 EGG システムの設計とその拡張

EGG は、進化的計算手法に基づく回路合成手法である。EGG は、回路構造を直接表現可能なモデルとして「回路グラフ」と呼ばれる有向グラフを採用する。また、回路グラフを部分回路グラフの集合と解釈し、部分回路グラフに基づく構造操作を定義することで、回路構造に対する直接的な操作を可能にし、効率的な探索を実現している。

図1にEGGシステムのフローを示す。最初に、解の候補となる回路グラフをランダムに生成し、初期世代の個体群とする。回路グラフには、そのグラフによって表現される回路構造がどの程度仕様を満足しているかを示す評価値が与えられる。これを元に回路グラフを選択淘汰し、次世代へ残す個体群を決定する。また、高い評価値を有する個体に対しては「交叉」(図2(a))「突然変異」(図2(b))と呼ばれる操作が行われ、新たな回路グラフが生成される。次世代の個体群は、これらの操作によって新しく生成された個体群と、構造操作の対象とならなかった個体群から一定数の個体を選択することによって形成される。以上のような世代交代を、あらかじめ設定された世代に到達するまで繰り返し行う。

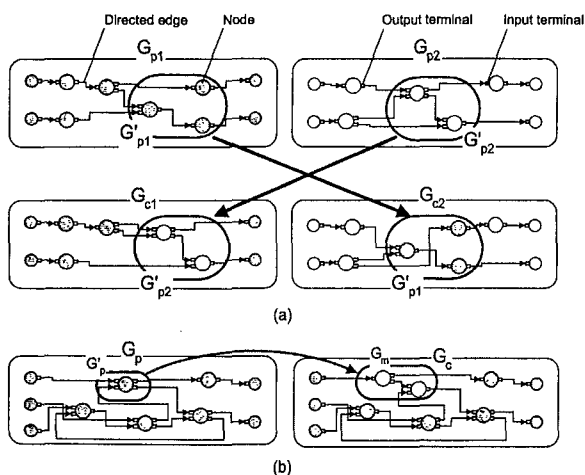


図1. 進化的構造操作: (a) 交叉, (b) 突然変異.

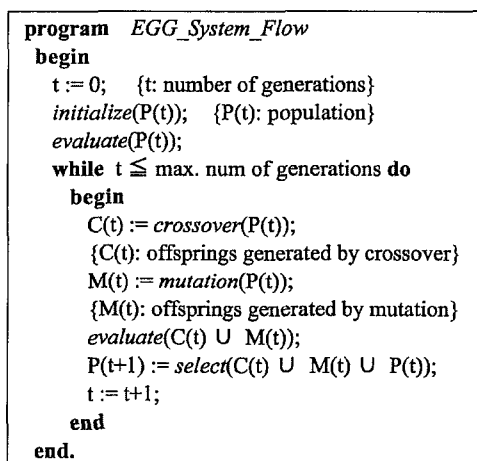


図2. EGG システムフロー.

### 第4章 電流モード多値論理に基づく算術演算回路のゲートレベル設計への応用

本章では、EGG システムによる、電流モード多値論理に基づく算術演算回路 (電流モード多値算術演算回路) のゲートレベル設計について述べる。

従来の2値論理に代わり、0, 1, 2, 3...といった多レベルの論理値を扱うことで情報の多重化を行う多値論理に基づいた集積回路のことを、多値集積回路と呼ぶ。多値集積回路は、現在のVLSI設計における配線の極限的微小化および回路内配線量の増加に起因する諸問題を解決する有効な手段として、盛んに研究が進められているが、系統的な設計手

法が確立しておらず、実用化が困難となっている。そのため、多値集積回路を今後実用化する上では、EDA による高水準設計支援が必須であると考えられている。

本論文では、EGG をより広いクラスの回路合成問題へ適用するための拡張を加えた端子整合制約付き EGG を新たに提案する。このモデルにおいては、従来の EGG が回路モデルとして用いる回路グラフに対し、新たに端子の色という情報が与えられる。色とは、各端子において入力、あるいは出力される信号の種類などによって決定される端子の性質をモデル化したものである。本手法では、個体表現として端子制約付き回路グラフと呼ぶ有向グラフを用いる。各端子にはその性質に応じて色が割り当てられ、許される色の組み合わせを有する端子間へのみ有向辺による接続が許される。

電流モード多値算術演算回路の自動合成実験を行い、端子整合制約付き EGG の探索性能について示す。各世代における最良個体の評価値の推移を図 3 に示す。10 回の試行において、制約を加えない従来の EGG では 1 度も機能を満たす構造の生成に成功しなかったのに対し、端子整合制約付き EGG は、10 回中 5 回の合成に成功している。また、EGG によって合成された 4 進 SD 数全加算器構造を図 4 に示す。現在までに人手によって経験的に設計されている回路構造に対し、同等以上の性能を有する構造の合成に成功している。

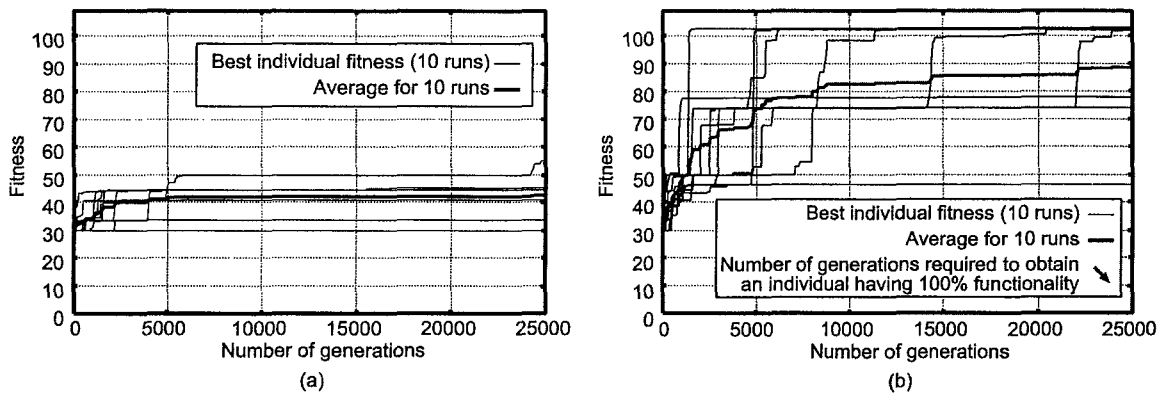


図 3. 評価値の推移: (a) 色制約無し, (b) 色制約有り.

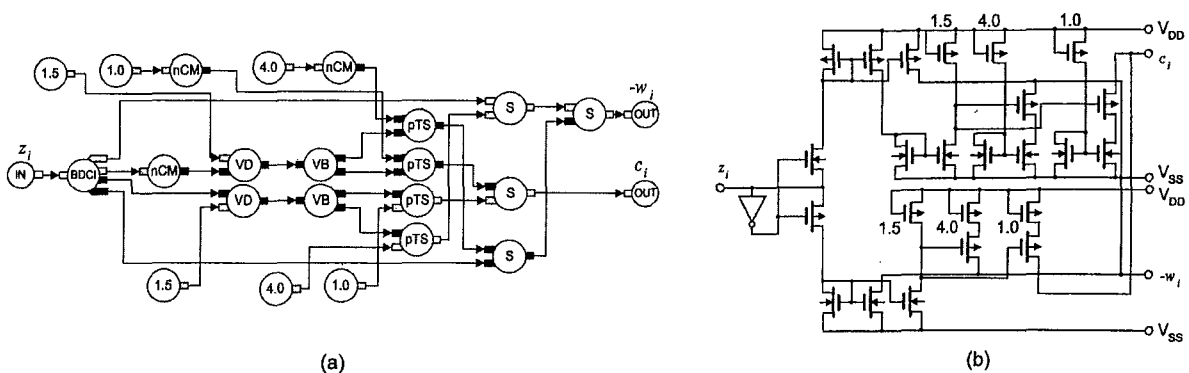


図 4. EGG システムによって合成された 4 進 SD 数全加算器: (a) 回路グラフ, (b) 対応する回路構造.

## 第 5 章 アナログ回路のトランジスタレベル設計への応用

本章では、EGG に基づくアナログ回路合成システムの構築について述べる。論理合成に基づく自動合成技術が確立しているデジタル回路とは異なり、アナログ回路設計においては依然として設計者の知識と経験の積み重ねに依存する

面が大きいのが現状であり、設計自動化が困難とされている。また、アナログ回路設計は、速度、電力、利得、精度、電源電圧など多次元のトレードオフを考える必要のある一種の多目的最適化問題と捉えることができ、最適構造の探索が非常に難しい。

アナログ回路設計における基本回路ブロックの一つであるカレントミラーを合成対象として取り上げ、EGG システムによる合成実験を行う。カレントミラーは、入力された電流の向きを反転し、出力する回路であり、オペアンプや OTA、電流モード回路といった多くの回路構造において電流のコピー、増幅および反転という処理を実現する基本的な回路ブロックとして用いられる。理想的なカレントミラーが満たすべき特性としては様々なものがあるが、これらの特性は互いにトレードオフの関係にあるため、満たすべき仕様に応じて様々な回路構造が提案されてきた。設計者は、満たすべき仕様に応じ、その都度最適と考えられる回路構造を選択、あるいは再設計しなければならない。

(i) 入出力電流特性、(ii) 最低動作電圧、(iii) ステップ入力に対する整定時間および (iv) 回路規模を評価の対象として合成実験を行った際に、EGG によって得られた回路構造を図 5 に示す。本構造は、低電圧カスコードカレントミラーとして知られる構造と、それに付随する部分回路の二つから構成されている。図 6 に示すように、この部分回路は、低出力電圧時のみ駆動して電流  $i_2$  を発生し、電流  $i_1$  の減衰を補償する機能を有する。従来知られている低電圧カスコードカレントミラーと呼ばれる回路と比較して、本構造は、DC 特性、最低動作電圧および整定時間において良好な特性を示す。以上の結果から、EGG が、複数の評価基準の最適化が必要となるアナログ回路設計においても有効に働くことが確認できる。

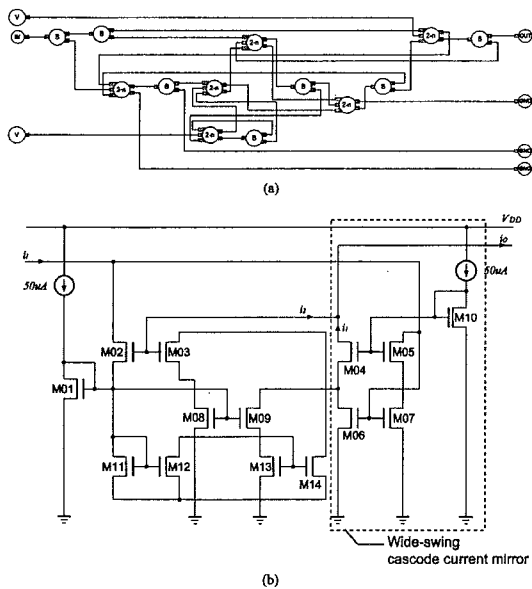


図 5. EGG システムによって合成されたカレントミラー: (a) 回路グラフ, (b) 対応する回路構造。

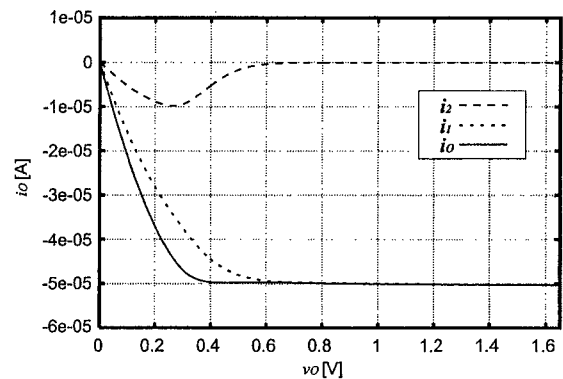


図 6. 各部分回路の  $v_o$ - $i_o$  特性。

## 第 6 章 結言

本論文では、進化的グラフ生成手法に基づく汎用なグラフ構造の最適化システムである進化的グラフ生成システムの構築とその拡張、および本システムを用いることによる回路の進化的合成について述べた。EGG は、一般的なグラフ構造を個体表現として用いるため、従来行われている任意の設計レベルにおいて広く適用が可能である。そのため、既存の設計支援技術との協働方法を確立するとともに、今後ますます向上することが予想される計算処理能力を有効に活用することで、人間の知的活動を演算処理で代替するような新しい設計パラダイムを推進していくことが期待される。

## 論文審査の結果の要旨

近年、集積回路技術の大規模化・複雑化に伴い、システムの設計自動化への要求が高まっている。しかし、アナログ回路の設計や多値論理などの新しい動作原理に基づく回路の設計は、特有の知識と経験を必要とするため自動化が困難であった。著者は、このような問題の解決のために、進化的グラフ生成手法と呼ぶ回路構造の自動生成手法に着目し、これを実用的な規模の問題に適用するための方法を提案するとともに、その応用として多値論理に基づく算術演算回路およびアナログ回路の合成システムを構築した。本論文はこれらの成果をとりまとめたもので、全文6章よりなる。

第1章は緒言である。

第2章では、集積回路の設計自動化技術に関する基礎的考察を与えるとともに、進化的計算を回路合成に適用する際の課題について述べている。

第3章では、進化的グラフ生成手法に関する定式化を与えるとともに、これを実用的な規模の回路合成問題へ適用するための各種の拡張を提案している。特に、進化的グラフ生成手法で用いられる回路グラフと呼ぶ個体表現に対して、端子整合条件に基づく構造上の制約を与えることにより、高い効率で回路合成を行う方法を示している。

第4章では、多値論理に基づく算術演算回路を合成する進化的グラフ生成システムを構築した結果を示している。端子整合条件を導入して探索空間を削減することにより、多様な機能素子から構成される算術演算回路を合成できることを実証している。具体的には、4進SD数全加算器、非冗長4進数全加算器、7入力3出力カウンタ、量子化回路の合成実験を行い、人手によって設計された従来の回路と比較して同等以上の性能を得ることに成功している。これは有用な成果である。

第5章では、アナログ回路を合成する進化的グラフ生成システムを構築した結果を示している。各種のカレントミラー回路の合成実験を行い、精度・動作条件・応答速度・回路規模などの多様な設計要求に応じて回路を合成する多目的最適化が実現できることを明らかにしている。さらに、トランスマイグレーションと呼ぶ回路構造の再利用操作により、探索効率が大幅に改善することを実験的に示している。これは実用上重要な成果である。

第6章は結言である。

以上要するに本論文は、進化的グラフ生成手法の探索効率を向上させるための方法を提案するとともに、多値算術演算回路およびアナログ回路の合成システムを構築してその有用性を実証したものであり、集積回路工学ならびに情報基礎科学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。