

氏名	おおかわ たけし		
学位	大川 猛		
学位授与年月日	博士(工学)		
学位授与の根拠法規	平成15年3月24日		
研究科, 専攻の名称	学位規則第4条第1項		
学位論文題目	東北大学大学院工学研究科(博士課程)電子工学専攻		
指導教官	LSI開発の短期間化を支援する設計自動化システムに関する研究		
論文審査委員	東北大学教授 高橋 研	東北大学教授 川又 政征	
	主査 東北大学教授 高橋 研	東北大学教授 青木 孝文	客員教授 大見 忠弘
		(情報科学研究科)	(東北大学未来科学技術共同研究センター)
	東北大学助教授 小谷 光司		

論文内容要旨

まえがき

多様な機能と高速応答性・低消費電力が同時に要求される携帯情報端末・情報家電といった情報エレクトロニクスシステムの開発期間は、システムの大規模化・複雑化に伴い長期化している。ニーズに応じて短期間で製品を開発し世の中に出していくためには、ソフトウェアとLSIとが混在するシステムの協調動作を、LSIを製造することなく仮想的に実現し、検証・デバッグを短時間で行える環境を開発者各個人が自由に使えるようにする必要がある。本研究の目標は、動的再構成可能LSIを用いることで、低価格で高速なLSI回路エミュレーション環境を構築することである。

フレキシブルプロセッサによるソフトウェア・ハードウェア協調検証システム

LSIの動作を検証するために一般的に用いられるのは、汎用プロセッサとソフトウェアによるシミュレーションである。しかし低速であるため十分な検証が行えないのが現状である。検証速度向上のために専用のエミュレータシステムが開発されているが、従来のFPGA(Field Programmable Gate Array)を用いたエミュレーションでは、一度プログラムされたFPGAは回路動作中に機能を変えることを前提としていないため、必要なだけのFPGAを用意し検証対象の回路デザインを全て動作前にプログラムしなければならない。そのため、大規模回路の検証を行うエミュレータは必然的に大型・高価になる。

それに対し、動作時に機能(回路構成)を瞬時に切り替えて使用することができる動的再構成可能LSIとして「フレキシブルプロセッサ」の概念が提唱されている。これは、論理関数を実現するロジックエレメント、およびそれらロジックエレメント間を繋ぐプログラマブル配線と複数組のコンフィギュレーション(回路構成)メモリからなるLSIである。複数組のコンフィギュレーションメモリを必要に応じて切り替えることで、所望の回路を瞬時に実現することができる。

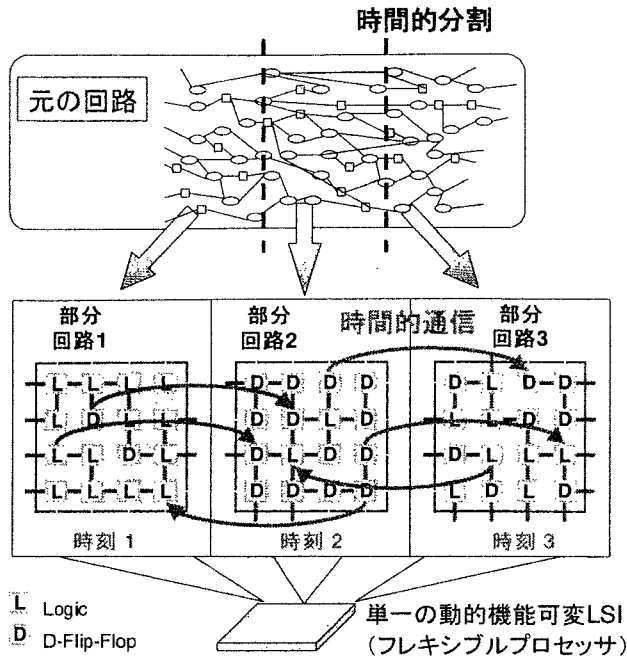


図1 大規模回路の時間的分割によるエミュレーションの概念

図1に示すように検証対象の大規模なLSI回路デザインを部分回路に分割して単一のフレキシブルプロセッサ上に順次プログラムし、機能を瞬時に切り替えていくことで大規模な回路のエミュレーションを行えば、小型で安価なLSI回路エミュレーション環境を構築することが可能である。

ただし、分割された回路は一般に内部状態（メモリ要素）を持つ順序回路であり、フレキシブルプロセッサが機能を切り替えて順次実行される際にも内部状態が破壊されてはならない。また、分割された部分回路間に信号の通信が生じる（時間的通信）ため、その通信をサポートするハードウェアリソースが必要である。また、この回路分割

は信号の流れに沿った分割でなければならぬため、一般的な無向グラフの分割アルゴリズムは適用不可能である。以上より、本研究における具体的な開発課題を以下のように決定した。

- 回路の時間的分割に対応したフレキシブルプロセッサ用の配置配線ツール
- 時間的に分割した回路を高速に実行可能なフレキシブルプロセッサ・アーキテクチャ

まず、高速なエミュレーションを行うためのフレキシブルプロセッサのアーキテクチャを検討するため配置配線ツールPELOCを開発した。また、時間的制約に基づいたスケジューリングによる分割アルゴリズムを新たに開発しソフトウェアに実装することで、時分割実行時に矛盾の無い分割が行えることを確認した（図2）。さらに、各種ベンチマーク回路を時間的に分割する定量的な実験を行い、フレキシブルプロセッサ・アーキテクチャの設計指針として以下を得た。

- 1、時間的通信を行うためのハードウェアは、1つの論理素子につき1つ用意する必要がある。
- 2、フレキシブルプロセッサの基本論理素子あたりの回路構成情報量を削減することで大規模な回路エミュレーションを高速化できる。

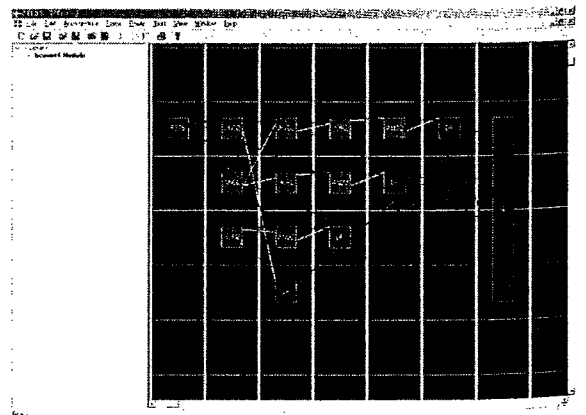


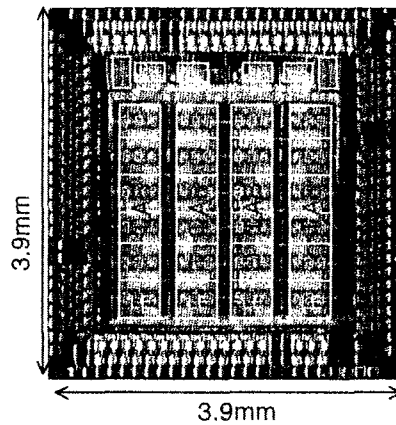
図2 配置配線ツールPELOCによる時間的分割の例

時分割回路実行の高速化に適したフレキシブルプロセッサ・アーキテクチャ

以上得られた知見を元に2つのフレキシブルプロセッサ (FP-1 および FP-2) を設計した。

フレキシブルプロセッサを短時間にプログラム可能にするためには、回路の構成情報の量を削減する必要がある。現状の FPGA にロジックエレメントとして広く採用されている LUT(Look Up Table)は、全ての論理関数を実現できるメリットがある一方、実際には使われない関数も多く無駄が多い。そのため設計したフレキシブルプロセッサには、既に提案されている FDMM (Full-Adder / D-flip-flop

Merged Module)をベースとしたロジックエレメントを採用した。FDMM は実現する機能をシンプルなものに限ることで、ロジックエレメントあたりの回路構成情報を削減している。また、時分割された部分回路の実行を行う際の、部分回路間の信号の通信、および部分回路の内部状態の保存・復帰をハードウェアレベルでサポートするモジュールとして、時間的通信モジュ



Technology
VDEC
Rohm0.6 μ m CMOS 3-Layer

トランジスタ数
609kトランジスタ

Flexible Processor スペック
1コンテキストあたり24LE
(1LE = 10gate換算で240gate相当)
4コンテキスト搭載
(1200gate相当)
24 User I/O

図3 試作したフレキシブルプロセッサ(FP-1)のチップ写真

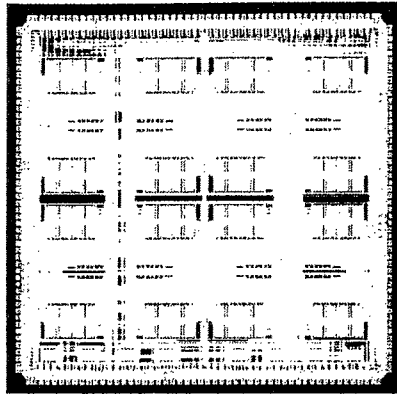
ール(TCM: Temporal Communication Module)を開発し、ロジックエレメントと対として搭載した。

試作したフレキシブルプロセッサ (FP-1 : 図3) を実際に動作させるため配置配線ツール PELOC を用いて自動配置配線を行いコンフィギュレーションデータの作成を行った。LSI テスタによる測定を行い、4つの回路をクロック単位で切り替えて実現できること、および時分割した部分回路を順次実行することによりオリジナルの回路と等価な機能を実現することを確認した。

続いて設計したフレキシブルプロセッサ(FP-2 : 図4)は、個人レベルで使用可能な小型で安価なエミュレータシステム (パーソナル・エミュレータ) に搭載することを考慮に入れ設計した。FP-1 においてはロジックエレメントにおける回路構成情報量の削減を主眼に置いたが、さらに FP-2 においてはロジックエレメント間を接続するプログラマブル配線アーキテクチャについての回路構成情報量の削減を考慮に加えた。

しかし、単にプログラマブル配線アーキテクチャの配線量・回路構成情報量を減らすだけでは、配線の自由度が低下しプログラムする回路を配置配線できない可能性が高くなる。実際のアプリケーション回路においては、すべての素子の出力をすべての素子の入力端子が必要とする事は無い。必ずある程

度の機能的なまとまりを持ったブロックがつなぎ合わされて大規模な機能を実現している。そのため、実際のアプリケーション回路における素子間結合の局所性（一般的に Rent の法則として知られる）を利用し、近傍のロジックエレメント間の配線を密に（ロジッククラスタの形成）、離れたロジックエレメント間の配線を疎にする、階層的な配線アーキテクチャを導入した。その際、配置配線ツール PELOC によりベンチマーク回路を実際に空間的に分割することで定量的な評価を行い、ロジッククラスタ間の



Technology
VDEC
Rohm 0.35 μ m
CMOS 3-Layer
トランジスタ数
981kトランジスタ
Flexible Processor スペック
128LE / context
4 context / chip
64 User I/O
TCM-data BUS
(内部状態観測用)

図4 設計したフレキシブルプロセッサ(FP-2)のチップレイアウト

プログラマブル配線量の決定を行った。
また、ロジッククラスタ間の配線についても、各ロジッククラスタを完全に接続可能とするのではなく、4次元キューブのネットワークポロジを元に接続可能なロジッククラスタを限定することで、配線量・回路構成情報量の削減を行った。

また可変粒度ロジックエレメント、すなわち回路構成情報を複数のロジックエ

レメントおよびプログラマブル配線に一度に書き込む機構を設けることで回路構成情報の書き換えサイクルを削減できるようにした。最後にフレキシブルプロセッサを用いたパーソナル・エミュレータ・システムのエミュレーション速度の見積を行い、既存のFPGAを用いて構成した場合と比べ、大規模回路のエミュレーション速度を向上することのできる可能性を見出した。

あとがき

以上本研究においては、情報処理システム開発の短期間化に必要な、高速で個人レベルで使用可能なソフトウェア・ハードウェア協調検証環境（パーソナル・エミュレータ）を構築することを目標とし、キーデバイスとなるフレキシブルプロセッサ（動的再構成可能プロセッサ）の設計指針を検討し、その実装例を与えた。本研究を通じ、機能可変LSIであるフレキシブルプロセッサの応用としてパーソナル・エミュレータ・システムの構築を行ったが、今後、動的なハードウェア再構成を利用した新しいアイデアにより、現状の汎用プロセッサの限界を超えるコンピューティングの世界が出現することを期待したい。

論文審査結果の要旨

半導体集積回路(LSI)の製造技術および設計技術の発展の成果である電子情報システムは、現在の社会を支える基盤となっている。しかし、LSI・ソフトウェア双方の大規模化に伴ってシステムの設計期間は長期間化しており、ニーズに応じて短期間でエレクトロニクス製品を開発することが困難になっている。品質の良いシステムを短期間で開発するために必要となるのが、ハードウェアモデルおよびソフトウェアモデルの高速な協調検証環境である。一般に用いられるソフトウェアによるシミュレーション環境は、安価ではあるが、モデルの実行速度が低速であるため十分な検証を行うことができない。一方、プログラム可能なLSIであるField Programmable Gate Array (FPGA)を複数用いて仮想的にLSIを実現するハードウェアエミュレータが実用化されているが、検証対象のハードウェアモデル規模の増大に伴いシステムが大型化し非常に高価である。著者はこの問題を克服するために、個人レベルで使用可能な安価な電子情報システム検証環境の構築を目指し、ソフトウェア・LSIモデルの実行を可能とする、回路エミュレーションの高速化に適した動的再構成可能LSI(フレキシブルプロセッサ)を開発・試作し、その動作を実証した。本論文は、これらの研究成果を取りまとめたもので、全文4章よりなる。

第1章は序論である。

第2章では、フレキシブルプロセッサによるハードウェア・ソフトウェア協調検証システムについて、その要件を論じている。時間的制約に基づく回路分割アルゴリズムをソフトウェアとして実装し、検証対象の回路デザインを、時間的制約に基づいたスケジューリングによる分割法により分割することで、時分割実行時に矛盾の生じない正当な分割が行えることを確認している。また、大規模な回路の高速エミュレーションのためには、フレキシブルプロセッサの基本論理回路あたりの回路構成情報量を削減することが、ハードウェア・ソフトウェアモデルの実行速度向上につながることを理論的に示している。さらに、フレキシブルプロセッサを用いたシステムを研究開発するため必須となる動的再構成LSI向けの開発用配置配線ソフトウェアを構築した。これは極めて重要な成果である。

第3章では、時分割回路実行の高速化に適したフレキシブルプロセッサ・アーキテクチャについて論じている。はじめに、マルチコンテキスト動的再構成デバイスであるフレキシブルプロセッサ(FP-1)の設計について述べている。このプロセッサの特徴は、一般的なLUT(Look-Up-Table)に比べ回路構成情報量の少ない基本論理回路(ロジックエレメント)を用いることと、時間的に分割された回路間の通信をハードウェアレベルでサポートすることである。このフレキシブルプロセッサの試作を行い、コンテキストを切り替えることにより機能を瞬時に変更可能であること、また時分割された回路を逐次実行することにより対象となる大規模回路全体の動作を検証できることを示している。また、パーソナル・エミュレータ・システムを構築するために設計したフレキシブルプロセッサ(FP-2)について述べ、その中で動的再構成可能LSI向けのプログラマブル配線アーキテクチャについての議論を行い、配線の自由度を確保しつつ回路構成情報量を削減することに成功している。これは極めて重要な成果である。

第4章は結論である。

以上要するに本論文は、動的再構成可能なプログラマブルLSIを用いたシステムモデル実行の高速化における要件を明らかにし、電子情報システム開発短期間化に極めて有用な、個人レベルで使用可能な安価な電子情報システム検証環境実現の可能性を示したもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。