

氏名(本籍)	小西忠雄(兵庫県)
学位の種類	工学博士
学位記番号	工博第204号
学位授与年月日	昭和44年7月2日
学位授与の要件	学位規則第5条第1項該当
研究科専門課程	東北大学大学院工学研究科 (博士課程)電気及通信工学専攻
学位論文題目	磁心を用いたアナログ遅延回路に関する 研究
	(主査)
論文審査委員	教授 福島 弘毅 教授 松尾 正之 教授 穴山 武

論文内容要旨

第1章 緒論

むだ時間シミュレータ, DLS, 相関器などを構成する場合等多くの分野で信号の遅延技術が必要とされている。特にアナログ情報を扱う場合に問題が多い。むだ時間要素としては各種の方式について研究がなされているが, 本論文では, 標準化されたアナログ信号を, 記憶素子を直列に接続した遅延回路により順次シフトし, 各種の遅延時間を有するパルス信号を得る場合について検討を加えた。

尚標準化アナログ信号のための記憶素子としては磁心を用いた。従来磁心を用いた場合はあまり高精度が望めぬものとされ, 磁心の特徴を生かすべき回路条件など不明な点が多い。それ故本論文では, 回路素子特に磁心の特性によって記憶回路の入出力特性がいかなる影響を受けるかを吟味した。特に二個の回路をプッシュプル接続し, 両極性入力信号を扱う場合適当な使用条件のもとでは, 磁心はさらにす

くれた特性の記憶素子として用いる事を述べる。

第2章 磁心を用いたアナログ記憶要素

角形ヒステリシスループ特性を有する磁心の磁束レベル保持特性を利用しアナログ記憶要素を構成する。記憶要素の入出力特性として直線性のすぐれた特性を得るためにPWM矩形電圧パルスにより情報の書き込み及び読み出しを行なう破壊読み出し形記憶要素を構成する場合について述べる。その際、磁心の特性が完全な角形でない為に、主として次の二点で入出力特性に直線関係からの誤差が生じる。

i) 励磁電流が磁束レベルによって変化するため、回路抵抗による電圧降下が変化する。

ii) 書き込み終了後、磁束レベルが後もどりする量(もどり磁束量 ϕ_u と呼ぶ)が、磁束変化速度、磁束レベル等によって変化する。

基本回路を第2.1図に示す。上に述べた磁心の特性等を考慮し入出力特性を求めると(2.1)式となる。(第2.1図参照)

$$T_o = \frac{N_r (E_{sw} - \bar{i}_w r_w - V_{ew})}{N_w (E_{sr} - \bar{i}_r r_r - V_{er})} T_{in} + \frac{N_r (\phi_s - \phi_u)}{E_{sr} - \bar{i}_r r_r - V_{er}} \quad (2.1)$$

ただし $\bar{i}_w = \frac{1}{T_{in}} \int_0^{T_{in}} i_w dt$ T_{in} : 入力パルス巾

$\bar{i}_r = \frac{1}{T_o} \int_0^{T_o} i_r dt$ T_o : 出力パルス巾

r_r, r_w, V_{er}, V_{ew} は回路特性を直線近似した特性値とする。

第2.1図に示すような回路を二個中点バイアスプッシュプル接続した場合、即ちそれぞれの回路への入力パルス巾が $T_b \pm \frac{T_{in}}{2}$ (T_b : バイアスパルス巾にて最大入力パルス巾の略 $\frac{1}{2}$) となるようにした場合の入出力特性は(2.2)式となる。ここでサフィックス(+)(-)は各々正負両回路に属するものである事を示す。

$$T_o = T_{o(+)} - T_{o(-)}$$

$$\begin{aligned} \doteq & T_{in} + \frac{1}{E_s} [\{ (V_{er(+)} - V_{er(-)}) - (V_{ew(+)} - V_{ew(-)}) \} T_b + \{ (V_{er(+)} \\ & + V_{er(-)}) + (V_{ew(+)} + V_{ew(-)}) \} \frac{T_{in}}{2}] + \frac{1}{E_s} [\{ (\bar{i}_r(+))r_r(+) - \bar{i}_r(-)r_r(-) \} \\ & - \{ (\bar{i}_w(+))r_w(+) - \bar{i}_w(-)r_w(-) \} T_b + \{ (\bar{i}_r(+))r_r(+) + \bar{i}_r(-)r_r(-) \} - \{ (\bar{i}_w(+))r_w(+) + \end{aligned}$$

$$i_{w(-)} r_{w(-)} \left. \right\} \frac{T_{in}}{2} \left. \right\} + \frac{N}{E_s} (\phi_{s(+)} - \phi_{s(-)}) - \frac{N}{E_s} (\phi_{u(+)} - \phi_{u(-)}) \quad (2.2)$$

ただし $N_{r(+)} = N_{w(+)} = N$ とする。

第2項以下が誤差を表わすが、第2項、第4項は直線となるのに対し、第3項、第5項は複雑な曲線となる。前者即ち励磁電流の変化による第3項はプッシュプル接続の効果により大幅に改良されるが、磁束レベル等により複雑な変化をする ϕ_u による後者はプッシュプル効果もあまり多くを期待できず、最も大きな問題となる。そこで角形特性が良く記憶磁心としてすぐれた特性を有する 50% Fe-Ni permalloy 巻磁心について、諸条件による ϕ_u の変化の測定例を示す。

i) 書き込み速度の影響(第2.2図) この影響が最も大きく、高速度になる程大きくなると同時に、記憶される磁束レベルとの関係は非直線性が強くなる。即ち高速度書き込みは適さぬ事がわかる。又最大もどり磁束量 $\phi_{u\max}$ は、書き込み速度の 0.4 ~ 0.7 乗に比例する事がわかった。

ii) 巻磁心テープ厚は薄い方が ϕ_u が少い傾向

iii) 角形比は大きい方が ϕ_u が少い傾向がある。

iv) バイアス電流の影響 書き込み電流と同方向に定電流バイアスを施す事により ϕ_u の大きさを小さくできる。

尚 i) で述べたように書き込み速度は ϕ_u 特性が平坦になるような速度を選択すべきである事から、磁心の外径と内径の差によって、入力最大パルス巾 T_s は、ある程度規定される。

これ等の事を考慮し、50% Fe-Ni permalloy (0.025 × 1.0 × 2.5 × 3.5mm) の磁心を用い、 $T_s = 5 \text{ msec}$ として実験を行なった結果の(2.1)式で表わされる誤差特性を第2.3図に示す。若干の誤差はあるが各項による誤差の様子を知ることができる。

実験の結果得られた特性を直線近似した場合、その直線からの誤差は ϕ_u の変化等によるため、補正する事は困難である。しかし、その近似直線を $T_o = T_{in}$ の理想直線に近づける様補償しなければならぬ。その為には正負両回路について巻線数あるいは回路抵抗 r_w 等を変化させる事により、利得及び零点を補償する事ができる。補償後の入出力特性例を第2.4図に示す。±4000 μsec の信号範囲に対し ±3 μsec 以下の誤差となり、これは ϕ_u 特性のすぐれたものを用いた為と考えられる。温度の影響を同図に合せ示す。

第3章 磁心を用いた多段接続アナログ遅延回路

磁心は同時に書き込み、読み出しを行なう事ができぬので、前章で述べた回路を2段接続する事

によって遅延時間 T (T : サンプリング周期) の単位遅延素子とした。(第 3.1 図) 回路間の相互干渉を防ぐため、パルス電源を用い、又バイアスパルス巾の変化を補償するための補償回路等を設けた。第 3.1 図の回路を 9 段接続した場合の入出力特性を第 3.2 図に示す。電源の変化に対し強く、 $\pm 4000 \mu\text{sec}$ の信号範囲に対し、 $\pm 15 \mu\text{sec}$ 以下の誤差範囲に入るという結果が得られた。又 9 段目の出力の変動は $\pm 5 \mu\text{sec}$ 以下である。

第 4 章 標本化回路及びパルス巾変調回路

本研究に於てはアナログ遅延回路の信号として、PWM パルス信号を用いている。パルス巾変調回路として種々のものが存在するが、磁心を用いたものは比較的簡単な回路によって 0.1% 程度の精度のものが得られる。出力としてパルス巾及び電圧時間積と二通りの信号形態をとり得る事、絶縁出力が得られる事により各種の演算機能を持たせる事ができる。

書き込み信号が PWM パルス信号から PAM パルス信号に変わっているが、本質的には第 2 章で述べた記憶要素と同様に考える事ができ、出力信号の形態も遅延回路と同様にできる。

第 5 章 パルス信号の復調について

(遅れを伴う三角ホールド)

標本化パルス信号を低域ろ波特性を有するホールド回路を通しアナログ信号に復調する必要がある場合、一般に位相遅れが小さい事、回路が簡単である事から零次ホールド等が用いられるが出力に含まれる歪は大きい。しかし、前章まで述べた遅延回路の出力の補間など位相遅れが大きくてもさしつかえぬ例は多い。その場合遅れを伴う三角ホールドは出力が折線近似となり歪の少ない出力が得られ好都合である。

基本的には第 5.1 図に示すような回路方式にて実現できる。

先ず三角ホールド回路の特性を知るため、他のホールド回路と利得、位相、歪率等の特性を比較し、次で、回路を設計する為の基準を求め、図面によって示した。

遅延回路の出力を三角ホールドで補間した実験例を第 5.2 図に示す。点線は零次ホールドを用いた場合の出力である。

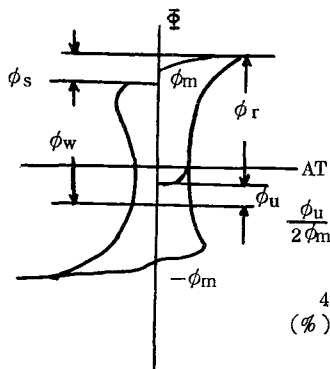
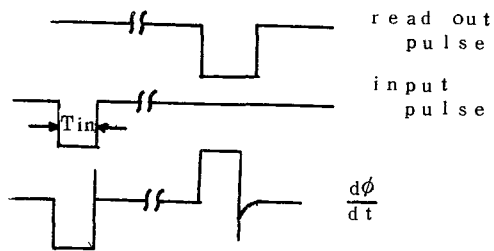
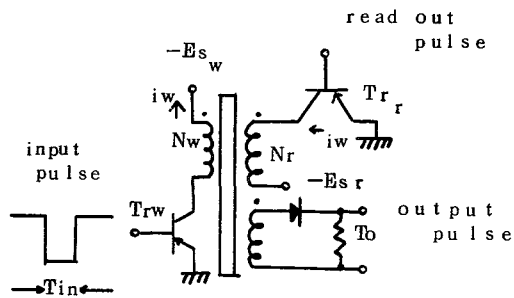
第 6 章 結 言

以上本論文では、磁心をアナログ記憶素子として用い遅延回路を構成する上での諸問題について検討を加えた。

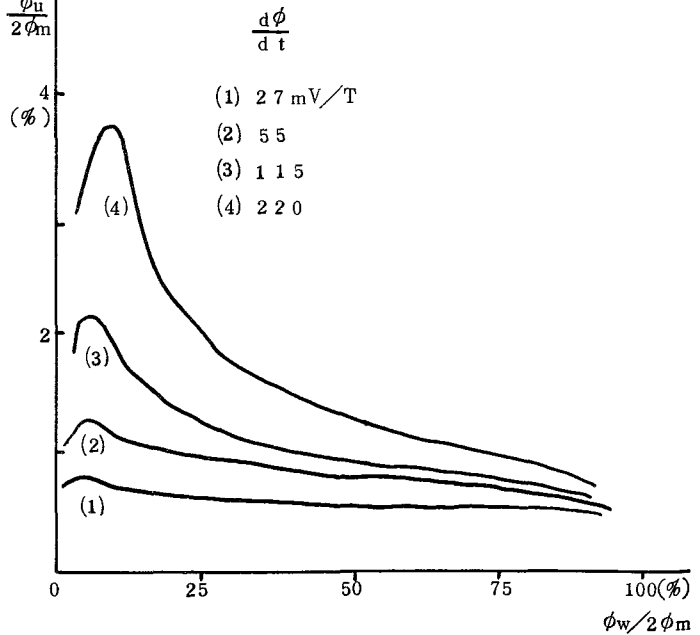
遅延素子を直列に接続し遅延回路を構成する方式は、信号の書き込み読み出しの回数が増えるという欠点はあるが、同時に各種の遅延時間の信号が得られ、応用範囲は広い。磁心は比較的簡単な回路により記憶回路を構成でき、記憶時間はホールド回路によって制限される事は有っても本質的に長時間記憶が可能である。

すぐれた直線性を得るためには、比較的低い磁束の変化速度となるような電圧パルスを用いる破壊読み出し方式がよい。磁心の適当なスイッチング時間は、材料が等しいならば、磁心の外径と内径の差におおよそ比例するものと考えられる。

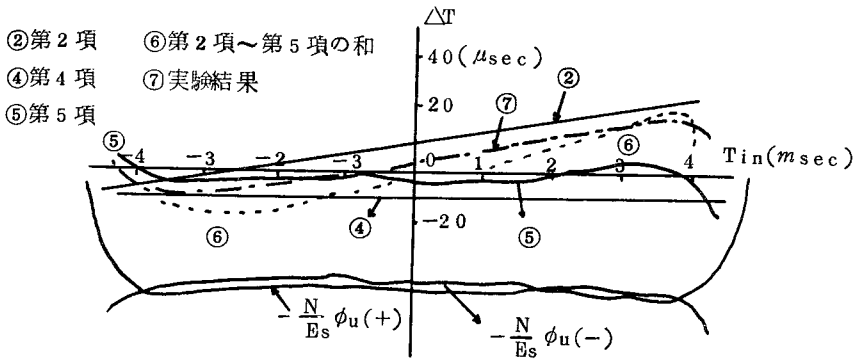
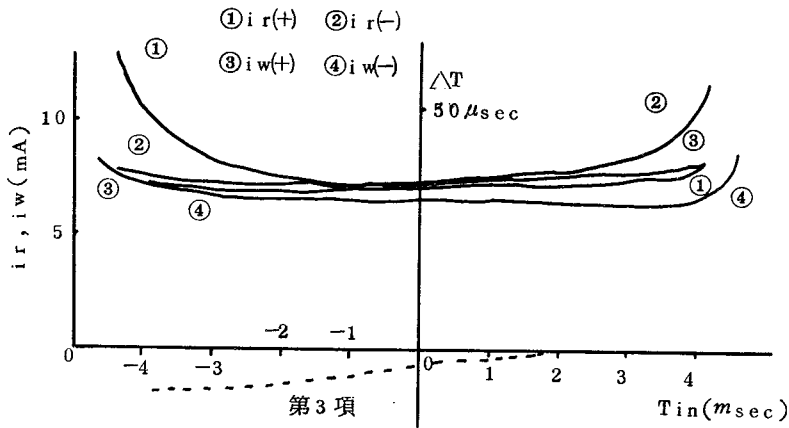
付録にD、L、Sとして $D(Z)=(1+Z^{-1})^{-1}$ 、 $D(Z)=(1-Z^{-1})^{-1}$ の試作例を示したが、制御装置として実用可能と考えられる。



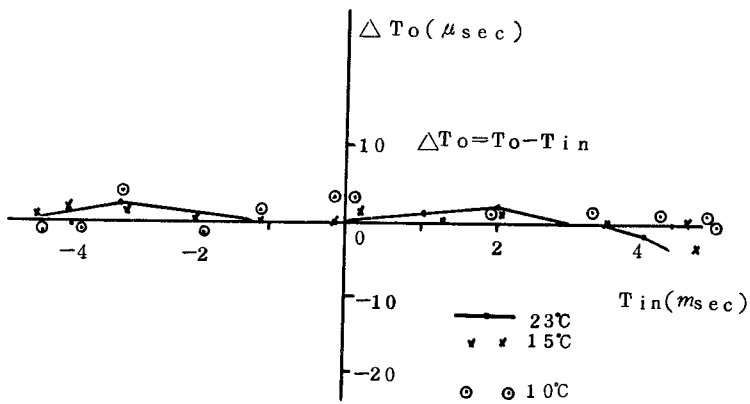
第 2.1 图



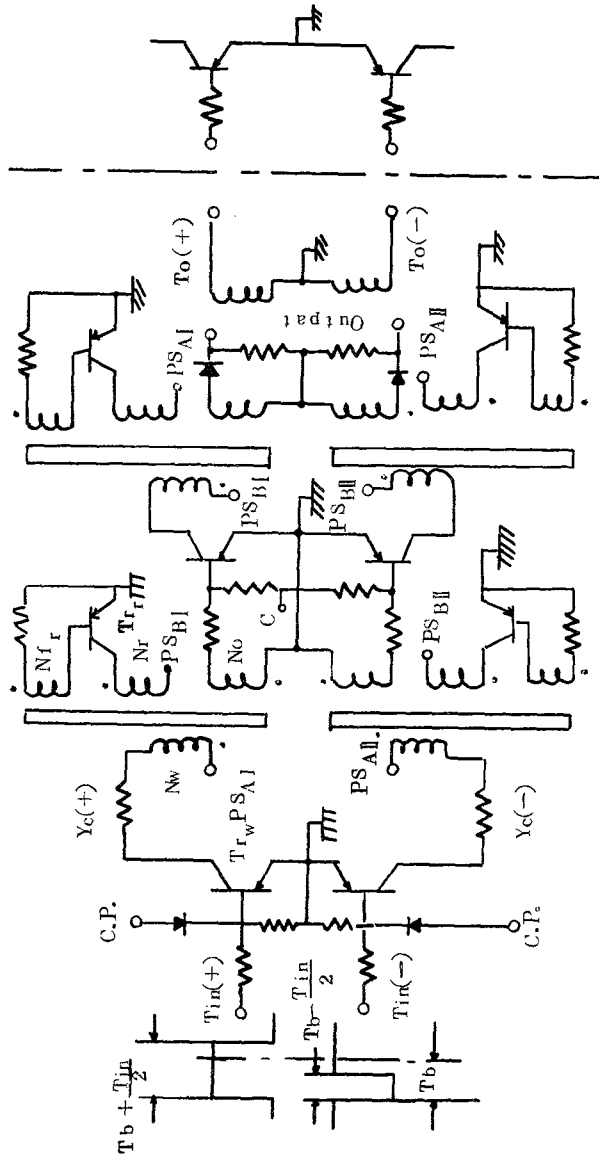
第 2.2 图



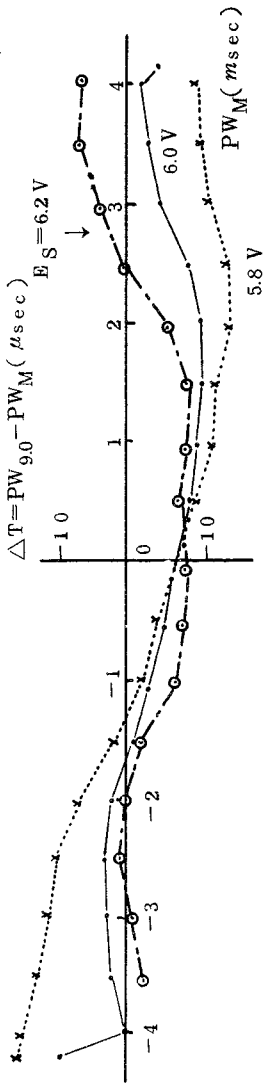
第 2. 3 図



第 2. 4 図

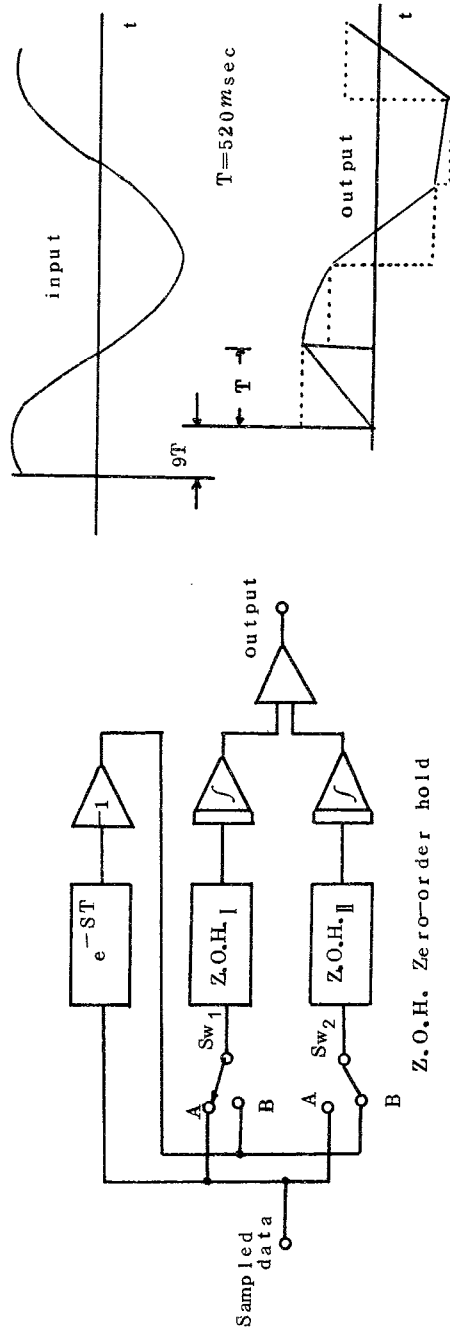


第 3. 1 图



E_S : 電源電圧
 $PW_{9.0}$: 9 段目出力パルス巾
 PW_M : 初段パルス巾変調器出力パルス巾

第 3.2 図



第 5.1 図

第 5.2 図

審 査 結 果 の 要 旨

信号のアナログ遅延技術は自動制御や情報処理の分野で広く必要とされており，従来各種の方式が提案されている。磁気記録方式などは比較的長い遅延時間には適するが，精度を要求すると複雑かつ高価となる欠点を有している。

著者は角形ヒステリシス磁心とトランジスタスイッチ回路とを組合せることにより比較的簡易な方式で標準化信号をアナログ的に遅延する回路方式を実現することができた。

本論文はその成果をとりまとめたもので全文6章よりなる。

第1章は緒論である。

第2章では磁心を用いたアナログ記憶要素の実現上留意すべき問題点について述べている。本方式の基本記憶要素はパルス巾変調された入力をそれに比例した磁束量として角形ヒステリシス特性を有する磁心に貯え，適当時間後に再びパルス巾としてとり出すことを骨子としているが，著者は磁心の動的磁化特性およびトランジスタスイッチ回路特性等が入出力パルス巾特性に与える影響について吟味し，所謂もどり磁束量の影響が最も重要であることを指摘している。ついでもどり磁束量の測定法を2種提案し，回路条件ともどり磁束量の関係を明らかにしている。さらにこれらの影響を考慮した入出力特性を表わす表現式を与え，補償方法として巻線数および回路抵抗を調整する方法を提案し， $\pm 4 \text{ msec.}$ の信号範囲に対し誤差 $\pm 3 \mu \text{ sec.}$ の極めて直線性のよい結果を得た。

第3章では前章で得られたアナログ記憶要素を縦続接続することによりアナログ遅延回路を構成する場合に問題となる回路間の相互干渉，誤差の累積，バイアスパルス巾の残留磁束量による変化等につき述べている。これらの改善のための各種補償方法を提案し，9段接続で $\pm 4 \text{ msec.}$ の信号範囲に対し誤差を $\pm 15 \mu \text{ sec.}$ 以下にすることに成功した。

第4章においては遅延回路を実現するためのパルス巾変調回路についてのべている。信号電圧を適当時間サンプリングして磁心に記憶させるが，もどり磁束の影響を小さくするため書込み直後に次段に読出す方式を提案している。プシュプル回路で電流負帰還または電圧負帰還を採用する方式を開発して全振巾に対し0.1%程度の精度を得ることができた。

第5章では遅れを伴う三角ホールドによって歪の少ない復調を実現する方法について述べている。まずホールド回路の伝達関数を与えて復調波の歪率を与える表現式を示し，遅れを伴う三角ホールド

ドの実現方法について提案している。また，パルス巾変調波を入力とした三角ホールドの実現方法について種々検討し非直線誤差の小さい方式を得ている。ついで回路各部の特性がホールド特性に如何に影響するかを詳しく検討し，三角ホールド回路の設計方法を与えている。

以上要するに本論文は角形ヒステリシス特性の磁心と電子回路の組合せによるアナログ遅延回路の一方式を提案したもので，制御工学上寄与する処が少なくない。

よって，本論文は工学博士の学位論文として合格と認める。