

氏 名	川 人 祥 二
授 与 学 位	工 学 博 士
学位授与年月日	昭和 63 年 3 月 25 日
学位授与の根拠法規	学位規則第 5 条第 1 項
研究科，専攻の名称	東北大学大学院工学研究科 (博士課程) 電子工学専攻
学 位 論 文 題 目	双方向電流モードに基づく多値集積回路に関する研究
指 導 教 官	東北大学教授 樋口 龍雄
論 文 審 査 委 員	東北大学教授 樋口 龍雄 東北大学教授 大見 忠弘 東北大学教授 伊藤 貴康 東北大学助教授 亀山 充隆

論 文 内 容 要 旨

第 1 章 緒 言

近年のマイクロエレクトロニクスのみざましい発展により，VLSI デジタルシステムの規模は非常に膨大なものとなってきているが，このような 2 値デジタル回路の超高集積化に伴い，配線の複雑さなどに関連したいくつかの問題点が指摘され始めている。このような状況において，従来の 2 値デジタル集積回路にはない，優れた特長を有する多値集積回路が，ポストバイナリエレクトロニクスとして最近注目されてきている。多値集積回路は，比較的新しい研究分野であり，これまでに，多値メモリ LSI などの開発により，ある程度の実用的な利点が見いだされている。しかしながら，多値演算の性質を有効に利用した LSI レベルの多値集積回路，特に，デジタルシステムにおける最も基本的な演算である算術演算のための多値集積回路に関しては，十分に検討されていないのが現状である。

多値算術演算においては，特殊な数系，すなわち各桁が直接多値に対応するような数表現を利用することが非常に重要である。特に Signed-Digit 数系（以下，SD 数系）では，高並列な演算を行う上で非常に優れた性質を有している。しかしながら，SD 数系は，冗長表現であるために，通常の 2 値論理演算に基づく構成方法では，回路構成および配線数が冗長になるなどの問題点が指摘されており，直接的に多値符号化に基づいて実現する本質的に適した構成法が望まれていた。本論文は，このような符号対称な数表現に基づく演算回路の構成法に対する指標を与えるとともに，多

値符号化に基づく演算，特に多値算術演算をLSIとして実現した場合の実用的な利点を実証することを目的とするものである。

第2章 多値集積回路の基礎的考察

本章では，まず，従来の2値集積回路と比較した場合の多値集積回路の特長について考察し，多値集積回路の研究の意義を明らかにした。次いで，多値算術演算において重要な各種の数系および，これらに基づく演算アルゴリズムに関して考察し，この中で，本論文で主に扱っているSD数数系の特長および問題点を明らかにした。さらに，SD数系の性質について考察することにより，第3章以下で詳細に検討する多値双方向電流モードの概念の重要性について述べ，第3章に対する導入としている。

第3章 多値双方向電流モード基本回路

本章では，本論文で提案している多値双方向電流モード回路の根本原理，基本演算素子に関する考察を行った。まず，双方向電流モード回路方式の根本原理を説明し，次いでCMOSデバイスを用いた基本演算素子に関して，その機能を説明した。さらに各基本演算素子の様々な回路形式を検討し，比較検討を行って，最適な回路構成を決定した。さらに，誤差解析，遅延時間解析に基づき，LSI化における問題点について考察し，また，基本演算素子が潜在的に有する性能を明らかにした。

多値双方向電流モードにおいて，最も重要な概念は，符号まで含めた線形加算が，結線による線形加算だけで行えることである。これにより，線形加算を基本とするSD数系の演算を極めて簡単に行うことができる。これは，双方向電流を単方向電流に分解する機能を有する変換回路を考案したことにより実現されたものであるが，その変換回路も非常に簡単な構成となっている。

第4章 SD数系に基づく多値算術演算ハードウェアアルゴリズム

本章では，SD数系に基づく算術演算回路を多値双方向電流モード回路で実現するためのハードウェアアルゴリズムについて述べた。図1は，双方向電流モードにより構成したSD数並列加算器である。図中，SDFAは，全加算器である。SD数系に基づく加算アルゴリズムは，3つの手続きによりなるが，その中の2つは，符号付きの線形加算の演算であり，これは能動素子を用いずに単なる結線で実現されている。従来の構成法では，このようなことは困難であった。また，最終的な加算結果を得るのに必要な桁上げ信号の伝搬は，SD数系の性質により必ず1段だけとなり，双方向電流モードで実現すれば，SDFA1段のみの遅延で演算が実行できることになる。

乗算アルゴリズムに関しては，まず，4進SD数系で統一された乗算器につい

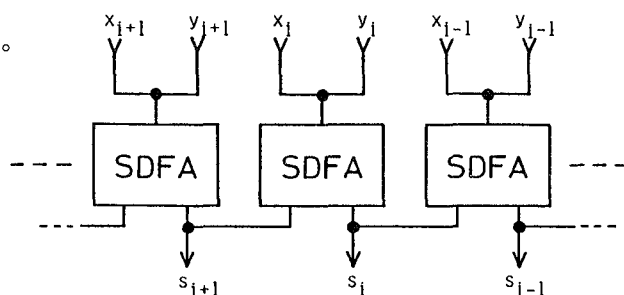


図1 双方向電流モードによるSD数並列加算器

て考察し、従来非常に複雑になるとされていた4進SD数表現に対する部分積生成を、シフト操作と符号反転の操作を基本とするアルゴリズムを考察することにより回路構成が極めて簡単化されることを示した。また、部分積加算をSD数並列加算器特有の2進木構造で行うことにより $\lfloor \log_2 n - 1 \rfloor$ 段($\lfloor x \rfloor$ は、 x を切り上げた整数)の全加算器の通過だけで最終的な積が求められる非常に高速な乗算器が実現できることを明らかにした。

2進数で入出力を行い、内部に4進SD数表現の多値演算を用いる乗算器に関しては、乗数の5ビットを1グループとして16進数に符号化するアルゴリズム(リコーディングアルゴリズム)を開発し、これにより、部分積の数を通常の2進数に対する同様なアルゴリズムと比較して、さらに半分にすることが可能であることを示した。このようにして生成された部分積の加算を2進木の構造により行えば、全加算器の通過段数は $\lfloor \log_2 n - 2 \rfloor$ 段となる。例えば、 32×32 ビットの乗算器では、わずか3段となり、非常に高速なものとなる。また、このような乗算器においても、双方向電流モードの結線加算を随所に用いることにより、能動素子数、配線数を大幅に減少できることになる。

第5章 双方向電流モードに基づくSD数多値演算集積回路の構成

本章では、第4章で述べたアルゴリズムに基づく、双方向電流モードのSD数多値演算集積回路の構成について述べた。まず、並列加算器に用いられる、SD全加算器などの演算モジュールを実際に構成し、SPICE 2を用いた回路シミュレーションによる具体的な設計およびLSI実現における問題点の解決手法について述べた。また、乗算器に関しては、リコーダ、部分積生成回路、部分積加算器などの具体的回路構成を示し、双方向電流モードにより、非常にコンパクトに実現されることを示した。最後に、2値集積回路との比較を、配線数、素子数、演算時間に関し定量的に行い、本多値集積回路の優位性を明らかにした。

図2は、各種の並列乗算器において、部分積加算を行うのに必要な加算器段数と語長の関係を示している。図中、Aは、2進数入出力のSD数多値乗算器であり、Bは、SD数系で統一された並列乗算器である。C~Fは、2値乗算器であるが、この中でCは、Wallace treeと拡張Boothのアルゴリズムを用いた最高速の方式である。このように、本論文で提案しているAの方式は、従来の方式に比較して極めて少ない加算器段数となり、32ビットの精度では、2値最高速の方式の半分以下となることが明らかである。

図3は、各種の並列乗算器における語長とモジュール間配線数の関係を示している。A、B、C、D

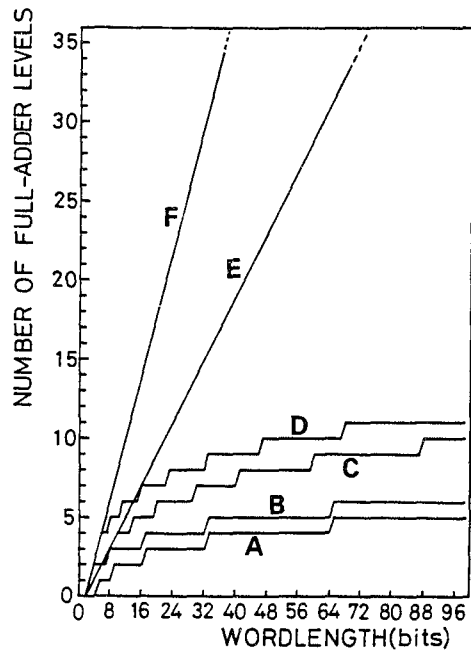


図2 各種乗算器における加算器段数の比較

の記号に対応する乗算器の方式は、図2に対応している。このように、双方向電流モードで構成された多値乗算器では、2値乗算器に比較してモジュール間配線数を非常に少なくすることができる。また、Wallace treeを用いたCおよびDの方式では、LSIとして実現した場合のレイアウトが複雑になるとともに、相互配線も非常に複雑となる。したがって、LSIレイアウトの規則性にも優れる本乗算器は、配線により占有される領域を大幅に削減できることが明らかである。

第6章 SD数系に基づく32×32ビット多値乗算器LSIの試作と総合的評価

本章では、SD数系に基づく32×32ビットの多値乗算器を試作し、その結果に基づき総合的に評価を行った。まず、製作プロセスに関し、従来のプロセスとの違いについて述べ、本乗算器において電流源デバイスとして用いられているディプリションモードのPMOSトランジスタの特性を評価し、LSIの実現において、十分に安定な動作が期待できることを明らかにした。また、基本的演算モジュールの試作により、その段階での性能評価を行い、乗算器を実現した場合の性能を予測した。

次いで、CMOS技術に基づく乗算器LSIを試作するための設計について述べた。設計された乗算器は、2値最高速の方式に比較し、占有面積を半分で実現できることが明らかとなった。

さらに、実際に乗算器LSI試作し、その性能評価を、演算速度、消費電力、占有面積に関して行った。図4に、試作された32×32ビットの多値乗算器LSIを示す。このように各モジュールが規則的に整然と配置されていることがわかる。表1に、これまで試作された最高速の2進数乗算器と本乗算器の性能比較を示す。乗算時間については、現状では、ほぼ同程度の性能が得られている。ただし、本乗算器で

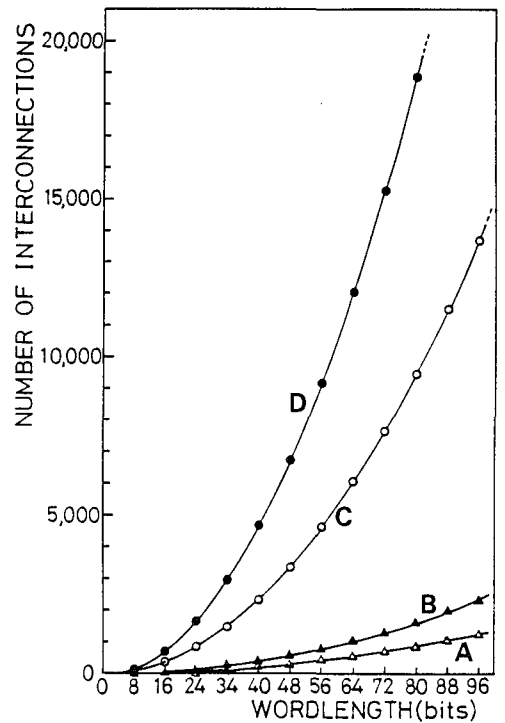


図3 各種乗算器におけるモジュール間配線数の比較

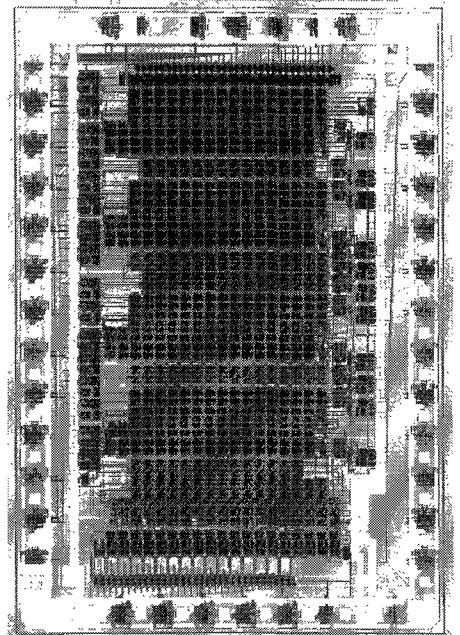


図4 32×32ビット多値乗算器LSI

は、SD数から2進数への変換を要しない場合、さらに1.5倍程度高速な乗算器として利用可能である。占有面積は、ほぼ半分で実現されている。これは、本乗算器では素子数、配線数を少なくすることができ、また、レイアウトの規則性にも優れるためであると考えられる。また、消費電力も半分となっているが、これもそのコンパクト性によるものであると考えられる。このように、本乗算器は、従来の方式に比較して、高速性、コンパクト性、低消費電力性に関して、総合的に優れたものであると結論できる。

表1 2値最高速乗算器との比較

	The multiple-valued multiplier	The fastest binary multiplier
Multiply time (ns)	59	56
Number of interconnections	200	1,500
Number of transistors (current-mode)	23,600 (7,200)	45,000
Effective multiplier size (mm ²)	5.2 x 3.2 (16.6)	5.3 x 5.7 (30.2)
Power dissipation (W)	0.5	1
Technology	2 μm CMOS + depletion-mode pMOS	2 μm CMOS

第7章 結 言

本章では、本論文を要約し、主要な結果を総括した。

審 査 結 果 の 要 旨

多値集積回路は、配線量の減少や演算の効率化など種々の可能性を有し、VLSIの高性能化の要求に応えられる一方式として、その実現が期待されている。

著者は、高性能多値演算LSIを実現させる基本構成要素として、電流の方向と大きさを論理値に対応させる各値双方向電流モードCMOS集積回路を考案すると共に、これに適した高並列性を有する4進数演算ハードウェアアルゴリズムを提案し、試作により、従来にはない優れた性能のLSIが実現できることを実証した。本論文は、その成果をとりまとめたもので、全文7章よりなる。

第1章は緒言である。第2章では、多値集積回路の特長を考察すると共に、この要求に適合する方式として、正負の符号に無関係に線形加算が結線で行える、双方向電流モード多値演算方式の基本的概念を提案している。

第3章では、高速性とコンパクト性を総合的に評価して考察された、多値双方向電流モードCMOS基本回路の構成方法を示している。回路解析プログラムを用いた計算機シミュレーションと試作による評価の結果、これらの回路は多値集積回路の基本構成要素として、十分実用性があることを明らかにしている。これは有用な成果である。

第4章では、前章で得られた基本回路を前提として、4進Signed-Digit(SD)数系に基づく高並列算術演算ハードウェアアルゴリズムについて考察している。まず、加算に関しては、線形加算の積極的利用により、語長に無関係に常に、1段の全加算器の遅れで加算結果が得られることを明らかにしている。また、乗算器では、規則的2進木構造の加算により、現在まで提案されている方式の中では最も全加算器段数が少ない乗算方式を提案している。これは重要な成果である。

第5章では、以上の算術演算方式に対する具体的な双方向電流モードCMOS回路の構成法とその評価を行っている。この結果、従来の2進数演算回路と比較して、素子数、配線数、速度が共に優れていることを、明らかにしている。

第6章では、算術演算LSIの典型例として、 32×32 ビット乗算器を $2\mu\text{m}$ CMOSプロセスに基づき、設計・試作した結果を示している。同等の機能を有する従来の2値最高性能乗算器と比較した結果、チップ面積及び消費電力が約50%減少し、演算速度が約40%向上できることを実証している。

第7章は結言である。

以上要するに本論文は、多値双方向電流モードCMOSに基づく4進SD数演算回路のハードウェアアルゴリズムを考案し、従来にはない高性能なLSIが実現できることを実証したものであり、電子工学及び情報工学の発展に寄与するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。