

|             |                                 |         |                              |        |
|-------------|---------------------------------|---------|------------------------------|--------|
| 氏 名         | まつ<br>松                         | なが<br>永 | とし<br>俊                      | お<br>雄 |
| 授 与 学 位     | 工 学 博 士                         |         |                              |        |
| 学位授与年月日     | 平成 3 年 7 月 10 日                 |         |                              |        |
| 学位授与の根拠法規   | 学位規則第 5 条第 2 項                  |         |                              |        |
| 最 終 学 歴     | 昭 和 40 年 3 月<br>東北大学工学部通信工学科卒業  |         |                              |        |
| 学 位 論 文 題 目 | 情報処理システムにおける構成要素間接続方式に<br>関する研究 |         |                              |        |
| 論 文 審 査 委 員 | 東北大学教授 丸岡 章                     |         | 東北大学教授 野口 正一<br>東北大学教授 白鳥 則郎 |        |

## 論 文 内 容 要 旨

高性能でかつ経済的な情報処理システムの実現を図るには、各構成要素のテクノロジーの進歩に合わせた要素間の機能分担、接続方式に関する研究・開発が重要である。このような背景のもとに、本論文は情報処理システムのプロセッサと周辺装置（I/O）間、プロセッサとプロセッサ間の接続方式に関する研究成果をまとめたものであり、全6章から構成される。第1章では研究の目的と関連する研究状況を概観し、第2章～第5章において研究内容を述べ、第6章において研究のまとめを行う。

第1章では、まず、研究の目的と問題設定の考え方について述べる。情報処理システムのハードウェアは複数の要素から構成され、各要素は、それぞれのテクノロジーを活用して、固有の性能とコストを具備している。要素間の接続方式は、テクノロジーの進歩によって改善される各要素の性能に柔軟に対応できることが望ましいが、それが不可能な場合は、接続方式を研究・開発し、要素間の機能分担も変えていくことが要求される。本研究の目的は、システムを構成する各要素間の接続方式のうち、プロセッサとI/O間、プロセッサとプロセッサ間の接続方式に着目して、システムの高性能化、経済化の観点から接続方式、通信制御方式を提案し、これらに関する性能評価を行い、その有効性を検証することにある。本研究に関連する研究状況については、まず、プロセッサとI/O間の接続にかかわるI/Oインタフェースの研究の進展について述べ、これまでの方式での高性能化の実現方式と研究課題を具体化する。つづいて、プロセッサとプロセッサ間の接続方式の研究状況について述べる。プロセッサ間接続またはシステム間接続のねらいとしては、システム

処理能力の増大，システムの拡張性，柔軟性の確保および高信頼化の実現などがあげられ，負荷分散型，機能分散型等を実現するため，バス接続，クロスポイント接続，リング接続などの各種の接続方式が研究されている。

第2章においては，プロセッサとI/O間接続方式の高性能化をねらいとして，入出力動作スループットの低下が少ないチャンネルレベルのI/Oインタフェースケーブル長大化方式について提案する。中大型システムのI/Oインタフェースのプロトコルの主流は，ビットパラレル転送でかつインタロック（応答確認）方式であり，その性能はデータ転送速度と許容ケーブル長の2つで評価される。本方式のI/Oインタフェースのデータ転送速度は最大4.5Mバイト/秒まで改善されているが，接続ケーブル長は，直接的に入出力動作性能に影響を与えるため，最大で100m前後に制限されている。これに対し，プロセッサ，I/Oのそれぞれに隣接してアダプタを設け，プロセッサとアダプタ（チャンネルアダプタ）間およびI/Oとアダプタ（I/Oアダプタ）間をインタロック方式，両アダプタ（チャンネルアダプタとI/Oアダプタ）間を高速のビットシリアル転送による同期転送とし，プロセッサまたはI/Oは，それぞれのアダプタを相手に，本来の相手側（I/Oまたはプロセッサ）の応答を待たずに先行制御する方式を提案する。この方式は，応答確認回数を既存方式の1/3に削減が可能であり，ケーブル長延長は，既存方式が数kmオーダであるのに対し，数10kmオーダの延長を可能とする。これらの方式の性能に関しては，評価式による机上評価と実用化したシステムにおいて実測したデータによる評価結果を示し，評価式の妥当性を検証している。通信回線を介したケーブル延長については，6.3Mビット/秒程度の高速回線を利用する場合，スループットの低下が小さい40～50km程度まで可能であり，転送データ長，回線長に影響をほとんど受けず，既存方式と比較してスループットを約2倍改善できる。実用システムにおいては，6.3Mビット/秒の回線を用い，約50kmのケーブル延長を実現している。また，延長ケーブルに光ファイバケーブルを利用した構内型の延長については，磁気ディスク装置（転送速度3Mバイト/秒）を接続して，既存方式の約3倍にあたる約1kmのケーブル延長が可能であることを確認している。

第3章では，プロセッサとファイル装置間のデータ検索高速化のためのデータベースプロセッサ方式を提案する。近年，情報処理システムでは，データの検索条件が一意でない非定型の検索処理が増大している。このようなデータベースの構築に適している表形式のリレーショナルデータベース（RDB）において，所望データの検索処理にインデックスを利用することができない場合，ファイル装置から全データを主記憶に読み出して総なめにすることになり，プロセッサとI/O間のデータ転送，プロセッサでの処理に多大の時間を必要とするのが現状である。ここでは，I/Oインタフェースを介して接続されるプロセッサとファイル装置の動作特性と利用形態を考慮し，所望データまたはデータ列の高速獲得すなわち等価的なデータ転送の高速化を実現するため，プロセッサとファイル装置間に専用のデータベースプロセッサを設置する。このプロセッサは，データのサーチ処理，ソート処理の高速化を実現するため，内容検索プロセッサ（CSP）と関係演算プロセッサ（ROP）から構成する。CSPは，ファイル装置である磁気ディスクに格納された単一の表を指定された条件でサーチし，条件に合致した行から必要な列のみを抽出してプロセッサに転送する機能を

もつ。この動作は、磁気ディスクの回転と同期して実行する on-the-fly 処理であり、データ検索時間は磁気ディスクからのデータ転送時間に重畳され実効的にゼロに近づけることが可能となる。一方、ROP はプロセッサから転送されてくる 1 個または 2 個の表に対し、ソートキーにより結合の可能性のない行の除去および指定された列によるデータの並べ替えを実行する機能をもつ。データの除去に際し、表の大きさに応じてハッシュを実行するモードを具備し、大量データのソートを効率的に実行できるマルチウェイマージソート方式を提案している。これらの方式を採用入れ、実用化したデータベースプロセッサをウィスコンシン・ベンチマークにより評価した結果、10～100 倍程度の性能向上効果を認識している。これは、既存のデータベースマシン等による高性能化方式に比較して、評価項目に依存するが、2～10 倍程度の高速化を実現している。

第 4 章では、情報処理システムの大規模化、高性能化、高信頼度化を実現するためのプロセッサ間接続方式として、リング接続型マルチプロセッサ構成のシステム構成方式、通信制御方式ならびに性能評価法を提案する。中大型プロセッサ間接続方式として、これまで、チャンネル対チャンネル結合がよく用いられているが、高々数システムの結合である。これに対して提案するプロセッサ間接続方式は、多数台のプロセッサ間の  $n$  対  $n$  通信を実現するためのものであり、ケーブル長、伝送速度の変化に対して比較的安定した通信性能が得られるトークンパッシングのリング接続（トークンリング）型とする。この接続方式における課題は、プロセッサ接続コストが小さく、簡易でかつ拡張性のあるプロセッサ接続インタフェースの選択と同時に通信制御オーバーヘッドの少ない通信方式の開発である。このような条件のもとに、ここではプロセッサとリングとの接続ノード間インタフェースをチャンネルレベル I/O インタフェースとし、通信制御においては、 $n$  対  $n$  通信のオーバーヘッドを可能な限り 1 対 1 通信に近づけるための複数サブチャンネルを用いた多重通信とし、通信先アドレスを事前設定管理する方式を開発した。さらに通信スループットを既存方式に比較して 5～10 倍改善可能なデータリンクプロトコルを考案している。トークンリングを介した接続系の性能は対称形の単一制限式によるトークンリングでの平均待ち時間と各ノードでの平均待ち時間を直列的に用いて評価できることを示し、その有効性を実測データとの対比により検証している。実用化したシステムのトークンリングはデータ転送速度は 100M ビット/秒であり、トランザクションあたり 4 回のデータ転送を伴う代表的なモデルで 100 万件/時程度のトランザクションを処理できる能力を持つことを確認している。実用システムは、トークンリングおよびプロセッサ接続ノードに対する高信頼化対策を施し、接続可能プロセッサ最大 127 台、プロセッサノード間最大距離 2 km を許容している。

第 5 章では、バス接続型マルチプロセッサ構成の性能評価モデルと評価方法を提案し、シミュレーションによる評価結果について述べる。プロセッサ単体の性能は、LSI 技術の進展により向上してきているが、一方において、大型機指向によるスケールメリットが現状では小さくなりつつある。これらを背景に、高性能化、低価格化が進んでいるマイクロプロセッサを組み合わせたマルチプロセッサ構成での並列処理に期待が高まっている。ここでの検討対象を、共通メモリを有し、唯一のオペレーティングシステム（OS）によって制御される密結合型マルチプロセッサ（TCMP）と、個別メモリと個別の OS をもつ疎結合型マルチプロセッサ（LCMP）とする。マイクロプロセッサ、

メモリ等の構成要素間の接続方式としては、LSIピン数との整合性が良く、拡張性、経済性に優れたバス接続方式を選択する。性能評価にあたっては、ハードウェア、ソフトウェアのそれぞれの待ち行列モデルから得られるハードウェア性能、ソフトウェア性能から、総合マルチプロセッサ性能を算出できることを示した。TCMPのスループット低下の要因は、ハードウェア面はメモリアクセスのためのバス競合であり、ソフトウェア面では、排他制御によりロックをかけられた共通資源アクセスのために待つダイナミックステップ（DS）数増である。LCMPの場合はプロセッサ間通信のためのDS数増が主要因である。これらの待ち行列モデルについてシミュレーションを実施し、プロセッサ性能、バス性能、バストラヒックなどをパラメータとしてピーク性能となるプロセッサ台数とそれ以上の台数における性能低下傾向の要因分析を行うとともに、システム性能からみたTCMPとLCMPの適用領域を明確化している。この方法は、今後のバス接続型マルチプロセッサ構成のシステム設計に寄与できる。

第6章では、本研究で得られた技術範囲と成果についてまとめるとともに、構成要素の部品性能とそれを活かす方式で得られる固有性能とその実現コストをパラメータとして、接続方式の最適化方式の導出を今後の課題として提起している。

## 審査結果の要旨

情報処理システムの性能と効率の向上を図るためには、各要素固有の性能を最大限に活かすように、要素間の機能分担や接続方式を設定することが重要となる。しかし、これまでは各構成要素間の技術水準に合わせて、機能分担や接続方式が柔軟に設定されてはいなかった。著者は、プロセッサや周辺装置からなるシステムを対象として、性能の向上を図る機能分担や接続方式について研究した。本論文は、それらの成果をとりまとめたもので、全編6章よりなる。

第1章は序論である。第2章では、従来のインタロッキング方式に代わる新しい接続方式を提案している。この方式は、プロセッサと周辺装置のそれぞれに隣接してアダプタを設置し、両アダプタ間は高速のビットシリアル同期転送方式で接続するものである。従来の方式では、伝送系の長さが100m前後に制限されていたものが、この方式により、50km程度まで延長することが可能となることを、理論計算と実測の両面から確認している。これは優れた成果である。

第3章では、データ検索高速化のため、プロセッサとファイル装置との間にデータ検索専用装置を置き、これらを接続する方式を提案するとともに、そのシステムを実現している。この方式により、ファイル装置からのデータ読み出しと並行して、必要なデータの検索を実行でき、ソフトウェアによる従来の処理と比較して検索処理が数10倍程度高速化できることを示している。

第4章では、トークンリング型のプロセッサ接続方式をとりあげ、送信権の早期開放とデータの分割転送を効果的に組み合わせたプロトコルに基づいたシステムを実現し、既存のシステムと比較して、データ転送速度を10倍程度改良できることを、理論計算と実測により示している。

第5章では、多数のプロセッサをバス結合する接続方式を対象として、性能評価モデルと評価法について検討している。プロセッサがメモリを共有する密結合タイプと、各プロセッサが固有のメモリを有する疎結合タイプの2つをとりあげ、待ち行列によりモデル化している。接続台数の増加によるシステム全体の性能の向上の度合いを表すMP係数を評価尺度として用い、密結合タイプでは、あるプロセッサ数を超えるとシステムの性能の低下が起こること、また疎結合タイプの場合は、プロセッサ数にほぼ比例して性能が向上することを示している。第6章は結論である。

以上要するに本論文は、情報処理システムの性能の向上を図る接続方式について検討し、従来のインタロッキング方式に代わる高速ビットシリアルの同期転送方式を提案するとともに、各種接続方式を実現してその有用性を示したもので、情報工学の発展に寄与するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。