

氏 名	植 川 よし たか		
授 与 学 位	博 士 ( 工 学 )		
学位授与年月日	平成 5 年 2 月 10 日		
学位授与の根拠法規	学位規則第 5 条第 2 項		
最 終 学 歴	昭 和 58 年 3 月		
	東北大学大学院工学研究科電子工学		
	専攻前期課程		
学 位 論 文 題 目	高速・高精度状態空間デジタルフィルタの 構成に関する研究		
論 文 審 査 委 員	東北大学教授 樋口 龍雄	東北大学教授 竹田 宏	
	東北大学教授 豊田 淳一	東北大学助教授 川又 政征	

## 論 文 内 容 要 旨

### 第 1 章 緒 言

デジタル信号処理の中心的役割を担っているデジタルフィルタは、近年の LSI 技術の進展を背景として、通信、計測、制御、音声、画像など広範な分野で用いられ、現在すでに重要な役割を担っている。

このような情勢に伴い、通信、情報などを対象とするシステムが今後益々大規模・複雑化することが予想される。それに伴いデジタルフィルタに対する要求は、より一層高速化、高精度化に向かって行く。また、センサ信号処理やロボット制御などの分野では、その安定性の問題から個々の処理モジュールの演算遅れ時間すなわち滞在時間 (Latency) を極力小さくすることが要求されてくる。そのためには、より広範な応用を可能とするような、超高速・高精度でしかも滞在時間を十分に考慮した高性能デジタルフィルタが今後要求されてくる。

それに対して、デジタルフィルタを状態方程式で記述した状態空間デジタルフィルタ (以下 SSRDF) では、システム理論的観点から近似と合成を統一的に行うことが可能である。その結果、近似誤差と量子化誤差が共に最小な SSRDF の最適設計が可能となる。しかし、この方法で設計された SSRDF は係数行列が密となるため、直接形で実現されたものと比べると、1 出力を得るための計算量が増加する。そのため、高次の SSRDF を実現する場合、処理速度の点で問題となる。この処理速度を増加される方法に、SSRDF にブロック状態実現を適用させたブロック状態実現デジタルフィルタ (以下 BSRDF) がある。これは多くの計算量を必要とする状態変数に対して、状

態間引きを行うことによって1出力当たりの計算量をこれを適用しなかった場合に比べて大幅に低減させたものである。

本研究では、BSRDFに対して、VLSI化に適合した効率的な構成を提案し、また、これまで明らかにされてこなかった係数量子化誤差の解析、最小化を行うことによって、超高速・高制度でしかも滞在時間が極めて小さい高性能デジタルフィルタを実現することを目的としている。本研究では、固定小数点演算形式に対して検討を行った。

## 第2章 状態空間デジタルフィルタの概要

本章では、SSRDFとその高速アルゴリズムを適用したBSRDFに関して基礎的考察を行い、本研究で扱う問題点を明らかにしている。

まず、デジタルフィルタのアルゴリズムと構造、設計手順について概説した。本研究では、デジタルフィルタの合成、実現問題に着目しているため、設計手順におけるそれぞれの問題の位置付けを明らかにした。

次に、SSRDFの特徴を明らかにした。まず、デジタルフィルタの構造表現として状態方程式を用いる理由を明確にした。次に、無限語長デジタルフィルタを状態方程式で記述し、一つの伝達関数に対応する構造が無限に存在することを等価変換を用いて示した。さらに、有限語長実現に起因する各種の誤差を構造依存性の点から検討した。その結果、SSRDFを用いることによって、量子化効果とフィルタ構造の問題を統一的に取り扱うことができ、非常に高精度なデジタルフィルタが実現可能となることを示した。最後に、計算量に対して評価を行い、高次に対して処理速度が大きな問題点があることを明らかにした。

次に、SSRDFの高速化の手法として提案されているBSRDFについて考察した。まず、BSRDFの導出法を示した。次に、従来までに明らかにされてきたBSRDFの基本的性質および量子化誤差の解析について検討を行った。その結果、BSRDFにおいては、係数量子化誤差に対する解析・最小化がまだ行われていないことを明らかにした。また、BSRDFの計算量に対して評価を行い、その結果現在ある最も高速なシグナルプロセッサを用いた場合においても、処理速度に問題点があることなどを明らかにした。

## 第3章 状態空間デジタルフィルタの高並列VLSIアーキテクチャ

デジタルフィルタをロボット制御などのフィードバック制御系で使用する場合などでは、滞在時間が非常に大きくなると安定性が損なわれる。しかし、これまでSSRDFにおいて滞在時間を問題としたVLSI向きアーキテクチャの研究は行われてこなかった。本章では、まず通常のSSRDFに対して、滞在時間を大幅に減少した上で高い処理速度をもつVLSI向きアーキテクチャについて検討を行った。

そこで、まずデータフローグラフを用いることによって並列化の手法を明らかにし、滞在時間とハードウェア量を大幅に減少した上で、高い処理速度を持つSSRDFのシステムアーキテクチャを提案した。すなわち、滞在時間を大幅に減少するために、状態変数の各要素および出力の計算が同

時に同一命令で実行できることに着目して、共通バスによるブロードキャスト通信だけを用いた1次元のSIMDアレイ実現を考察した。

次に、本システム構成における処理要素（以下PE）のアーキテクチャを提案した。本PEのアーキテクチャとしては、種々の構成法が考えられるが、ここでは主に乗算器、加算器、メモリなどを用いた一般的な構成法について示した。最後に、本アーキテクチャをディスクリートICを用いて試作し、滞在時間及びハードウェア量についてその性能評価を行った。そして、その良好な結果より本実現法の有効性を明らかにした。本システムアーキテクチャは、多入力多出力に容易に拡張可能であるという特長をもつため、カルマンフィルタなどにも適用可能となる。

#### 第4章 ブロック状態実現を用いた高性能VLSIアーキテクチャ

本章では、前章で示した通常のSSRDFと同様にBSRDFにおいても、状態変数および出力の各要素が同一データを用いた同時処理により求められることに着目して、極めて高い処理速度と精度を持ち、しかもPE数と滞在時間をできるだけ小さくなるように考慮した高性能VLSIアーキテクチャを提案し、その性能評価を行った。

まず、BSRDFの並列化の条件を明らかにし、その条件が通常のSSRDFに対して前章で提案した滞在時間が極めて小さい高並列VLSIアーキテクチャに適合することを示す。そこで、このアーキテクチャにBSRDFを適用した1次元のSIMDアレイ実現を提案した。次に、さらに高速化を目的としてこの1次元のSIMDアレイ実現を発展させたものとして、PEを階層構造化してパイプライン処理を行った2次元のSIMDアレイ実現を新たに提案した。最後に、それぞれの構成法に対する性能比較を行い、総合評価を行った。その結果、ここで提案した2次元のSIMDアレイ実現を用いることによって、PE数と滞在時間の増加を極力抑えた上で、従来得ることのできなかったサンプリング周波数が100MHz以上という極めて高速でしかも高精度なデジタルフィルタが実現可能となることを示した。また、本システム構成はモジュール構造となっており、処理速度の増加に対して単に同一構造を有するPEを規則的に拡張すればよく、また処理命令の変更を一切必要としない。従って、非常にVLSI化に適合したシステム構成とすることができた。

#### 第5章 ブロック状態実現における係数感度解析

これまでに、BSRDFに対して基礎的性質が解析され、その結果量子化誤差に対して以下のような性質が明らかにされた。

- BSRDFの丸め誤差は、SSRDFの誤差を越えない。
- リミットサイクルを発生しないことが保証されているSSRDFから導入出されたBSRDFも、リミットサイクルを発生しない。

しかし、BSRDFの係数量子化誤差に対する解析・最小化はまだ行われていない。また、これまでの研究は時間領域を主とした解析であったため、BSRDFの周波数領域における係数量子化誤差の影響についてはまったく考察されていない。そこで、本章ではBSRDFに対する係数量子化誤差の影響を考察するため、係数感度解析を行っている。

まず、係数感度の周波数特性の導出を行い、BSRDFの係数感度が通常のSSRDFには見られない特有の性質を有していることを示した。すなわち、その周波数特性がブロック長 $L$ に対して $(2\pi/L)$ の周期性をもち、また周期内において対称性を有するなどの性質を明らかにした。そのために、BSRDFの係数量子化において、周波数特性上これまで注目されなかった特有の特性劣化が生じることを明らかにした。次に、周波数領域全体の係数感度の大きさを評価するため、新たにBSRDFの係数感度の測度を導出した。その結果、BSRDFの係数感度の測度は通常のSSRDFの場合をさらに発展させたものとして、状態共分散行列と雑音行列を用いて同様に表されることを示し、最後にその計算例を示した。

## 第6章 ブロック状態実現における係数感度最小化

本章では、前章のBSRDFの係数感度解析に基づいて、係数感度を最小にするフィルタ構造の合成法を新たに提案している。

まず、係数感度に対する等価変換とスケージングの関係について検討し、係数感度が等価変換行列の関数となっていることを示した。この点に着目して、状態変数にスケージングの制約条件がない場合とある場合について、それぞれ係数感度を最小にするフィルタ構造の合成法を示した。その結果、BSRDFにおいても通常のSSRDF同様係数感度最小構造が平衡形実現として与えられることを示した。また、BSRDFと通常のSSRDFにおける係数感度最小構造の関係についても明らかにした。最後に、これらの合成法に対して計算例を示し、その良好な結果から本合成法の妥当性を確認した。

## 第7章 結 言

本章では、第2章から第6章までの結果をまとめるとともに、今後の研究課題について述べている。

本研究は、状態空間デジタルフィルタとして論議を進めたが、ここで得られた成果は単にデジタルフィルタばかりでなく、状態方程式で記述される全ての離散時間システムに対しても幅広く適用することができる。

## 審査結果の要旨

最近、デジタルフィルタは集積回路技術の著しい進展によりその実現が容易になり、各方面で盛んに用いられるようになってきた。これに伴い、高速化と高精度化の両者を考慮したフィルタ構成法の確立が望まれていた。

著者は状態空間デジタルフィルタの高速化を達成する上で、処理速度向上と滞在時間 (Latency) 短縮が重要であることに着目して新しい VLSI 向き構成法を提案し実現すると共に、精度を支配する係数感度の最小化法を与え、高速かつ高精度なフィルタ構成法を確立した。本論文は、その成果をとりまとめたもので、全文7章よりなる。

第1章は緒言である。第2章では、状態空間デジタルフィルタの基礎的事項を整理し、高速化と高精度化を図る上で考慮すべき事項や問題点を明確にしている。

第3章では、状態空間デジタルフィルタの処理速度向上と滞在時間短縮の観点から、基本プロセッサに基づく高並列 VLSI 向きシステム構成法を提案し、試作してその動作を確かめている。本構成法はフィルタが高次や多入力多出力の場合でも単に一種類の基本プロセッサを増設するだけでよいので、拡張性に優れている。

第4章では、滞在時間を考慮した上でさらに処理速度の向上を図るため、ブロック処理を適用したブロック状態実現デジタルフィルタに着目してその並列化の条件を明らかにし、これに基づき基本プロセッサの2次元配列によるシステム構成法を提案すると共に、その性能評価を行っている。ブロック長  $L=64$  の16次フィルタの場合、滞在時間  $3.42 \mu\text{s}$ 、サンプリング周波数  $112 \text{MHz}$  の性能評価が得られ、高速化が可能になることを示している。これは有用な成果である。

第5章では、ブロック状態実現デジタルフィルタの精度を支配する係数感度の解析を行っている。まず係数感度の周波数特性が周期性や対称性を有することなどの性質を見出している。さらに周波数領域全体における係数感度の大きさを評価するために、新たに係数感度の測度を定義している。

第6章では、前章で得られた成果に基づき、係数感度の測度が等価変換行列  $T$  の関数になることを明らかにして測度を最小にするフィルタ構造の合成法を与え、シミュレーションにより本合成法の妥当性を実証している。これは重要な成果である。

第7章は結言である。

以上要するに本論文は、状態空間デジタルフィルタの高速化と高精度化を達成する新しいシステム構成法を確立すると共に、システム構成上基礎となる多くの有用な知見を与えたもので電子工学の発展に寄与するところが少なくない。

よって、本論文は博士 (工学) の学位論文として合格と認める。