

氏 名	お 尾 ない たか ひろ 裕
授 与 学 位	博 士 (工 学)
学位授与年月日	平成 6 年 11 月 9 日
学位授与の根拠法規	学位規則第 4 条第 2 項
最 終 学 歴	昭 和 59 年 3 月 東北大学大学院理学研究科原子核理学専攻前期課程修了
学 位 論 文 題 目	超高速バイポーラLSI用素子の研究
論 文 審 査 委 員	東北大学教授 大見 忠弘 東北大学教授 星宮 望 東北大学教授 坪内 和夫 東北大学助教授 柴田 直

論 文 内 容 要 旨

半導体集積回路IC (Integrated Circuit), もしくは数万～数百万の素子を集積化した大規模半導体集積回路 (Large Scale Integration) に代表される半導体技術は, 情報, 通信, 民生などの分野におけるエレクトロニクスの中心となってきている。

半導体集積回路の中でも, バイポーラトランジスタを用いたバイポーラLSIは, バイポーラトランジスタの高電流駆動能力を活かし, 超高速性能を有することが特長である。そのために, 高速かつ大容量データ処理を必要とする大型コンピュータや光伝送システムには必須のLSIである。近年ますます増大する情報量に対応するため, システムの信頼性, および高速性能をさらに向上させることが求められている。

LSIの信頼性の中で, 最近特に注目されているのが, α 線の入射によって引き起こされるソフトエラーである。ソフトエラーは, メモリ容量の増大やスイッチング速度の高速化に伴って発生頻度が高くなるので, 近年になって, その発生メカニズムや対策方法に関する研究が盛んになってきた。

一方, バイポーラLSIの高速化には, バイポーラトランジスタの高速化が最も効果的である。従来より, バイポーラトランジスタは縦構造と横構造の改良により高速化が行われてきた。縦構造の縮小 (浅接合化) によりトランジスタの利得 (電流増幅率, 遮断周波数等) の増大が, 横構造の縮小により寄生容量 (エミッタ容量, コレクタ容量, 基板容量等) や, 寄生抵抗 (ベース抵抗等) の低減がなされてきた。浅接合化に関しては, 不純物拡散からイオン打ち込み, さらには多結晶シリコンからの不純物固相拡散へと技術革新が行われてきた。近年では異種 (ヘテロ) 材料を含めた薄膜エピタキシャル成長も行われてきている。横構造の縮小に関しては, リソグラフィの進歩に伴う

寸法縮小のほかに、トランジスタ構造の改良により達成されてきた。特に、SST (Super Self-aligned Technology) [3] やSICOS (Side wall Base Contact Structure) [4] に代表される自己整合型構造は飛躍的に高速性能を向上させた。今後ともLSI性能向上のためにはトランジスタの高速化技術が重要な検討課題である。

ところが、ECL (Emitter Coupled Logic) 回路に代表されるバイポーラ論理回路では定常電流を流すために高速性能が得られていたが、バイポーラLSIの高集積化と高速化の結果、消費電力の増大が問題となりつつある。近い将来においては百Wを越えるLSIの出現が予測され、現状の方式のバイポーラLSIが使用できなくなるものと予測できる。超高速バイポーラLSIにおける技術課題は以下の3項目になる。

- (1) ソフトエラー低減
- (2) 高速化
- (3) 低消費電力化

本研究の目的は、超高速バイポーラLSIの、大容量化、高性能化のための技術課題に対し、それらを解決するためのデバイス構造やプロセス技術を提案し、その電気的特性の評価解析を行ってLSIへの応用を検討することである。さらに、以上の技術課題を解決した結果得られるLSIの性能予測を行って、将来の超高速バイポーラLSI像を明らかにする。

まず、ソフトエラー防止方法について検討を行い、以下の結果を得た。

- (1) プロセスの単純化、高集積性、高速動作維持の観点から、情報保持部への雑音電荷低減が最も本質的なソフトエラー対策であることを示した。
- (2) 超高速バイポーラメモリLSIにおいて、図1に示す逆方向動作トランジスタを用いたメモリセルを提案した。図2に示すように、本メモリセルによって、情報保持領域への雑音電荷量を従来構造の1/5以下に低減することが可能となった。
- (3) 逆方向動作性能にすぐれるSICOS (Sidewall Base Contact Structure) トランジスタをメモリセルに用いることによって、ソフトエラーのない、アドレスアクセス時間3 ns、メモリ容量64Kbitの超高速ECL-SRAMを実現した。本メモリを製品化し、汎用計算機M880に搭載した。
- (4) トランジスタ近傍にポテンシャル勾配を形成し雑音電荷を吸収することでトランジスタへの雑音電荷量を従来構造比1/5以下に低減できることを示した。本原理を応用し、図3に示す雑音電荷吸収領域と溝型アイソレーションとを組み合わせたSEPIA (Soft Error Preventive Isolation by Charge Absorption) を提案し、その有効性を示した。SEPIAを用いることにより、逆方向トランジスタに限らず、どのようなデバイスにおいてもソフトエラーを防止できる見通しを得た。

続いて、バイポーラトランジスタ高速化に必要な要素プロセス技術である、浅接合化、自己整合シリサイド形成技術について検討し、以下の結果を得た。

- (1) 高速動作を行うためにベース抵抗の低減と遮断周波数の向上が不可欠である。素子の微細化に伴う外部ベース抵抗の低減には外部ベースの低抵抗化が必要である。これを実現するための自己整合シリサイドベース電極構造を提案した。
- (2) タングステンの選択CVD法を用いた自己整合シリサイド形成法を確立した。本技術を用いて

ベース電極シート抵抗およびトランジスタ面積がそれぞれ従来比 $1/10$, $1/5$ のトランジスタ SPOTEC (Sidewall Polycide Base Technology) (図4) を実現した。

(3) 遮断周波数の向上にはベースの薄層化が必要である。従来のイオン打ち込み法ではチャネリングによって浅接合化に限界があることから、拡散法でベースを形成する必要がある。この観点から、 B_2H_6 ガス雰囲気中で加熱することによりシリコン中にボロンを拡散する新しい拡散方法、超浅接合形成法(瞬間気相拡散 RVD: Rapid Vapor-phase Direct Doping)を確立し、50nm以下の超浅接合化を形成した(図5)。本技術を用いてベース厚さ25nmの超浅接合化バイポーラトランジスタを実現した。

また、超高速バイポーラトランジスタ構造について検討し、以下の結果を得た。

(1) 計算によって、電流を放射状に流すことにより遮断周波数が向上することを見出し、図6に示すFRACS (Fully Radiative Current Path Structure) トランジスタを提案した。本構造では遮断周波数の向上と、耐圧の確保が同時に達成できることを示した。ベース形成にRVDを適用しFRACS トランジスタを試作した結果、計算結果を実験で確認すると同時に、最大遮断周波数64GHzの超高速性能を実現した(図7)。

(2) 微細エタミックを有するFRACSトランジスタでは、コレクタ寄生容量が高速化に最も影響を与えることを実験により示した。本来寄生容量の小さい自己整合構造SICOSにFRACSを適用することによって超高速動作を実現できる。

最後に、バイポーラLSIの低消費電力化に有効な相補型バイポーラ回路実現のためのプロセス、デバイス技術、及び、将来の低消費電力LSI像について検討し、以下の結果を得た。

(1) pnpトランジスタの高濃度p型埋め込み層表面不純物濃度を低減することにより、厚さ $0.5\mu m$ の薄膜エピタキシャル層を形成し、npn, pnpトランジスタ共に30GHz以上の高性能相補型バイポーラトランジスタを実現した(図8)。試作したトランジスタの性能から、相補型バイポーラトランジスタによりECL回路の $1/4$ 以下の低消費電力化が可能であることを示した(図9)。

(2) クロック周波数数百MHz以上のゲートアレー等大負荷容量のLSIにおいてはCMOSよりも相補型回路の方が低消費電力になることを示した。

(3) スwitchングに用いる消費電力はECL回路よりもCMOS回路の方が大きい。通信用ICでは直流電流よりも交流電流(switching電流)が主流になるため、CMOSよりもECL回路の方が低消費電力のICが得られることを示した。

以上の検討結果を統合し、その結果得られる新たなバイポーラLSI像について考察した。

ソフトエラー低減、高速化プロセスおよびデバイス構造、低消費電力化について検討した結果から得られるバイポーラトランジスタの究極構造について検討した。

バイポーラトランジスタの性能向上には遮断周波数の向上が不可欠である。遮断周波数向上には浅接合化を行う必要があるが、耐圧の低下は免れない。耐圧を確保しつつ遮断周波数を向上させる構造としてFRACSトランジスタが必要不可欠である。FRACSトランジスタの円筒状、もしくは球状のエミッタやベースは、微細なシリコン露出領域窓から不純物を熱拡散することによって初めて形成することができる。また、FRACSトランジスタにおいても、より高い遮断周波数を得るた

めには浅い接合が必要であり、そのためには瞬間気相拡散が必要である。

バイポーラトランジスタの高速化に関してはベース抵抗の低減も重要である。シリサイドベース電極をFRACSトランジスタに適用することで、高遮断周波数、低ベース抵抗のトランジスタを実現できるが、金属ベース電極の方が低抵抗である。選択タングステン堆積法は自己整合的に金属を形成するのに有効な技術であり、図10に示すような構造を実現することができる。本構造において、エミッタ、ベースは同心円状に形成されておりFRACSトランジスタとしている。ベース電極は薄い多結晶シリコン上にタングステンを堆積して金属ベース電極としている。本構造でベース厚さを25nmとすることで遮断周波数120GHz、ベース抵抗100Ωが得られるものと予測できる。このトランジスタ特性によって、ECL回路のゲート遅延時間は6 psec、分周器は40GHzまで動作する。これは化合物デバイスに匹敵する性能であり、今後、バイポーラトランジスタがLSIのみでなく、高周波通信システムへも適用可能であることを示している。

さらに、メタルベース電極を持ったFRACSトランジスタを相補型にすることによって、低消費電力化が可能となる。無負荷の最小遅延では従来ECLと相補型回路において消費電力に差はないが、負荷がある場合には相補型回路における低電力化が顕著に現れ、ゲートアレー等のLSIにおける平均負荷0.2pFにおいては常に1/2以下の消費電力になる。

以上のトランジスタにSEPIAを組み合わせることによって、ソフトエラーのないメモリや論理LSIを実現できる。SEPIAはバイポーラトランジスタだけでなく、MOSトランジスタと組み合わせることも可能であり、超高速バイポーラメモリに限らず、BiCMOSメモリや超高速ECL-CMOSメモリに適用することもできる。特に超高速ECL-CMOSメモリのECLに替えてメタルベース電極を持ったFRACSによる相補型回路を用い、SEPIAを用いたCMOSメモリセルを駆動することで、アクセス時間1 ns以下、消費電力1 W程度の4 Mbitメモリの実現が可能である。

E: エミッタ
 B: ベース
 SBD: ショットキバリアダイオード

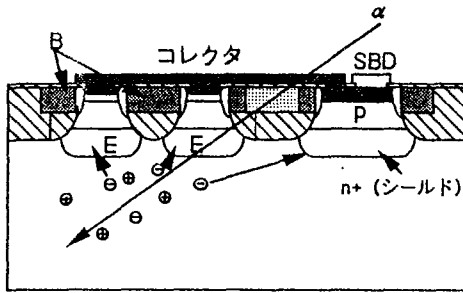


図1 逆方向SICOSを用いた新メモリセル (シールド型メモリセル)。α線によって発生した電子はビット線に接続されているエミッタに収集される。

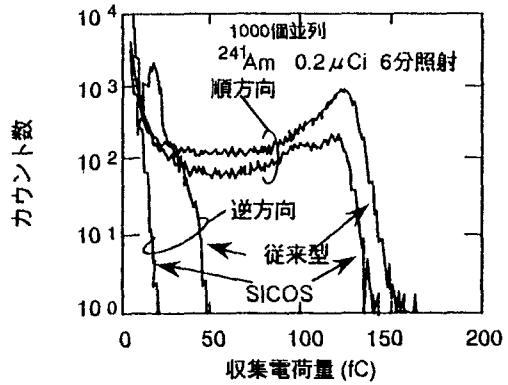


図2 トランジスタへの収集電荷量分布。ベースへの収集電荷量はコレクタの1/5以下。SICOSへの収集電荷量が少ないのは面積が小さいため。

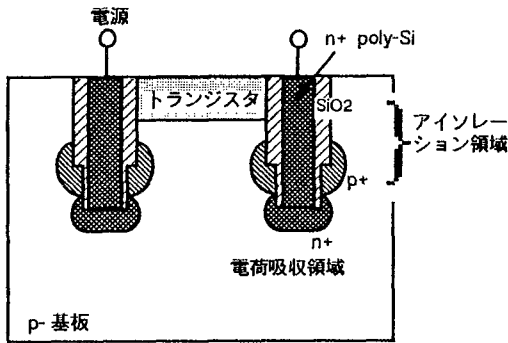


図3 SEPIA断面構造

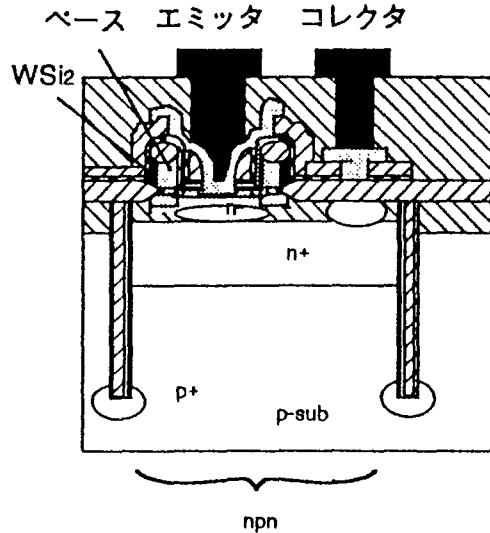


図4 SPOTECトランジスタ断面構造

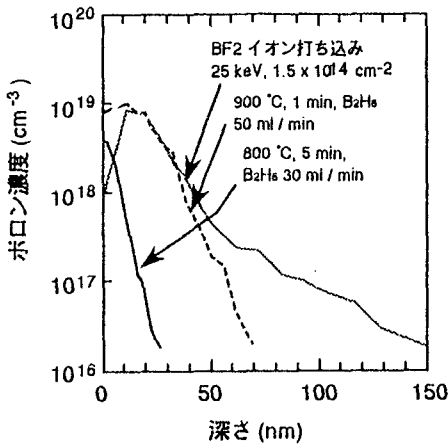


図5 RVDおよびイオン打ち込みで形成したボロン層の濃度分布。イオン打ち込みでは深くまでボロンが広がっており浅接合化に不適當である。

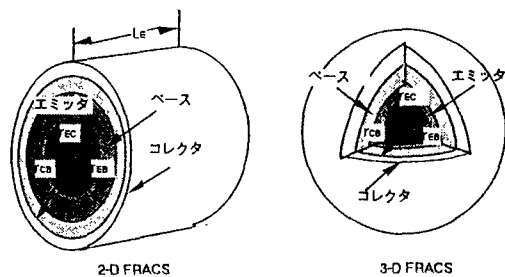


図6 理想的FRACSトランジスタ

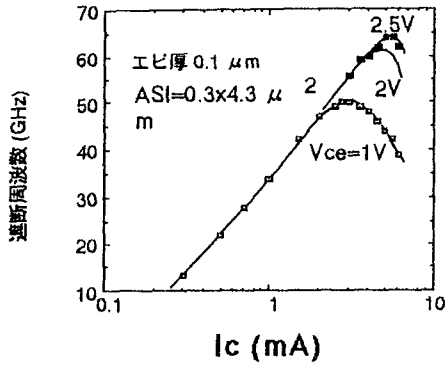


図7 FRACSトランジスタ遮断周波数のコレクタ電流依存性

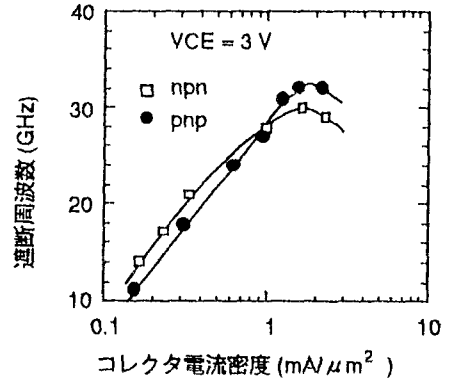


図8 遮断周波数のコレクタ電流依存性

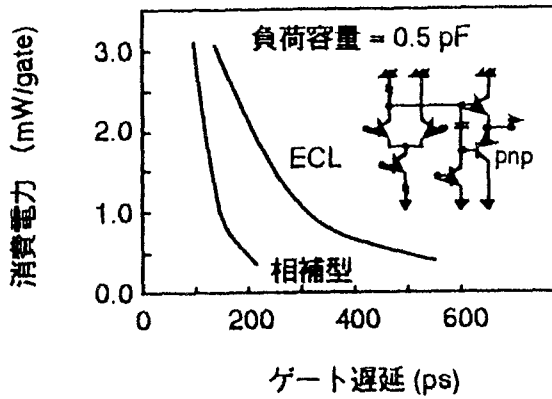


図9 相補型エミッタフォロアECLによる消費電力の低減

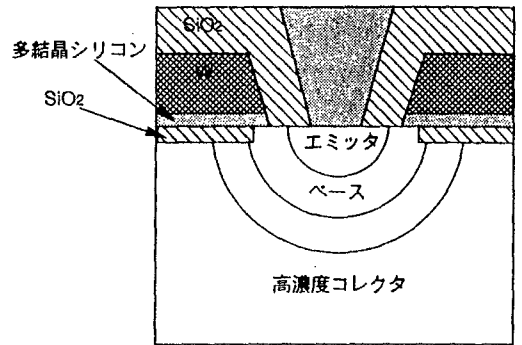


図10 選択タングステンCVDを用いた自己整合メタルベース電極FRACS

審 査 結 果 の 要 旨

バイポーラトランジスタは、その大きな電流駆動力により、大容量データの超高速演算処理用LSIに必須のデバイスであるが、その高信頼化、更なる超高速化が現在強く求められている。

著者は、雑音電荷吸収型の新しい素子分離構造を開発し、 α 線入射により生じるソフトエラーを本質的に低減する事に成功するとともに、FRACSと呼ぶ、三次元電流分散型の新しいトランジスタ構造を提案し、これにより素子の微細化とともに、デバイスの動作速度を益々高速化できる事を理論的に初めて明らかにした。本論文は、これらの成果をとりまとめたもので、全編6章からなる。

第1章は序論である。

第2章では、ソフトエラー低減のための新しいデバイス構造について述べている。エミッタとコレクタの位置を入れ換えた逆方向トランジスタ構造を採用し、メモリデータの保持ノードであるコレクタを、 α 線照射により電荷の発生部となる基板より隔離する事により、信頼性が高くアクセス時間3nsecの超高速64kSRAMの実用化に成功した。更に、素子分離用の溝部に雑音電荷吸収用の電極を埋め込んだSEPIAと呼ぶ新しい分離構造を開発し、ソフトエラーの問題を根本的に解決する技術を確立した。これは実用上有用な成果である。

第3章は、高速化に重要なベースの浅接合化について述べたもので、低温の瞬間気相拡散法により、従来のイオン注入法では実現不可能だった、20nmという極浅接合を実現、さらにタングステンの選択成長を応用した自己整合シリサイド貼り付け技術により、外部ベースの低抵抗化も同時に実現し、バイポーラデバイスの高速化を可能にした。

第4章では、超高速化を実現する新しいトランジスタ構造として、半球状のエミッタより放射状に電流が注入されるFRACSと呼ぶ3次元電流分散型のバイポーラトランジスタを提案している。電流の3次元的な拡がりにより、ベースにおけるキャリアの拡散が高速化され、従来必ずデバイス特性劣化を伴ったエミッタ電極の微細化が、逆にデバイスの高速化につながる事を初めて明らかにし、シリコンのホモ接合トランジスタで150GHzの遮断周波数実現が可能である事を明らかにしている。これは高密度バイポーラLSI高速化に極めて重要な成果である。

第5章は、高速バイポーラLSIの低電力化について述べたもので、相補型エミッタフォロアECL回路を提案するとともに、試作・評価によりその有用性を示している。

第6章は結論である。

以上要するに本論文は、バイポーラLSIの高信頼化、超高速化の為の新しいデバイス及びプロセス技術の提案と、その開発成果について述べたものであり、電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。