

氏 名	遠 藤 哲 郎
授 与 学 位	博 士 (工 学)
学 位 授 与 年 月 日	平 成 7 年 5 月 10 日
学 位 授 与 の 根 拠 法 規	学 位 規 則 第 4 条 第 2 項
最 終 学 歴	昭 和 62 年 3 月 東京大学理学部物理学科卒業
学 位 論 文 題 目	ストレージメモリ用フラッシュEEPROMに関する研究
論 文 審 査 委 員	東北大学教授 宮本 信雄 東北大学教授 坪内 和夫 東北大学教授 舩岡富士雄 (情報研)

論 文 内 容 要 旨

本論文は、高度情報社会を支える電子機器に不可欠な情報を蓄えるストレージメモリに応用するフラッシュEEPROMに関する研究を論じたものである。フラッシュEEPROMは、1984年に提案され、ビット毎ではなくブロック毎に一括データ書き換えを行う概念が導入された不揮発性半導体記憶装置である。フラッシュEEPROMは、従来のEEPROMと比較してセルサイズが小さく、低コスト化が実現できるためストレージメモリへの応用が期待されている。しかし、従来提案のフラッシュEEPROMは、低消費電力動作、データ書き換え特性、データ保持特性等において解決しなければならない問題を有していたため、ストレージメモリとして広く応用されるまでには現在のところ至っていない。

本論文では、従来提案のフラッシュEEPROMにおいて上記問題を引き起こしている物理現象の解析を行い、この解析に基づいて従来の問題を解決する新しいデータ書き換え動作原理を提案し、実験的にその効果を確認する。さらに、本論文の最後では、フラッシュEEPROMの高性能化を議論している。

まず第1章では、フラッシュEEPROMの低消費電力動作に関する考察を行う。

1-1節では、1-1-1で、従来提案されている浮遊ゲート型EEPROMのセル構造と動作原理を紹介する。さらに、1-1-2で、従来提案のNOR型及び、NAND型フラッシュEEPROMのセル構造と動作原理を紹介し、後章への準備とする。

1-2節では、従来提案のフラッシュEEPROMにおいて、低消費電力動作を妨げているデータ消去動作時におけるサブブレイクダウン現象の解析をする。1-2-1で、1986年にU. C. パークレーのJ. Chenらによって提案されているサブブレイクダウン現象の従来解析モデルを紹介する。従来の解析モデルでは、データ消去時における拡散層内のシリコンのバンドが1.2 eVだけ曲がることによってバンド間トンネリング現象が発生するとしているために、現象を定量的に説明することができないことを示す。1-2-2で、本研究での新しい解析モデルを提案する。本提案のサブブレイクダウン現象のメカニズムは従来と同じバンド間トンネリング現象としている。しかし、拡散層におけるシリコンのバンドの曲がり量を従来の1.2 eV一定とはせず、発生したホールは全て基板へ流れ出すためにシリコン表面は完全空乏化すると考えている。そのため、拡散層に印加する電圧を増加するにつれてシリコンのバンドの曲がり量は増加するために、サブブレイクダウン現象が起こるという概念を提案し、上記概念に基づく本解析モデルにより、現象を定量的に説明できることを示す。

1-3節では、低消費電力データ書き換え動作を実現するデータ書き換え動作原理を提案する。1-3-1で、前節の本提案の解析モデルに基づき、サブブレイクダウン現象による消費電流量を決める主要デバイスパラメータは、拡散

層の不純物濃度とゲート酸化膜厚であることを明らかにする。そして、サブブレイクダウン電流の拡散層の不純物濃度とゲート酸化膜厚依存性を定量的に明らかにする。この結果より、拡散層に高電圧を印加する従来提案されているフラッシュEEPROMのデータ消去動作法では、サブブレイクダウン現象を完全に抑制することは困難であることを示す。1-3-2で、本提案のサブブレイクダウン現象の解析に基づいて、拡散層と基板を同電位にしてデータ書き換えをするフラッシュEEPROMの新しいデータ書き換え動作原理を提案する。本提案のデータ書き換え動作法により、発生したホールが基板に流れなくなり、拡散層のシリコン表面において反転層が形成される。そのため、シリコンのバンドの曲がり角が抑制されるために、サブブレイクダウン現象が起こらなくなり、低消費電力動作が可能になる事を示す。最後に、1-3-3で、低消費電力用MOS型トランジスタの設計を行うために、MOS型トランジスタにおけるスイッチング動作における伝達電圧のカットオフ動作時のサブブレイクダウン現象を解析する。MOS型トランジスタを微細化してゆく上で、オン時の高速動作特性を維持するためのスケージング則は従来知られていたが、本解析結果より、オフ時の低消費電力動作特性を維持するためのスケージング則を提案し、低消費電力用MOS型トランジスタの設計指針を提案した。

1-4節では、第1章の結びを行う。

第2章では、フラッシュEEPROMのデータ書き換え特性に関する考察をする。

2-1節では、従来提案のフラッシュEEPROMにおいて、データ書き換え特性の劣化現象を解析する。前半で、拡散層に高電圧を印加するフラッシュEEPROMの従来提案されている書き換え動作法では、データ消去動作時に拡散層端の高電界によって発生するホットホールが酸化膜中に注入することによってフラッシュEEPROMのデータ書き換え特性が劣化するモデルを提案する。後半では、データ消去動作時におけるソース端の電界を緩和することによりホットホール注入を抑制し、FNトンネル電流によってデータ書き換えすることにより、書き換え特性が改善することで、本提案のモデルを実験的に確認する。

2-2節では、2-2-1で、本提案のモデルに基づいて、拡散層と基板を同電位にする事によりソース端の電界をなくすフラッシュEEPROMの新しいデータ書き換え動作原理の概念を提案する。本提案のデータ書き換え動作法により、ソース端の電界が抑制されホットホールが発生しないため、データ書き換え特性の劣化現象を完全に抑制できる事を実験的に確認する。2-2-2で、本提案の動作原理により、トンネル酸化膜の寿命の限界までデータ書き換えが可能のため、現在のプロセス技術においても、従来データ書き換え法と比べて1000倍にあたる約3.6億回のデータ書き換えができる可能性がある事を示す。

2-3節では、第2章の結びを行う。

第3章では、フラッシュEEPROMのデータ保持特性に関する考察をする。

3-1節では、フラッシュEEPROMのデータ保持特性を劣化させるトンネル酸化膜におけるストレスリーク現象を解析する。このストレスリーク現象とは、酸化膜に電荷を通過させるとその後酸化膜に電流が流れやすくなる現象である。特に、ストレスリーク現象の減衰特性に関して解析を行う。3-1-1で、ストレスリーク現象を引き起こしているトンネル酸化膜中のトンネリングサイトを不活性化することによりストレスリーク現象を抑制できるモデルを提案する。本モデルでは、トンネリングサイトは、酸化膜中のトラップサイトにホールがトラップしている状態が活性であり、ホールが消滅して中性状態にあるときが不活性であるとしている。従って、トンネル酸化膜中のトンネリングサイト中に電子を注入することでトンネリングサイトを不活性化することができ、この事により、ストレスリーク現象を減衰させることができるモデルを提案し、実験的に確認する。3-1-2で、ACストレスによるストレスリーク現象は、ACストレスのON時におけるトンネリングサイトの生成現象と、OFF時におけるトンネリングサイトの不活性化現象によって説明できるというモデルを提案し、実験的に確認する。本提案のモデルより、ACストレスにおける各ON時間を短く分割し、各OFF時間を長くすることにより、ストレスリーク現象を抑制できる事を提案し、実験的に確認する。

3-2節では、データ書き換え時に発生するトンネル酸化膜中の活性なトンネリングサイトを抑制することによって、データ保持特性を向上させる新しいデータ書き換え動作原理を2つ提案する。第1に、書き込み及び消去パルス印加後にそれぞれに対し逆方向パルスを印加するデータ書き換え動作原理を提案する。本提案の動作原理によって、印加パル

スによって生成されたトンネル酸化膜中のトンネリングサイトを次の逆方向パルス印加によって不活性にする事によりデータ保持特性が向上することを実験的に確認する。第2に、書き込み及び消去パルスをそれぞれ分割して印加するデータ書き換え動作原理を提案する。本提案の動作原理によって、トンネル酸化膜中のトンネリングサイトの生成を抑制する事によりデータ保持特性が向上することを実験的に確認する。

3-3節では、第3章の結びを行う。

第4章では、フラッシュEEPROMの高性能化に関する考察を行う。

4-1節では、高速データ書き換え動作に関して考察する。従来データ書き換え動作法によるNOR型フラッシュEEPROMと第1, 2, 3章で提案した新しいデータ書き換え動作原理によるNAND型フラッシュEEPROMにおいてデータ書き換え動作速度を比較する。本提案のデータ書き換え動作法により、複数のメモリセルに一括にデータ書き込みできるようになるため、従来動作法と比べて、データ消去動作で約1000倍、データ書き込み動作で約30倍の高速動作が可能となることを示す。

4-2節では、メモリセルの微細化に関して考察する。4-2-1で、トンネル酸化膜の薄膜化の限界を考察する。トンネル酸化膜の薄膜化により書き換え動作電圧は低減し、メモリセルの微細化が可能となる。従来、薄膜酸化膜は、ホール注入によって破壊すること、及び、酸化膜を薄膜化するにつれて前記ホール注入量は減少する事が実験的に明らかになっていた。本節では、酸化膜中に注入された電子の平均エネルギーを定量的に求めることによって、ホール注入量を定量的に説明できるモデルを提案する。本モデルにより、原理的にトンネル酸化膜は薄膜化するほど破壊しにくくなることを示す。これによって、将来さらにフラッシュEEPROMは微細化してゆくことが可能である事を示す。4-2-2で、従来提案のデータ書き換え動作法よりも第1, 2, 3章提案の新しいデータ書き換え動作法の方が、拡散層領域及びゲートと拡散層のオーバーラップ領域が小さくできるため、同一のプロセス技術を用いても、メモリセルが微細化できることを示す。

4-3節では、第4章の結びを行う。

本論文での提案は、実際に1992年から量産されている4 Mbit NAND型フラッシュEEPROM以降、現在32 Mbit NAND型フラッシュEEPROMまで使用されている。又、本論文の提案は、今後も将来の高密度フラッシュEEPROMに使われていくと考えられている。以上より、本論文は、高度情報社会を支える電子機器に不可欠なストレージメモリとしてフラッシュEEPROMが応用できることを明らかにしている。

審査結果の要旨

高度情報社会を支える電子機器に不可欠な情報を蓄えるストレージメモリとして半導体不揮発性メモリであるフラッシュEEPROMが期待されている。特にフラッシュEEPROMがストレージメモリとして広く応用されるためには、低消費電力化、データ書き換え回数の向上及びデータ保持特性の改善が重要である。著者は、フラッシュEEPROMの書き込み及び消去時の低消費電力化を妨げているサブブレイクダウン現象の発生メカニズムを研究し定量的に解明した。この結果を踏まえてサブブレイクダウン現象が発生しないフラッシュEEPROMの書き込み及び消去方法を提案し、低消費電力化、データ書き換え回数の向上及びデータ保持特性の改善を行った。本論文は、その成果をまとめたもので、全文は、序論、第1章から4章及び結論からなる。

序論は、本研究の背景、意義及び目的について述べている。

第1章では、フラッシュEEPROMの書き込み及び消去時に発生するサブブレイクダウン現象を定量的に解明し、従来方法では低消費電力化が困難である事を示した。本解析結果はMOSトランジスタの縮小化にも新たな制約条件がある事を示したもので重要な知見である。

第2章では、フラッシュEEPROMの書き込み及び消去時にサブブレイクダウン現象が発生しない方法を提案し、その方法をNAND型フラッシュEEPROMに採用した。この結果本提案を採用したNAND型フラッシュEEPROMは、低消費電力化、高速データ書き換え及びデータ書き換え回数が1000倍以上になる事を示した。これは有用な成果である。

第3章では、フラッシュEEPROMのデータ保持特性を劣化させるストレスリーク現象を定量的に解析し、ストレスリーク現象を起こしているのはトンネル酸化膜中に発生するトンネルサイトである事を実験的に確認している。さらにこのトンネルサイトを抑制する書き込み及び消去方法を提案し、実測により確認している。これは有用な成果である。

第4章では、本提案による書き込み及び消去方法をNAND型フラッシュEEPROMに採用する事により多数のメモリセルに一括データ書き換えが可能になるため、従来動作方に比較して、データ消去で約1000倍、データ書き込みで約30倍の高速動作が可能である事を示した。またNAND型フラッシュEEPROMの微細化の可能性について考察し、本提案の動作原理の採用によりさらなる微細化が可能である事を示した。これは重要な知見である。

結論は、第1章から第4章の成果と知見をまとめたものである。

以上要するに本論文は、フラッシュEEPROMの書き込み及び消去時の低消費電力化を妨げているサブブレイクダウン現象の発生メカニズムを定量的に解明し、サブブレイクダウン現象が発生しないフラッシュEEPROMの書き込み及び消去方法を提案し、低消費電力化、データ書き換え回数の向上及びデータ保持特性の改善を行ったもので、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。