

氏 名	作 井 康 司
授 与 学 位	博 士 (工 学)
学 位 授 与 年 月 日	平 成 7 年 7 月 12 日
学 位 授 与 の 根 拠 法 規	学 位 規 則 第 4 条 第 2 項
最 終 学 歴	昭 和 56 年 3 月 慶應義塾大学大学院工学研究科計測工学専攻 前期博士課程 (修士課程) 修了
学 位 論 文 題 目	Studies on Impact Ionization and its Applications to the Scaled Devices (インパクト・イオン化現象とその微細化デバイスへの応用に関する研究)
論 文 審 査 委 員	東北大学教授 大見 忠弘 東北大学教授 坪内 和夫 東北大学教授 舛岡 富士雄 東北大学助教授 柴田 直 (情報研)

論 文 内 容 要 旨

本論文は、Bipolar トランジスタ内のインパクト・イオン化現象により生じる RBC 効果 (Reverse Base Current : ベース電流が逆方向に流れる現象) を初めて観測し、RBC 効果による双安定状態を利用した新概念の SRAM セルについて討論したものである。また、リングオシレータを例にとり、AC動作時に MOS トランジスタから発生するフォトンが周辺デバイスの動作特性に与える影響を考察し、フォトンの発生を抑えたデバイス構造および回路設計を提案する。以下、本論文の構成と概要を記す。

第 1 章：序 論

本論文の書かれた背景を述べる。

最初に、インパクト・イオン化現象の指標となる基本的な物性パラメータであるインパクト・イオン化レートについて触れる。シリコン中の電界が 850kV/cm 以下の場合、シリコン中の電子のインパクト・イオン化レートは正孔のそれよりも大きいこと、また、インパクト・イオン化を引き起こさせるためには、最初シリコンのバンド・ギャップの 1.5 倍のエネルギーが必要であることを述べる。

次に、Bipolar トランジスタ、MOS トランジスタのインパクト・イオン化現象およびフォトンの発生現象を論じ、本論文の流れを述べる。

第 2 章：Bipolar トランジスタ内のインパクト・イオン化現象により生じる逆方向ベース電流：Reverse Base Current (RBC)

これまでの研究として、Bipolar トランジスタのベース・コレクタ間の PN 接合でのインパクト・イオン化現象により、ベース電流が逆向きに流れることは、1955年の RCA Review で理論的に示唆されていた。しかし、以前のトランジスタは接合が均一にできていなかったため、本来、インパクト・イオン化モードのみが起きる低電界でも、接合の一部でなだれ現象が同時に起きていた。このため、なだれモードとそれよりも低電界で観測可能なインパクト・イオン化

モードとを分離して測定することができなかった。

ところが、最近のプロセス技術の向上により、Bipolar トランジスタの接合が均一にできるようになり、なだれモードよりも低電界で起きるインパクト・イオン化モードがなだれモードから分離して測定できるようになった。その結果 Bipolar トランジスタの逆方向ベース電流を初めて測定できた。また、従来から知られているインパクト・イオン化の式を用いて、逆方向ベース電流が現れる条件を実験的に明らかにした。

さらに、筆者はベース電流が逆方向に流れる現象に RBC 効果と命名し、IEDM'88 で発表した。その直後から、米国の大学、研究機関を中心に RBC 効果を参照した論文が数多く発表され、逆方向ベース電流を制御するためのプロセスの最適化に関する研究を始めとして、RBC 効果に関する研究が続行されている。

第 3 章：Bipolar トランジスタの RBC 効果に基づく新しい SRAM セル

従来の SRAM セルは、フリップ・フロップ回路によって双安定状態を実現していたため、1セルを構成するためには6個の素子が必要であった。本章では、Bipolar トランジスタの RBC 効果による双安定状態を利用することにより、2素子の SRAM セルを実現できることを示し、SRAM としての動作確認を行った。

新セルでは SRAM のフリップフロップ回路を構成する4個の素子を、1個の Bipolar トランジスタに置き換えている。その結果、セル面積を現在の SRAM に比べて約7分の1に縮小できる。また、SRAM に比べて高集積化が容易な DRAM では、スケージングに依存せずに読み出し電位を一定にするため、メモリセルの容量を一定に保つ必要がある。このため、デザインルールに比例しない大面積のキャパシタが必要であり、これがセル面積の小型化の障害となっている。新 SRAM セルの Bipolar トランジスタは、デザインルールに比例して小型化できる。このため、DRAM と同一の設計基準を用いた新 SRAM のセル面積は、DRAM のセル面積に比べて、3分の1となる。

さらに、本セルは従来に全くない新しい概念に基づくものであるため、筆者が IEDM'88 の発表後、本セルの応用に関する論文が発表されている。

第 4 章：インパクト・イオン化が周辺の PN 接合に与える影響

これまでの研究として、単体トランジスタを DC 的に動作させた実験において、単体トランジスタをインパクト・イオン化源とした時、そこから発生するフォトンによって生成される電流と、トランジスタのソースから基板へ流れる少数キャリア電流とが、周辺の PN 接合に与える影響について調べた報告はある。

本章では、リングオシレータを例として、トランジスタを AC 的に動作させた実験において、回路動作に伴うインパクト・イオン化が周辺の PN 接合に与える影響を解析した。インパクト・イオン化源として、リングオシレータを構成するトランジスタを AC 的に動作させた場合においても、単体トランジスタを DC 的に動作させた場合と同様に、周辺の PN 接合に影響を与え、逆バイアス状態の PN 接合で電流の増加現象が観測された。

解析の結果、低抵抗基板であるエピウェハーを用いた本実験においては、インパクト・イオン化によって発生した基板電流による基板電位の浮きはなく、トランジスタのソースから基板への注入電流の影響は著しく小さいことがわかり、この増加電流は、リングオシレータから発生するフォトンによって、生成される電流であることを明らかにした。

フォトンによるこの効果は将来デバイスをスケージングしていく際に、トランジスタを AC 的に動作させた場合も DC 的に動作させた場合と同様に問題となる可能性が高く、素子設計および回路動作上に影響があるという知見を得た。

第 5 章：フォトンの発生を抑えたデバイス構造および回路設計

MOS トランジスタが飽和領域で動作すると、インパクト・イオン化によって発生したホット・キャリアが MOS トランジスタの信頼性を劣化させることに関する研究は広く行われてきている。そして、ホット・キャリアによる MOS トランジスタの信頼性の劣化はデバイスを微細化していく程顕著となるため、LDD (Lightly Doped Drain) をはじめとして、ドレイン近傍の電界を緩和させるデバイス構造の提案が多くある。また、回路設計に関しては、低消費電力、バッテリーバックアップの需要から、低電圧の研究が行われている。しかし、回路動作中にトランジスタのインパクト・イオン化によって発生するフォトンを抑えるための詳細な研究は行われていない。

本章では、フォトンの発生を抑えるための提案を行う。

一つは、デバイスの動作電圧を 1.0V 以下にすることを提案する。インパクト・イオン化を引き起こさせるためには、最低バンド・ギャップの 1.5 倍のエネルギーが必要である。室温におけるシリコンのバンド・ギャップは 1.1eV であるから、CMOS 回路を 1.0V 以下で動作させることにより、インパクト・イオン化率が著しく低下するだけでなく、フォトンの発生自身が抑えられる。

また一つは、隣接したデバイスからのフォトンの影響を抑制するデバイス構造に関して考察する。ここでは、シリコン柱をゲート酸化膜とゲートで取り囲んだ SGT (Surrounding Gate Transistor) を例にとって、SGT が隣接したデバイスから放出されるフォトンの影響に対して強いデバイスであることを指摘する。SGT 構造においては、シリコン柱が 9eV と高いバンドギャップのゲート酸化膜 SiO_2 で取り囲まれているため、ドレイン端で発生したフォトンがシリコン柱とゲート酸化膜との界面で反射され、シリコン基板方向に通る可能性が大きい。また、発生したフォトンがたとえゲート酸化膜を通過しても、バイアス状態のゲートポリシリコンに到達し、そこで電子・正孔対を発生するため、隣接したデバイスから放出されたフォトンがシールドされる。したがって、SGT の三次元的デバイス構造上のドレイン、ゲート、ソースの位置関係の特徴により、一つの SGT から発生したフォトンがその周辺の他の SGT の動作特性に影響を与える可能性は低い。また、SGT 構造では、ドレイン部の接合 (X_j) を深くすることは容易であるため、ドレイン近傍の電界を緩和させることが、デバイス設計上、可能である。さらに、SGT の基板となるシリコン柱をフローティングにさせることにより、基板電流の影響をなくすることができる。

第 6 章：結 論

第 2 章から第 5 章までの研究の結果と知見を述べ、本論文の結論とする。

審査結果の要旨

半導体集積回路は、微細加工技術の進歩によって超高集積化が進められているが、素子微細化に伴うデバイス内部の電界強度増大がインパクト・イオン化現象を顕在化させ、回路の誤動作を招く等の問題を生じている。著者は、インパクト・イオン化現象の詳細な実験的研究により、この現象を積極的に応用した新しいメモリの開発、さらには、誤動作を生じない極微細デバイス・回路構造の提案等を行っている。本論文は、それらの成果をとりまとめたもので、全文6章よりなる。

第1章は序論である。

第2章は、バイポーラトランジスタのベース・コレクタ接合において電子及びホールがインパクト・イオン化が原因となって生じる、「ベース電流の逆流現象」について述べている。この現象は理論的には1995年に示唆されていたが、実験的な確認は、著者によって初めて行われた。

第3章は、第2章で述べたベース電流の逆流現象を応用した新しいSRAMメモリセルの開発について述べている。トランジスタ1個でフリップ・フロップが構成できるため、従来6個ものトランジスタが必要だったSRAMセルが2個のトランジスタで構成されており、DRAMよりも高集積化可能なSRAMメモリセルを実現している。これは有用な成果である。

第4章では、AC動作中のMOSトランジスタのドレイン近傍で生じるインパクト・イオン化の効果により、その周辺に存在するPN接合にリーク電流が生じる現象について詳細な実験的研究を行っている。その結果、これがインパクト・イオン化で発生した電子・ホール対によるフォトンが原因であることを明らかにするとともに、今後MOSLSIの極限超高集積化に際し大きな障害となることを指摘した。これは重要な知見である。

第5章は、上記障害を取り除くのに適した微細MOSトランジスタの構造と回路構成を論じている。柱状構造のシリコンを金属あるいはシリサイドゲートが取り囲み、ドレイン領域が上部に設けられた完全空乏型縦型MOSトランジスタを用いた超LSIが、誤動作をせず信頼性の高い超LSIとして最も有望であることを述べている。

第6章は結論である。

以上要するに本論文は、インパクト・イオン化現象の微細化デバイスに及ぼす影響を詳細な実験的研究により調べ、その困難を取り除く方法を提案するとともに、この現象そのものを応用した新しいメモリー技術を開発したものであり、半導体電子工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。