

氏 名	大 和 田 邦 樹
授 与 学 位	工 学 博 士
学位授与年月日	昭和 59 年 2 月 8 日
学位授与の根拠法規	学位規則第 5 条第 2 項
最 終 学 歴	昭和 42 年 3 月 東北大学理学部物理学科卒業
学 位 論 文 題 目	短チャンネルMOSFETの研究
論 文 審 査 委 員	東北大学教授 西澤 潤一 東北大学教授 柴田 幸男 東北大学教授 小野 昭一

論 文 内 容 要 旨

本論文は超高速VLSIの実現を目指して行なった短チャンネルMOSFETの製作技術と素子構造設計技術に関する一連の研究成果をまとめたものである。

近年、LSIの発展は目ざましく、集積規模が急速に増大している。一方、集積規模に加え、高速化の要求がある。通信用LSIの分野では、デジタル通信網構築に不可欠なデジタル信号処理LSIに対し高速化が性能の要となる。また超高速コンピュータの分野ではギガビットレイトの論理素子が要求されている。

高集積化に有利なMOS系によるLSIの高速化を図る上で単体MOSFETにおけるチャンネル長の短縮は、相互コンダクタンスの増大と入力容量の低下を同時にもたらすため、極めて有効である。またSOI構造は浮遊容量の低減と短チャンネル効果の抑制を可能とするため高速化に適している。

本論文では、まず通信用LSIへの応用を目的とし、短チャンネル技術をバルクSi基板上の選択酸化分離によるCMOS集積回路に適用し高速化を図った結果について述べた。ついで、超高速コンピュータ応用を指向し、酸素イオン注入によるSOI構造、すなわちSIMOX技術(Separation by Implanted Oxygen)を用いた埋め込みチャンネルMOSFETの高速化について述べた。

本論文は以下の編、章構成からなっている。

序論

第1編 バルク Si 基板上の短チャネルMOSFET

第1章 緒言

第2章 選択酸化法によるCMOS集積回路の素子分離

第3章 短チャネルMOSFETによるCMOS集積回路の高速化

第4章 結言

第2編 SIMOX 基板上の短チャネルMOSFET

第1章 緒言

第2章 埋め込みSiO₂層の界面特性

第3章 埋め込みチャネルMOSFET/SIMOXの特性解析

第4章 埋め込みチャネルMOSFETの高速化

第5章 結言

結論

以下、各章についてその概要を述べる。

序論では、LSIの高速化について応用分野側からの要求を示すとともに、MOSFETの短チャネル化について、研究を歴史的に概観し、筆者がこの研究に着手した背景を明らかにした。さらに、本研究の目的を示し、その意義を明確にした。

第1編はバルクSi基板上のCMOSの高速化について述べた。

第1章では、CMOS研究の歴史と技術発展の流れを概観し、高速化を図る上での問題点と検討課題を明確化した。

第2章では、選択酸化法をCMOSの素子分離に適用するために製作法と構造設計法について検討した。

CMOS集積回路の素子分離法として選択酸化法、拡散分離法、およびSIPOS法について集積回路性能、集積密度、および微細化への発展性を比較し、選択酸化法が全ての点で最も優れていることを明確にした。選択酸化膜の標準プロセス条件を検討し、酸化膜形状を評価した。主要な問題点の一つであるバズビークについて、横方向酸化モデルの理論的検討を行ない、主要因が酸化時間と拡散係数であることを明らかにした。もう一つの問題点である、後工程のゲート酸化膜に生ずる欠陥についてはゲート酸化前にSi表面を熱リン酸エッチングすることにより除去できることを明らかにした。構造設計法についてはCMOS集積回路の設計条件に基づき、素子構造設計と整合性のある設計手順を定め、酸化膜厚と最小分離幅の設計式を導出した。

第3章では、短チャネルMOSFETによりCMOSICの高速化を図るために、短チャネルMOSFETの基本特性、素子構造設計、およびプロセス設計法を検討し、リングオシレータ試作による動特性評価を行なった。

基本特性に関しては、閾値電圧とパンチスル耐圧のチャネル長依存性を定量的に評価し、素子構造設計に使用できる特性近似式を決定した。また、深いチャネルドープ構造が短チャネル効果軽減

に有効であることを明らかにし、その物理的要因を考察した。

素子構造設計については、CMOSインバータの遅延時間および消費電力に及ぼす各素子構造定数の影響を計算により求めた。さらに閾値電圧、パンチスル耐圧、および接合耐圧に及ぼす素子構造定数の影響を上記特性近似式を用いて調べた。以上の結果から、遅延時間を最小とし、かつ短チャネル効果を軽減する素子構造設計手順を定め、この設計手順により試作素子構造の設計を行なった。

プロセス設計については、まずCMOSプロセスフローの最適化を図り、ついで、キーププロセスとなるゲート酸化、ポリSi電極、ソースドレインイオン注入、およびAl-Si電極形成について、プロセス条件を検討し、設計構造定数を実現する条件を明確にした。

以上の検討結果に従って、実効チャネル長 $1.5\mu\text{m}$ 、 $2.5\mu\text{m}$ 、および $3.5\mu\text{m}$ のCMOS21段リングオシレータと単体MOSFETおよび寄生MOSFETを試作した。その結果、実効チャネル長 $1.5\mu\text{m}$ のリングオシレータ特性から、 t_{pd} の最小値として、 330ps 、 $t_{pd} \cdot P_d$ の最小値として、 4.6fJ が得られた。

第4章では、第1編の結果をまとめた。

第2編はSIMOX基板上の埋め込みチャネルMOSFETについて述べた。

第1章では、SIMOX基板上に埋め込みチャネルMOSFETを構成する場合の検討課題を明らかにした。

第2章では、酸素イオン注入による埋め込み酸化膜の上側界面電気特性を評価することを目的として、MOSダイオードのCV特性測定、CV特性の周波数特性解析、および構造モデルを用いたCV特性の界面構造依存性の考察を行なった。

CV特性は酸素イオン注入ドーズに強く依存した。ドーズ $2.4 \times 10^{18}\text{cm}^{-2}$ では界面特性は熱酸化膜の特性とほぼ同等で、酸化膜固定電荷密度(Q_f/q)と界面トラップ電荷密度(D_{it})最小値は、それぞれ、 $8 \times 10^{10}\text{cm}^{-2}$ および $1 \times 10^{11}\text{cm}^{-2}\text{eV}^{-1}$ であった。表面再結合速度(S_0)とライフタイム(τ)はSOSと同程度で、それぞれ $5 \times 10^4\text{cm} \cdot \text{sec}^{-1}$ および 10nsec であった。ドーズ $1.8 \times 10^{18}\text{cm}^{-2}$ では Q_f は負であった。また界面トラップ電荷(Q_{it})が大きく、CV曲線は測定周波数に強く依存した。ドーズ $1.2 \times 10^{18}\text{cm}^{-2}$ ではCV曲線はゲート電圧に依存しなかった。

構造モデルを用いた考察から、ドーズによる埋め込み酸化膜界面特性の著しい変化は界面構造の変化に起因することが示された。すなわち、 $1 \times 10^{18}\text{cm}^{-2}$ 程度のドーズでは埋め込み酸化膜と表面単結晶Si層の間に外部電界遮へい効果を有する遷移層が存在する。これに対し、ドーズが増加すると注入された過剰酸素の拡散、酸化により、遷移層が酸化膜に変わり、熱酸化膜に近い界面構造となる。

第3章では、埋め込みチャネルMOSFET/SIMOXの短チャネル特性を解析するために、デバイスのモデル化、閾値電圧の素子構造依存性とバイアス依存性の計算、および物理的要因の考察を行なった。

デバイスのモデル化については、埋め込みチャネルMOSFETでは電流のON、OFFが電位鞍部

点の電位で決定されることに注目し、チャンネル領域内で2次元ポワソン方程式を解くことにより、鞍部点電位から閾値電圧を導出した。2次元ポワソン方程式を解くに当たって、完全空乏層近似を行ない、チャンネル深さ方向に作用するゲート誘起電界による電位支配を優先させ、その制約のもとにチャンネル長さ方向の電位分布が定まるとすることにより、チャンネル深さ方向と長さ方向、それぞれの1次元式に分離した。計算結果は2次元数値解析および実測値とほぼ一致しており、本モデルの妥当性が裏付けられた。

閾値電圧の計算から次の点が明らかになった。閾値電圧はチャンネル長を短くすると特定のチャンネル長 (L_0) までは一定値で、それ以下では減少する。 L_0 と閾値電圧の変化率 ($\partial V_T / \partial L$) は素子構造条件に強く依存する。 L_0 を小さくするには、チャンネル不純物濃度の増大、ドレイン電圧の低下が有効で、ゲート酸化膜厚、チャンネル層厚、埋め込み酸化膜厚、およびバックゲート電圧は影響ない。 $\partial V_T / \partial L$ を小さくするには各膜厚、特にチャンネル層厚の減小が有効で、チャンネル不純物およびバックゲート電圧は影響ない。

短チャンネル領域における閾値電圧低下の物理的要因はソースおよびドレイン誘起電圧による障壁低下である。長チャンネル領域の場合、空乏層の障壁高さがドナー濃度のみで定まるのに対し、短チャンネル領域ではソースおよびドレイン誘起電界により障壁低下が生じ、これにより閾値電圧のチャンネル長依存性が生ずる。

第4章では、デバイス超高速化を目指して、BC-MOSFET/SIMOXの素子構造と製作プロセスを検討し、単体デバイスとリングオシレータを試作することにより、デバイス基本特性および動特性の評価を行なった。

素子構造については、2次元数値解析シミュレーションを用いて、SIMOX基板とバルクSi基板上のBC-MOSFETの特性を比較した。その結果、前者の方が短チャンネル効果が少ないこと、その物理的要因は、後者の場合問題となる基板電流が、前者においては埋め込み SiO_2 層により完全に遮断される点にあることを明らかにした。

さらにデバイス特性上の要点である、i) 閾値電圧のノーマリオフ化、ii) 短チャンネル効果の低減、を図った上で最も高速化が実現できるデバイスパラメータ設計手順を定め、試作のための定数設計を行なった。

製作プロセスに関しては、埋め込み SiO_2 層を形成するための酸素イオン注入条件、アニール条件について最適化を図り、またその上に堆積するSiエピタキシャル層のプロセス条件を求めた。その結果、良好な特性を有する埋め込み SiO_2 層と活性Si層が実現した。

以上の検討結果に従って、各種単体MOSFET、および実効チャンネル長の異なる3種類のリングオシレータを試作した。単体MOSFETでは、キャリア実効移動度 $750 \text{ cm}^2 / \text{V} \cdot \text{sec}$ が得られ、またリーク電流は観測されなかった。さらに実効チャンネル長 $1 \mu\text{m}$ のリングオシレータ特性から伝搬遅延時間の最小値として 95 ps が得られ、この時の速度・電力積として 310 fJ が得られた。

第5章では、第2編の結果をまとめた。

結論では、各章の結果を簡単にまとめ、本論文の結論とした。本研究で得られた最大の成果は、

(1) CMOSが低消費電力のみならず高速化も図れることを実証し、適用領域を拡大したこと、
(2) SIMOX基板上の埋め込みチャンネルMOSFETにより、MOS系におけるギガビット論理実現の可能性を実証したこと、(3) MOS系デバイスの高速化に短チャンネル化が極めて有効であることを明らかにしたこと、にある。

審 査 結 果 の 要 旨

シリコンの集積回路のうちCMOSと呼ばれる構造のものは、低エネルギー消費であることから多く使用されてきたが、スイッチ速度が余り早くない上、微細化が容易でない欠点がある。本論文はチャンネル長を短かく作ることとSIMOXと名付けられた技術によって高速化を実現することを試みた研究の結果をまとめたもので序論とまとめの他二編の本論よりなり、各々4章及び5章よりなる。

先ず全体の序論で全体の研究の目的と意義をのべたあと本論に入り、短チャンネルMOSFETに関する第1編では、短チャンネル化の現状をのべた緒論のあと第2章では酸化膜の上に局所的に窒化膜のマスクをおいて酸化して厚い酸化膜のパターンを作るとき境界部分の断面が鳥の嘴状になる所謂バズビーク現象が短チャンネル化の障害となるとしてその要因を明らかにして制御できるようにするため境界部分の酸化機構模型に基づいて解析及び実測との比較を行い、諸量とその温度変化を明らかにして重要な知見を加え、更に、端部に発生する酸化膜の欠落部分の発生をKooiの模型によって説明すると共に厚い酸化膜形成に先立って熱リン酸エッチを行うことにより防止できることを示している。以上によって実現できる酸化膜の形状を決定し第3章ではその結果を用いてチャンネル長1.5 μm までのMOSFETを試作してその特性を測定している。5Vの電圧を加えたときスイッチ時間0.43 n秒、スイッチエネルギー73 fJまた7Vで0.33 n秒、2Vで4.6 fJという各々の最小値を得ることができ、ほぼ所期の目的に達したとしている。第4章はまとめである。第5章は結論である。

第2編では、更に基板シリコンの中に酸素イオンを打ち込んで酸化物の膜を底の方に形成するSIMOX法を利用した実験結果についてのべている。第1章は緒論で関連技術と現状についてのべたものである。第2章では打ち込み酸素イオンの諸量と形成酸化膜とシリコン素材との界面特性との関連についてのべ、第3章では前章の結果に基づいて埋め込み形成される短チャンネルMOSFETの電気的特性の推算を行っている。第4章は試作とその結果に関する成果をまとめたもので、単純な構造のFETが2.5 μm であるのに対し、1 μm のチャンネル長まで正常に動作することが示され、実測の結果スイッチエネルギー310 fJ、スイッチ時間95 p秒という画期的な値を得ている。

以上要するに本論文は、シリコン酸化物の形成とその界面構造諸量について多くの知見を加えると共に、CMOSの高速化を一步進めたもので、半導体工学に資するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。