

氏 名	とま べ ち のぶ ひろ 苔 米 地 宣 裕
授 与 学 位	工 学 博 士
学位授与年月日	昭和 59 年 9 月 12 日
学位授与の根拠法規	学位規則第 5 条第 2 項
最 終 学 歴	昭和 37 年 3 月 東北大学工学部電子工学科卒業
学 位 論 文 題 目	パルス列剰余数演算回路とそのデジタル信号処理 システムへの応用に関する研究
論 文 審 査 委 員	東北大学教授 樋口 龍雄 東北大学教授 松尾 正之 東北大学教授 高木 相 東北大学助教授 亀山 充隆

論 文 内 容 要 旨

第 1 章 緒 言

近年、デジタル信号処理は、科学、工学における最も基本的な技術として、認識されるようになってきた。それとともに、従来以上の広範な応用を可能にするような、高速で、高信頼性を有する、小型で低価格のデジタル信号処理システムの実現が期待されている。

このような、高速で、高信頼性を有するデジタル信号処理システムを実現する方法として、剰余数系が有効に適用できる可能性が、Jenkins, Leon らによって、指摘されている。剰余数系は、数を表現する各けたが互いに独立であるという独特な性質を有しており、このため、高速の演算が可能となり、しかも、高信頼化に必要な、演算誤りの検出、訂正が可能となる。しかし、従来の剰余数演算回路の構成法は、もっぱら、演算回路単体の高速化だけを考慮したものであり、システムをコンパクトに構成するという観点からの研究が、ほとんど行われていなかった。また、LSI, VLSI 技術の適用を前提とするならば、配線を含めた実装空間全体の最小化、設計容易、検査容易な構成など、システム全体の観点に立った効率的なシステム構成法が必要となってくる。

以上のような背景のもとに、本研究は、剰余数系に基づくシステムの効率的な構成法を、明らかにすることを目的として、行われたものである。

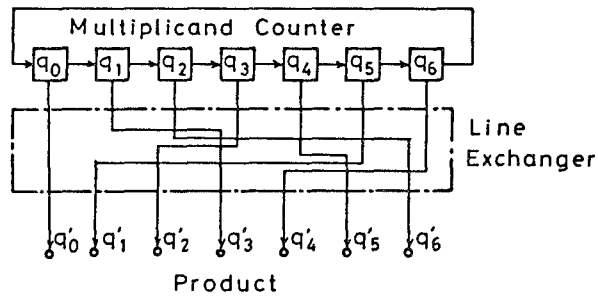
本研究においては、規則性と階層化を指向することによってシステム全体を効率的に構成する方法を検討している。まず最初に、演算回路単体の規則性にすぐれた構成法を検討し、カウンタを主

要な構成要素とし、パルスの計数によって演算を行う剰余数演算回路（パルス列剰余数演算回路と呼ぶ）の構成法を提案している。次いで、パルス列剰余数演算回路を基本回路として、デジタルフィルタを構成する方法を示している。以上の結果、剰余数系に基づく、高速で、高信頼性を有するデジタル信号処理システムを効率的に構成する方法が明らかとなった。

第2章 デジタル信号処理システムと剰余数演算に関する基礎的考察

デジタル信号処理システムと剰余数演算について基礎的考察を行い、従来の剰余数演算回路の構成法であるROMを用いる方法では、システムのハードウェアが極めて大きくなることを指摘している。この考察の上に立って、新しい構成法として、カウンタを主要な構成要素とする方法を提案し、本方法によれば、剰余数演算に必要な任意のモジュラスの演算が容易に実現できることを示している。

まず、リングカウンタを用いて、そのシフトによって、剰余数の加算、減算、（係数）乗算、および、遅延を実現する方法を示している。特に新しい知見として、乗算が、一時に複数のビットを飛びこすリングカウンタによって実現できること、このようなカウンタは、結線交換器を備えたリングカウンタと等価であることを明らかにしている。本乗算器の回路を図1に示している。図において、モジュラスの値 m は、カウンタの段数に対応している。また、乗算係数 K は結線交換器の配線で決定される。結線交換器は、カウンタの並列出力信号線を単に1対1に交換する



The Case of $K=3, m=7$

図1 乗算器

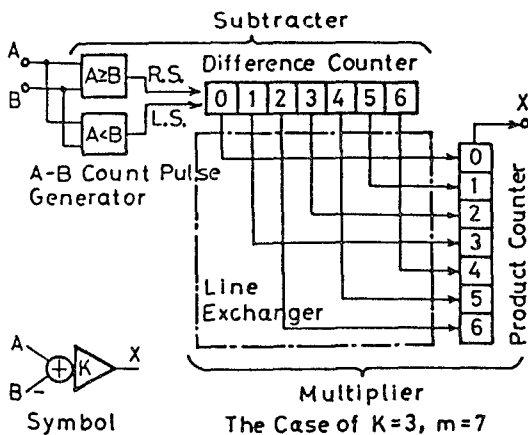
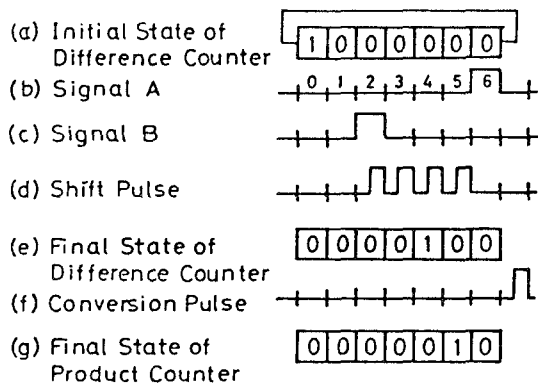


図2 差積演算回路の構成



The Case of $|(6-2) \times 3|_7 = 5$

図3 差積演算回路の動作

だけのものであり、本乗算器はハードウェアが極めて簡単となる。

次いで、システムを構成する基本回路の検討を行い、その結果、減算器と乗算器を一体化した差積演算回路を基本回路として定めている。本回路の演算機能は、次式で表わされる。

$$X = |(A - B) \cdot K|_m$$

ただし、A、Bは入力、Xは出力、Kは乗算係数、mはモジュラス、 $| \cdot |_m$ なる記号はmに対する剰余をとる操作を表わしている。本回路の構成と表示記号を図2に、その動作を図3に示している。本回路は、加算、乗算、遅延の機能をすべて備え、この回路だけで、デジタル信号処理システムが構成できる。同時に、遅延機能、簡単な回路構成など、システムをパイプライン構成とするための条件をすべて備えている。

第3章 パルス列剰余数演算回路の基礎的性質

差積演算回路の基礎的性質を、回路的性質とモジュールとしての論理的性質に分けて、体系化を行っている。

回路的性質としては、信号、符号、演算、回路構成など、モジュールを構成する段階において関係する性質について明確にしている。特に、高信頼化を実現する上で有用となる結果として、符号と演算の規則性に基づいて誤り検出を行う方法を示している。また、誤り検出回路の構成法、および、誤り検出機能を有する差積演算回路（自己検査差積演算回路と呼ぶ）の構成法も示している。

一方、理論的性質としては、モジュールを組み合わせたシステム設計段階において有用となる代数的性質について体系化を行っている。また、この性質に基づき、差積演算回路だけで、代表的な剰余数演算アルゴリズムを実現する方法を示している。その興味ある結果として、スケーリング、ベース拡張、混合基数変換などの演算が、いずれも、減算-乗算のくり返しによって実現されることを指摘し、この意味でも、差積演算回路が基本回路として適当なことを明らかにしている。さらに、自己検査差積演算回路を基本モジュールとして、誤りの検出はモジュールごとに行い、誤りの訂正は剰余数系の並列性に基づいて行うという、新しい誤り検出、訂正方法を提案している。誤り訂正アルゴリズムとしては、ベース拡張を基本とする、差積演算回路に適したアルゴリズムを示している。本誤り検出、訂正方法によれば、通常の剰余数系の性質のみによる誤り検出、訂正方法に比較し、冗長なけたが少なくすみ、かつ、誤り訂正回路を効率的に構成することができる。

第4章 パルス列剰余数演算回路の構成法

差積演算回路を実現するという立場に立って、その設計方法を詳細に検討している。まず、個別ICを用いた試作を行い、モジュラス11の差積演算回路が、TTL IC 7個で構成できることを示している。

次に、LSIに適した構成法を検討している。その方法として、電子回路解析プログラムSPICEを用い、シミュレーションによって最適な回路パラメータを求めるという手法をとっている。次いで、得られた回路の形状に関するパラメータをもとに、レイアウト設計を行って、最適なパタ

ーンを求めている。パターン設計規則としては、Mead, Conway の提案している規則を適用している。本設計規則は、標準化の点にすぐれており、他の方法に基づく回路と比較を行う上で有意義と考えられる。以上の結果、モジュラス 23 の回路が、NMOS 素子を用いることにより、LSI 上の占有面積、 $10^5 \lambda^2$ (λ はパターンの最小寸法) で構成できることを示している。

さらに、システム全体の LSI 化の方法として、差積演算回路を基本ビルディングブロックとしてアレイ状に配列したマスタスライス LSI を用いる方法を提案している。差積演算回路は、回路の形式は一定であるが、モジュラス m を決定するリングカウンタの段数、および、乗算係数 K を決定する結線交換器の配線は、回路ごとに異なることとなる。本マスタスライスは、これらの配線を、ビルディングブロック間の相互結線と同時に一括して行うこととしている。図 4 に、集積度が、 $10^7 \lambda^2$ の場合に対するマスタスライスの設計例を示している。

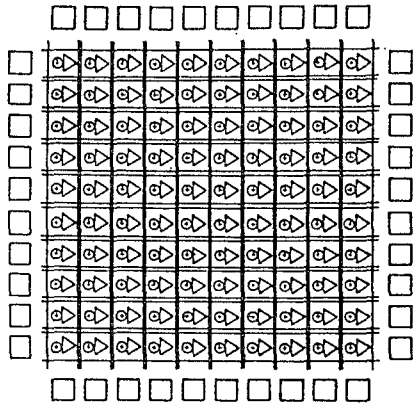


図 4 マスタスライス LSI の設計例

第 5 章 多値論理に基づくパルス列剰余数演算回路

パルス列剰余数演算回路のより効率的な構成法を目指して、多値論理の適用を検討している。まず、通常のリングカウンタと同様の性質を有し、かつ、メモリ素子の個数が大幅に減少できる多値カウンタとして、多値リングカウンタを提案している。また、本多値リングカウンタの構成要素として、CCD が、非常によく適合した種々の性質を有することを指摘し、CCD の論理モデルを用いた多値リングカウンタ、および、多値パルス列剰余数演算回路の構成法を示している。

第 6 章 パルス列剰余数演算回路のデジタルフィルタへの応用

パルス列剰余数演算回路のデジタル信号処理システムへの応用例として、デジタルフィルタの構成法を検討している。まず、差積演算回路だけを用いてデジタルフィルタを構成するアルゴリズムを明確にしている。特に、差積演算回路の遅延機能と、デジタルフィルタの実現に本来必要な遅延機能を適合させる方法を示している。また、その妥当性を、2 次巡回型デジタルフィルタを実際に試作することにより検証している。さらに、先に示したマスタスライスを適用し、機能設計と配置設計を一体化し、パイプライン構成とするシステム構成法を示している。以上の結果、デジタルフィルタが、規則性にすぐれた構成を有し、しかも、パイプライン構成に基づく高速の動作が可能となることを明らかにしている。

第 7 章 結 言

以上、剰余数系に基づくシステムを効率的に構成する方法を明らかにした。本研究で提案したシステム構成法を、従来の 2 進数系に基づく方法と比較した結果、非巡回型デジタルフィルタが、LSI 上の占有面積が同等でありながら、設計が著しく単純化され、かつ、動作速度を支配するゲートの段数が、約 1/10 に減少できることが明らかとなった。

審 査 結 果 の 要 旨

近年デジタル信号処理システムは、集積回路技術の著しい進展によりその実現が容易となり、各方面で盛んに用いられるようになってきた。これに伴い、システム構成上基礎となる演算回路の高速化、小形化、さらに高信頼化が要求されるようになり、特に高速化と小形化の両者を考慮した演算回路構成法の確立が望まれていた。著者は剰余数系が演算上の優れた性質を有することに着目し、新しい剰余数演算回路を提案してその構成法を確立すると共に、デジタル信号処理システムに応用しその有用性を実証した。本論文はその成果をまとめたもので、全文7章よりなる。

第1章は緒言である。

第2章では、カウンタを主要な構成要素として、差積演算を実行するパルス列剰余数演算回路を提案し、従来の同程度の機能を有する回路と比較してその有効性を示している。

第3章では、パルス列剰余数演算回路の論理的性質と回路の性質を明らかにし、本演算回路を設計する上で、さらに本演算回路に基づき系統的にシステム構成を行う上での基礎を与えている。また、演算誤りの検出および訂正アルゴリズムを見出しているが、これは有用な知見である。

第4章では、前章で得られた結果に基づくパルス列剰余数演算回路の具体的構成法について述べている。著者はまず汎用のICを用いて本回路を試作してその動作を確認し、ついでLSI化に適した構成法を与えると共に、計算機シミュレーションによりその特性を詳細に検討している。その結果、デジタル信号処理システム性能を支配する係数乗算器が結線交換により極めて容易に実現できるので、高速化と小形化の点で格段に優れていることを示し、その有効性を明らかにしている。

第5章では、電荷結合デバイス(CCD)が本研究で提案している演算回路構成法に適合することに着目し、多値剰余数演算回路の構成法を示すと共に、その実現可能性についても検討を加えている。

第6章は、デジタル信号処理システムの基礎として知られるデジタルフィルタに、パルス列剰余数演算回路を応用する際の問題点を検討し、その応用例を与えている。その結果、フィルタが小形に、かつパイプライン処理を駆使することにより高速に実現できることを実証している。さらに演算誤りの検出および訂正機能を付与したフォールトトレラントシステムの構成法も示している。これらは、本研究の重要な成果である。

第7章は結言である。

以上要するに本論文は、剰余数系の演算上の優れた性質を巧みに利用した新しい演算回路を提案し、その構成法を確立すると共に、デジタル信号処理システムの構成上多くの有用な知見を与えたもので、電子工学および情報工学の発展に寄与するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。