

氏 名	井 野 正 行
授 与 学 位	工 学 博 士
学位授与年月日	昭和 60 年 10 日 9 日
学位授与の根拠法規	学位規則第 5 条第 2 項
最 終 学 歴	昭和 46 年 3 月 名古屋工業大学工学部電子工学科卒業
学位論文題目	GaAs MESFET による IC 設計に関する研究
論文審査委員	東北大学教授 小野 昭一 東北大学教授 柴田 幸男 東北大学教授 大見 忠弘 東北大学助教授 針生 尚

## 論 文 内 容 要 旨

本論文は超高速GaAs ICの実現を目的に行なったGaAs MESFETの素子動作解析と IC設計技術に関する一連の研究成果をまとめたものである。

近年、SiLSIの発展は目ざましく、特にMOSFETによるLSIの大規模化は急速に進展している。一方、規模の拡大と並んで超高速電子計算機や通信用等の分野における IC の高速化が要求されている。高速メモリやロジックは従来Siバイポーラ素子の適用領域であったが、Si に比べ電子ドリフト速度が大きく、2 倍程度の高速性能が期待できる GaAs は IC 用素材として最有力である。

本論文においてはGaAs IC のための設計法の確立に主眼を置き、基本素子として製作技術的に最も現実性のあるMESFET ICを対象に、素子単体の応答時間の解析、LSI 化に適した直結型論理回路の基本動作解析、IC設計用素子モデリング、及びこれらを集約してGaAs 1KビットスタティックRAMの設計・試作により、高速LSIを実現した結果について述べる。

まず第2章においてはMESFETの2次元過度解析を行い、論理素子としてのFET用の材料としてGaAsが秀れているのを定量的に明らかにした。以下に2章の結果を要約する。

材料比較シミュレーションの結果、ノーマリオフ形FETの場合、真性応答時間  $t_{int}$  はGaAs < InP < Si の順であり、1  $\mu$ mゲートのGaAs FETの場合約10 psでSi に比べ2 倍以上の高速性を有することが判った。

$t_{int}$  はチャンネル走行時間すなわちチャンネル内平均ドリフト速度により規定される。そのため材料的にはピーク速度が高く、かつ移動度が大きいもの程望ましい。GaAs が論理回路用に適しているのは低電界でピーク速度に達し、移動度も大きく、したがって低電圧、高速動作が可能なためである。

InP は移動度が GaAs に比べ約  $1/2$  と低いものの、ピーク速度は約 1.6 倍高いという特徴を有している。只、ピーク電界が GaAs の約 3 倍大きく、また、ショットキ接合バリア高が低いため、通常のノーマリオフ形 FET においては InP の特質が発揮されない。ノーマリオフ形 FET の場合  $0.5 \mu\text{m}$  程度にゲートを短縮することにより、また  $1 \mu\text{m}$  ゲートでも BFL 等のノーマリオフ形 FET を用いた回路型式においてはドレイン電圧を 1 V 以上に高められるため、チャンネル電界がピーク電界に達し、GaAs と同程度の真性応答時間を得ることができる。

$t_{int}$  を含んだ直結形 GaAs FET インバータの解析を行い、 $t_{int}$  は出力の立下り時間に直接影響し、遅延時間の限界値を与えることが判った。

GaAs MESFET の 2 次元解析より短チャンネル効果は 2 次元効果がその主因であり、ゲート長の活性層厚に対するアスペクト比が 0.25 以下で顕著になることが判った。したがって不純物濃度が  $1 \times 10^{17} \text{cm}^{-3}$  のノーマリオフ形 FET の場合ゲート長が  $0.4 \mu\text{m}$  程度までは短チャンネル効果も厳しい影響はなく、それ以下において LSI 動作を得るためには  $0.1 \mu\text{m}$  の精度でゲート長を制御する必要があることを明らかにした。

3 章においては大規模化に適した直結形論理回路 (DCFL) に着目して高速動作及び低スイッチングエネルギー動作の関係を明確化した。以下に結果を要約する。

GaAs IC 用各種基本回路として DCFL, BFL, SDFL, SCFL 4 種について回路シミュレーションにより特性比較を行った。その結果、LSI を想定した負荷付遅延時間は  $\text{SCFL} < \text{BFL} < \text{SDFL} < \text{DCFL}$  の順となるが、最悪の DCFL が最良の SCFL の高々 1.4 倍なのに対して消費電力については DCFL は SCFL や BFL の 2~3% と圧倒的に小さいことが判った。電力制限を考慮すると SCFL や BFL は 100~200 ゲート規模の MSI が集積限界であるのに対し、DCFL は 7.7 K ゲートまで可能であり、単位ゲート当たりの素子数が少ないことと併せて LSI 用の基本回路は DCFL が最適であることを定量的に明らかにした。

E/D 形 DCFL の最適動作条件を見通しのよい解析から求め、DCFL ゲートの設計指針を得た。解析結果より、 $V_T > 0.25 \text{V}$  においては負荷電流のオン電流に対する比は 0.55 で  $t_{pd}$  最小となることと、 $V_T < 0.25 \text{V}$  においては  $V_L < V_T$  の LSI 動作条件で負荷電流の最大値が制限されることが判った。 $t_{pd}$  最小を与える最適閾値電圧は 0.2 V でこのとき負荷電流はオン電流の 40% に設定するのが最適である。

将来の VLSI 化を考え、E/D 形ゲートの電流電圧依存性の解析から低スイッチングエネルギー動作の条件を求めた。 $V_{DD} < 0.5 \text{V}$  において  $V_T = 0.1 \text{V}$  がエネルギー最小を与え、このときサブ fJ 動作が可能となることを指適し、本解析結果に基づき設計・製作した E/D 形リング発振器により  $V_{DD} = 0.4 \text{V}$  で消費電力  $1.75 \mu\text{W}/\text{ゲート}$ 、 $t_{pd} = 480 \text{ps}/\text{ゲート}$ 、スイッチングエネルギー  $0.75 \text{fJ}/\text{ゲート}$  という半導体論理回路では初めてのサブ fJ 動作を確認した。

DCFLゲートを用いたGaAs ロジックLSI 実現にとって最大の問題は使用結晶やプロセスの誘起する素子特性の不均一性である。DCFL 型式リング発振器の回路シミュレーションにより、閾値電圧バラツキの動作に与える影響を解析した結果、回路の許容する閾値バラツキはスピードと相関があり、目標スピードが高い程閾値バラツキの度合は小さくする必要があることを明らかにした。バラツキを考慮した場合最適閾値電圧中心値は0.3 Vであり、スピードが100 ps/ゲートの1KゲートのロジックLSIを歩留り20%で得るには閾値電圧の標準偏差を42 mVにする必要がある。

4章においてはGaAs LSI 設計に用いるFET回路モデルの確立及びこれを適用してSSI の設計を行った。以下に要約する。

高精度、簡単、及び予測性を狙いとしてFETモデルを提案した。本モデルの特徴は簡単なことと素子の構造定数のみから全ての等価回路エレメントが定まるため実験に先駆けた予測が可能なことである。表面空乏層の影響を考慮することにより、各種のFET構造に対してI-V特性、遅延時間と負荷電流の関係と静、動特性ともに実験結果と符合することを確認した。

上記FETモデルを適用してDCFL 型リング発振器の設計を行った。まず閾値電圧については $t_{pd}$ 最小にする最適値は0.1 Vである。2章、3章の解析結果に比べて最適閾値電圧が低いのは2章、3章ではLSI の安定動作条件を付加したためである。また各素子構造パラメータ依存性のシミュレーションから直列抵抗を減少するのが必須なこと、及び最適素子構造としてはゲート外部のみ高濃度層とする構造であることを明らかにし、後に通研で開発されたSAINT構造の優位性を予測した。

1Kbメモリの前段階に16b及び256b GaAs メモリを上記モデルを使用して設計した。16bメモリの設計・試作の結果より、LSI レベルにおいて本モデルによる設計結果が実験結果とアクセス時間、消費電力ともに極めて良好な一致をみ、モデルのLSI 設計に対する適用性を確認した。16b、256bメモリは研究開発の初期段階で $g_m$ の低い通常構造FETを用いて製作したため、アクセス時間はそれぞれ10 ns、50 nsと遅いもののメモリ動作は得られ、基本回路構成については目標の1Kbメモリへ展開する見通しを得た。

最後に5章において1Kb GaAs メモリを設計、15 nsの高速動作を実現し、今後のGaAs 高速LSI の展望を開いた。以下に5章の結果を要約する。

設計条件としては1  $\mu\text{m}$ ゲートSAINT FETによるE/D型DCFLを適用し、アクセス時間2 ns以下、消費電力500 mW以下と設定した。最初に閾値標準偏差( $\sigma V_T$ )=50 mVという現状のプロセスレベルを考慮した周辺回路のシミュレーションより最適閾値電圧として $V_{TE}=0.1\text{ V}$ 、 $V_{TD}=-0.4\text{ V}$ を求めた。

上記設計条件にチップサイズを3 mm<sup>□</sup>程度に納めることを考慮して、読み出し、書き込みとも正常動作するようにメモリセルを設計した。ゲート幅はドライバが9  $\mu\text{m}$ 、トランスファゲートが4  $\mu\text{m}$ 、負荷D-FETはビット線プルアップの有無に応じて2  $\mu\text{m}$ または4  $\mu\text{m}$ である。

ビット線プルアップのスピードと動作マージンに対する効果を求め、プルアップによりアクセス時間は25%改善するが、センスアンプの許容 $\sigma V_T$ が50 mVから30 mVに減少するのが判った。従って当初はプルアップ無しのメモリを試作することとし、プロセスの進展をみてセンスアンプ部

の  $\sigma V_T < 30 \text{ mV}$  の見通しが得られた段階でプルアップ付の製作を行うこととした。

FET構造とそれを適用して得られるメモリ性能の関係をシミュレーションし、SAINTの場合 1Kb で許容  $\sigma V_T$  が 50 mV 以上でアクセス時間 2 ns 以下に対して通常構造 FET では許容  $\sigma V_T$  が 20 mV でアクセス時間 6 ns の結果を得た。直列抵抗が小さく  $g_m$  の大きい FET のメモリ LSI のスピード改善だけでなく、正常動作を得るために必要なことが判った。またゲート長を  $0.6 \mu\text{m}$  にすれば 0.8 ns の 1K メモリが予測できる。

設計した 1K メモリの閾値電圧許容変動範囲はプルアップ付の場合、中心設計値  $V_{TE} = 0.1 \text{ V}$ 、 $V_{TD} = -0.4 \text{ V}$  に対して  $\Delta V_{TE}$  は約  $\pm 120 \text{ mV}$ 、 $\Delta V_{TD}$  は約 200 mV あることが判った。次に回路ブロック別に閾値バラツキの許容差をシミュレーションした結果、メモリセルとセンスアンプ以外のブロックは何れも  $\sigma V_T < 60 \text{ mV}$  と現状製作技術で問題ないことが判った。メモリセルは 50 mV と他に比べ小さいが現状技術で充分達成し得る。プルアップ無しの場合センスアンプは 50 mV、またプルアップ付回路においてはビット線振幅減少に追従してセンスアンプの許容  $\sigma V_T$  は 30 mV となる。しかし、その後の実験より閾値電圧には近隣相関があり、数十  $\mu\text{m}$  の距離に配置したセンスアンプのペア FET 間での  $\sigma V_T$  は 30 mV 以下と予測できたのでプルアップ付も試作した。

試作・評価の結果、プルアップ付の場合チップサイズが  $3.32 \text{ mm}^2$ 、アクセス時間は 1.5 ns でこのとき消費電力は 369 mW であり、GaAs LSI の高速性を確認できた。プルアップ無しのアクセス時間は 2 ns であり、設計結果とよく合っている。また 2 種のメモリとも最小書き込みパルス幅は 2 ns 以下であった。

GaAs RAM と Si バイポーラ RAM の比較シミュレーションの結果、エミッタ幅  $0.35 \mu\text{m}$  のバイポーラと  $L_G = 0.55 \mu\text{m}$  の GaAs が同等性能となり、究極的に両者の実効寸法を  $0.2 \mu\text{m}$  にした場合 GaAs の方が優位なことを明らかにした。

## 審査結果の要旨

近年、MOSFETを基本素子とするSi-LSIの大規模化は急速に進展しているが、この大規模化と並んで高速化もまた多くの分野で強く要望されている。高速LSIを指向する場合、GaAsは電子移動度が大きく、半絶縁性基板が容易に得られる等、Siに比べて本質的な優位性を持っているが、一方、結晶成長やプロセス技術の面で、現状ではSiにおよばない。従って、GaAsの持つ長所を生かし高速LSIを早急に実現するには、当面の技術的短所を考慮すると共に、その改善の結果を効果的に取り入れられるような設計法の確立が望まれる。

上記のような観点から、著者はGaAs-LSIの設計法の確立を主眼とする一連の研究を行い、それらの結果に基づいた設計法により、実際にLSI規模をもつ1KbのSRAMを設計、試作して、GaAs-LSIの高速性を実証した。本論文は、これらの研究の成果を取りまとめたもので、全文6章よりなる。

第1章は緒論である。

第2章では、GaAs-LSI用の基本素子として製作技術的に最も実現性の高い、MESFETを対象とした二次元動作解析をGaAs、Si、InPの各素子材料について行い、GaAsが最も優れていることを定量的に示している。

第3章では、GaAs-LSI用の基本論理回路の解析結果を述べている。ここで、四つの代表的回路について検討し、直結形論理回路が最適であること、又、この回路の応答時間、消費電力のそれぞれに対する最適素子条件、素子特性の分散と到達動作速度との関係等を定量的に明らかにしているが、これらは何れもLSI設計の指針となる重要な結果である。

第4章では、LSIの設計に用いる基本素子の等価回路モデルの導出と、それをを用いて設計、試作した小規模ICによる実験結果を述べている。ここで、著者は将来の技術的進展を考え、大規模LSIへの適用も可能な新しいモデルを導出し、その有用性を数種の試作ICの実験結果により示している。

第5章では、これ迄の成果に基づき設計、試作した実際のLSI、即ち、1KbのSRAMの実験結果について述べているが、その結果は設計値と良い一致を示し、又、LSI規模のものでは初めてGaAsによる高速性を実証していることは高く評価できる。

第6章は結言である。

以上要するに本論文は、高速GaAs-LSIの実現を目的に、その設計法の確立を主眼とした一連の基礎的研究を行い、それらの成果を集約して設計、試作したLSIにより、その設計法の妥当性とGaAs-LSIの高速性を実証し、LSIの高速化に明るい展望を開いたもので、電子工学、通信工学に寄与するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。