

氏 名	あき 秋 や 谷 まさ 昌 ひろ 宏
授 与 学 位	工 学 博 士
学位授与年月日	昭 和 62 年 1 月 14 日
学位授与の根拠法規	学位規則第 5 条第 2 項
最 終 学 歴	昭 和 48 年 3 月 東北大学大学院工学研究科電子工学専攻 修士課程修了
学 位 論 文 題 目	CMOS LSI 回路の応用に関する研究
論 文 審 査 委 員	東北大学教授 西澤 潤一 東北大学教授 松尾 正之 東北大学教授 高木 相

論 文 内 容 要 旨

本論文は、CMOS LSIにおいて不可欠な回路設計技術並びにデバイス設計技術をアナログ系からデジタル系に渡り系統的に述べ、その一連の研究成果をまとめたものである。アナログ LSI においては MOS 系における未開拓分野を各種新構造素子を提案して解決し、これ等を LSI として特に制約の厳しい BSH-LSI に応用し有用性を実証した。これにより CMOS アナログ LSI の進展を図った。デジタル LSI においては、基本論理回路を始めとし、CMOS スタティック RAM 各部に渡り新回路を考案し最適設計を行なった。総合的に 256×4bit CMOS RAM に応用し、試作した RAM は高速、低消費電力化を実証して、今日の CMOS RAM 全盛時代の礎を築いた。

論文の構成は 2 編より成り立っており、第 1 編は、アナログ LSI への応用、第 2 編はデジタル LSI への応用について述べてある。以下、各章毎に得られた結果並びに概要をまとめる。

〔第 1 章〕序 論

CMOS LSI が今日全盛となった背景並びに残されている問題点について述べ、本研究の目的及び内容について概説した。

〔第 2 章〕CMOS の適応領域

今日、LSI に用いられている CMOS を含む NMOS, I^2L の基本素子について、特徴の比較を

ない、CMOSが消費電力並びに雑音余裕に対し著しい利点を持つ事を明らかにした。又、基本素子としてのTP積の比較より、短チャネルゲート(1~3 μm) CMOSの特性は速度の点でバイポーラ素子に近い値が得られている事を示した。

第1編 アナログLSIへの応用

〔第3章〕アナログLSIの必要条件

CMOSのアナログLSIとしての適応領域について検討し、特にMOSを用いたアナログLSIとして、従来より問題となっている特性、つまり高耐圧化、高精度化、高線形化、高 g_m 、 g_D 化について指摘し、これ等の具体的な解決法を明らかにした。

〔第4章〕SIMOX技術を用いたSOI構造の高耐圧化

SIMOX技術を用いた高耐圧BC-MOSについて検討し、以下の事を明らかにした。

- 1) 酸素をイオン注入する事によりSi中に作られた SiO_2 膜の絶縁破壊電圧は酸素のドーズ量に比例し、その電界強度は7MV/cmと熱酸化により作られた酸化膜と同等であった。
- 2) 高耐圧MOSをオフセットゲート構造とする事により SiO_2 絶縁基板上に同一プロセスを用いて高耐圧、低耐圧MOSを容易に混載する事が出来た。
- 3) 高耐圧MOSの耐圧 BV_{DS} はオフセット長 L_S に比例し、N-ch MOSにおいて $L_S = 20\mu\text{m}$ で、 $BV_{DS} = 180\text{V}$ が得られた。

〔第5章〕高精度化の検討

アナログLSIの基本要素の一つであるMOSカレントミラについて高精度化を指向した設計法及び、精度要因について、定量的に明らかにした。以下に得られた結果を示す。

- 1) 10 μA 以下の低電流領域において、精度は主に閾値電圧変動に依存しており、ドレイン電流に反比例する。100 μA 以上の高電流領域においてはドレイン電流に無関係に一定であり主にチャネル長、チャネル幅の変動に依存する。
- 2) バイポーラカレントミラで必要とされる補償回路なしで $L_C = 50\mu\text{m}$ のMOSカレントミラにおいてドレイン電流1 μA 以上で0.5%以下の相対誤差が得られ、パタン占有面積もバイポーラ型に比べ約 $\frac{1}{4}$ と大幅に改善された。
- 3) $I_D \geq 100\mu\text{A}$ の高電流領域で $L_C = 10\mu\text{A}$ のMOSカレントミラにおいて0.6%以下の相対誤差が得られた。
- 4) 精度の温度係数は $I_D \geq 100\mu\text{A}$ において130PPM/ $^{\circ}\text{C}$ の値が得られた。

〔第6章〕高線形化の検討

LSI中の拡散抵抗、及びポリSi抵抗と置き換えが可能でしかも高抵抗、高線形特性を有するMOS型可変抵抗素子を開発し、以下の事を明らかにした。

- 1) SIMOX技術を用い、絶縁基板上にオフセット構造のMOSFETを構成する事により、高抵

抗領域の改善を図り、可変抵抗範囲ならびに線形特性が向上し、MOS回路に適合する値が得られた。

- 2) オフセット部にイオン注入を行った素子を用い、 $R_{DS} = 100\text{k}\Omega$ において高周波歪が、2.5%以下の特性を得た。
- 3) $R_{DS} = 30\text{k}\Omega \sim 100\text{k}\Omega$ において、可変抵抗素子の温度係数として、 $2100\text{PPM}/^\circ\text{C}$ を得た。

〔第7章〕チャネル長変調効果の低減

高 g_m 、低チャネル長変調効果特性を持つポリSiゲートをエンハンスメント型とディプリーション型に分割した新構造スプリットゲートMOS(SG-MOS)を開発し、以下の事を明らかにした。

- 1) ポリSiゲートをエンハンスメント型とディプリーション型にイオン注入により分割する事により、 g_m が従来MOSの2~3倍大きな値が得られた。
- 2) ゲート電圧の小さい領域($V_g \leq 4.5\text{V}$)でチャネル長変調効果特性が従来MOSの約1/10以下の低い値が得られ、絶縁基板を用いた素子特有のkink特性においてもkink開始電圧が従来型より5V以上大きな値を得た。
- 3) CMOS差動増幅回路に応用した結果、周波数特性は、従来型よりも良好で、パタン占有面積が1/4以下と高集積化が図られる事を確認した。

〔第8章〕MOS型加入者回路LSIへの適用

従来型MOSよりも良好な特性の得られる、新しく開発した高耐圧MOS、MOSカレントミラ、MOS可変抵抗素子をアナログLSIの一分野である加入者回路LSI(BSH-LSI)に適用し、新開発素子の有効性を実証した。以下に得られた結果を示す。

- 1) 直流給電機能[B]、ループ監視機能[S]、2線4線変換機能[H]の基本動作を確認しMOS系で初めてBSH-LSIの実現の見通しを得た。LSIは28pin構成でチップサイズ $2.25 \times 2.58\text{mm}$ (従来バイポーラLSIの1/4)、消費電力はオンフック時50mW、オフフック時170mW(従来バイポーラの1/3)と高性能化が図られた。
- 2) 給電抵抗、伝送利得等の直流特性において、大半は、設計目標値を満足した。但し、無通話時雑音についてはプロセス並びに回路面について今後十分な検討余地がある。
- 3) 直流給電部の電圧-電流変換用抵抗をポリSi抵抗(48k Ω 相当)から、新開発のMOS可変抵抗素子で置き換える事により、同等の特性でしかもパタン占有面積が1/20以下と大幅な縮小化を可能とした。

第2編 デジタルLSIへの応用

〔第9章〕基本論理回路の最適設計

デジタルLSIの基本となるCMOSインバータ、TG、NAND、NOR等の基本論理回路において、高速、高集積化を指向した最適設計法について検討し、以下の事を明らかにした。

- 1) 基本論理回路について、遅延時間(T_d)、パタン占有面積(S)の積 $F = T_d S$ を性能評価基準

とし、種々の設計条件による最適設計図表を作成し、最適設計の一例を示した。

- 2) 各種基本論回路の遅延時間要因を詳しく分析し、縦続接続回路における全遅延時間の最小値を求める簡便な算出式を導出した。
- 3) 基本論回路の遅延時間、消費電力の比較を行ない、パタン占有面積、負荷容量が一定の場合には、遅延時間はNOR型よりもNAND型の方が小さくなり、又、消費電力に関しては、同じ遅延時間を仮定した場合、インバータ、TG、NAND、NORの順に消費電力は大きくなり、特にNAND、NORにおいては、入力数が多くなる程、この傾向は顕著になる事を回路シミュレーションにより示した。

〔第10章〕CMOSスタティックRAMの基本設計

CMOSスタティックRAMの回路設計において、入出力系回路に新回路を開発し、その設計手法並びにメモリセル、アレイの最適化について検討し、以下の事を明らかにした。

- 1) CMOS RAMの基本回路を用いて、各回路ブロックの遅延時間の見積りを行ない、アドレスバッファ、デコーダ、センスアンプを含めた出力回路が高速化に問題がある事を示した。
- 2) 入力系回路においては、負荷ゲートと駆動ゲートのゲート端子を切り離し、各々独立に制御出来る様にした新構成のデコーダ回路、さらにチップセレクト信号の前縁部のタイミングのみでデコーダ回路を制御し、サイクルタイムの短縮とタイミング設計を容易にしたデコーダ制御回路を開発し、雑音余裕を中心とした設計法を示した。
- 3) 出力系回路においては、一对のセンスゲートで直接出力バッファを駆動し、論理段数を減少させて、著しい高速、高集積化を図った新回路を開発し、回路動作について示した。
- 4) メモリセルアレイ系において、メモリセルとビット線を結ぶトランスファゲートにP-ch Trを用いる方がN-ch Trを用いる場合に比べて、高速化が可能で、書き込み、読み出し動作の安定性にも有利となる事を回路シミュレーションにより示した。

〔第11章〕256×4bit CMOS高速RAMの設計

デジタルLSIの一応用例として、256×4bit CMOS RAMを的を絞り、これまで述べてきた最適設計法を駆使して、回路シミュレーション、パタン設計の手順を経て回路設計を終結させた。試作したRAMの特性と共に以下に得られた結果を示す。

- 1) CMOS RAMを大きく機能別に6ブロックに分割し各ブロックの入出力条件とその他の制約条件を分析する事により、一義的に定まる回路要素を抽出し、これ等に順序付けを行う事による簡便な構成法を見出した。
- 2) 5 μ mルールを用いてデバイスの試作を行ない、電源電圧5Vでアクセスタイム80nSec、最小サイクルタイム100nSecを得、又、1MHz動作時の消費電力が7.5mWと高速、低消費電力化を達成した。

〔第12章〕総括的結論

本研究全体の総括を行い、各章に述べられている結論を要約した。

審 査 結 果 の 要 旨

本論文は、通信用の集積回路とその方式を選択決定するために、諸種のCMOS型回路を比較検討した結果を取りまとめたもので序論・結論を含め全文12章よりなる。

第1章は序論で、第2章では従来の他の回路方式との比較を行って、トランジスタを短チャンネル化することにより、バイポーラトランジスタ回路に近い速度が得られるものと推定している。

次に第1編として、アナログ回路応用という観点からの研究に入り、先ず第3章では、MOSトランジスタの特性の改良について論じ見通しを立てた。第4章は、SIMOXと呼ばれる酸素イオンを打ち込んで絶縁層を形成する技術を利用して、構成要素トランジスタの耐圧を高めた結果についてまとめたもので、180V耐圧のものまで得られることを示している。第5章はアナログ回路構成上の重要要素である電流増倍器を試作した結果をまとめたもので、高精度を保つような設計法を構成して、0.5%以下の相対誤差をバイポーラトランジスタを用いるときの4分の1の面積で実現し、また温度傾数も130ppm/°Cを得ている。第6章はLSI化に適する高線形で且高抵抗の得られるMOS型可変抵抗素子の提案を行い、その特性について論じた。第7章では、ドレイン電圧によってチャンネル長が変化する効果を抑えるために、ゲートを二分割して一部分が空乏層化しないようにしてトランジスタ特性を良好ならしめた結果についてのべている。第8章は、以上の成果に基づいて実用回路を試作してかなりの成績を収めたことを示したものである。

第2編として、デジタル集積回路への応用について研究している。先ず、第9章では従来の論理回路構成の各々に対して特性値を整理して、検討を加えている。第10章ではスタティックRAMをCMOSで構成したときの設計を行った結果をまとめており、二三の新しい回路方式を試みるなどして、高速・大容量化に対処する方法についてのべている。第11章では、実際に4ビットCMOS RAMを256集積した結果についてのべており、5 μ mルールで5Vの条件下でアクセス80ナノ秒、最小サイクルタイム100ナノ秒を得ている。第12章は全体の総括である。

以上要するに本論文は、CMOS回路を構成するときの要求からMOSFETの構造に改良を加え、ゲート分割を行うと共にSIMOX法を応用するなどして、高度の集積回路を構成することに成功した結果をまとめたもので、半導体工学及び集積回路工学に資するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。