

氏 名	執 行 直 之
授 与 学 位	工 学 博 士
学位授与年月日	昭和63年11月9日
学位授与の根拠法規	学位規則第5条第2項
最 終 学 歴	昭和55年3月 東北大学大学院工学研究科情報工学専攻 前期2年の課程修了
学位論文題目	Three-Dimensional Simulation of VLSI Devices (VLSIデバイスの三次元シミュレーション)
論文審査委員	東北大学教授 大見 忠弘 東北大学教授 木村 正行 東北大学教授 小野 昭一 東北大学助教授 柴田 直

## 論 文 内 容 要 旨

進行する情報革命の中で、VLSIの高集積化はシステムの大規模化、低価格化、高速化及び高信頼性に決定的な役割を果たしつつある。この高集積化は素子寸法の微細化により実現されるが、微細化の進展に伴い従来は無視しえた形状効果等種々の寄生効果が顕在化し、素子開発・設計の困難さは増大の一途をたどっている。このため、サブミクロン寸法の素子構造を様々に変えコンピュータ上でその特性・性能を予測するデバイス・シミュレーションは、高性能な微細素子の開発において必須技術となってきた。

デバイス・シミュレーションは、これまで素子断面を解析領域とする二次元デバイス・シミュレーションが広く用いられていた。しかし、本質的に三次元構造を有するVLSI素子の特性を精度良く予測するためには三次元空間でのデバイス・シミュレータが必要不可欠である。この要請に基づき三次元デバイス・シミュレータの開発が志向され実験的な試作例が発表されてきたが、計算に要するメモリ量等の点で十分な実用性を備えてはいなかった。

本研究では、数値計算上の新たな種々の手法を導入してアルゴリズムを構築することにより、初めて実用的でかつ精度の高い三次元デバイス・シミュレータを完成させた。さらに、このシミュレータを用いて素子微細化の最重要課題である素子分離構造やホット・キャリア現象について三次元解析を行い、微細素子の高性能化の方向を明らかにした。

本研究は、次の二つの部分に分けて行った。

- (1) 三次元デバイス・シミュレータの数値計算手法の研究
- (2) 三次元シミュレータに基づく微細MOSFETの解析

以下に、本論文の構成を示す。第1章は緒言であり、本論文の背景と動機を述べる。第2章は三次元デバイス・シミュレータの数値計算手法に関する。第3章及び第4章は本シミュレータによる微細MOSFETの三次元解析である。第3章では将来の素子分離技術として注目を集めているトレンチ分離によるMOSFETの特性解析について示し、第4章では微細MOSFETのホット・キャリア現象の三次元解析結果について述べる。第5章は本論文の結論である。

第1章には、VLSIの素子設計における三次元デバイス・シミュレータの必要性とその歴史的背景を述べた。

半導体素子の動作原理を解明する方法の一つは、解析的に微分方程式の境界値問題を解き厳密解を求めることである。しかし、解析的手法を適用するには方程式及び境界条件に近似を導入し、解くべき問題を大幅に単純化しなければならない。その結果、現実的な問題への適用が不可能になる。

解析的な理論展開の困難さが認識されるとともに、これに代わって数値解法を導入して基本方程式を単純化せずに直接解くデバイス・シミュレーションが試みられるようになった。しかし、標準的な数値計算手法を適用すると半導体の基本方程式の強い非線形性に起因した解の発散現象が生じる。この問題は、1964年に物理的裏付けのある陰伏的解法 (implicit method)により克服され、一次元空間でのデバイス・シミュレータが実用化された。さらに、コンピュータの進展に伴い1969年に離散化法として差分法を用いた二次元デバイス・シミュレータが発表された。また、複雑な二次元素子形状を取り扱うために有限要素法を用いたシミュレータも1973年に発表されている。ただし、有限要素法は差分法に比べて素子形状の自由度が高いが、計算時間及び必要とするメモリ量が多いという欠点がある。このトレード・オフを克服することが数値計算上の大きな課題となっている。このような課題を内在しながらも、これまで二次元デバイス・シミュレータは半導体素子の動作原理の解明に重要な役割を果たしてきた。

しかし、高集積化の進展に伴いVLSIに用いられるMOSFETはチャンネル長のみならずチャンネル幅も $1\mu\text{m}$ 以下と微細化し、二次元シミュレーションで素子の三次元的動作機構を正確に把握することは不可能になってきた。すなわち、VLSIにおける最小素子の最適設計を行うには、三次元空間でのデバイス・シミュレータがどうしても必要不可欠となったのである。

この三次元解析の必然性から1980年にNTTから離散化法として差分法、IBMから有限要素法を用いた三次元デバイス・シミュレータが発表された。三次元シミュレータでは複雑な素子構造に対応でき、かつ、三次元空間で解くことによるコンピュータのリソース (計算時間、メモリ) の増大を実用的な範囲に収めることが重要な要件である。しかし、上述の三次元シミュレータは二つの要件のいずれか一方しか満たしていなかった。実用的な三次元シミュレータを構築するためには、二つの要件を共に満たす数値計算手法の開発が必須であった。

本研究で開発した三次元デバイス・シミュレータTOPMOSTは1982年に発表した。差分法に

新たにコントロール・ボリューム法を導入手法を導入して構造の任意性と計算時間・メモリの低減の双方を同時に実現し、三次元シミュレータを初めて実用的なツールとして完成させた。さらに、シミュレータは現実に即した微細素子の解析を可能にするためプロセス・シミュレータとも結合させた。

工業的な観点からみると、デバイス・シミュレータは素子設計期間の短縮に必須である。従来は、製造プロセスや素子構造の最適化のために経験に基づく試作と評価を繰り返していた。しかし、現在、製造プロセスは200工程にも及び、また、プロセスのわずかな変動が微細素子の特性に大きく影響している。もはや、従来の経験に基づく試行錯誤的な手法で短期間に信頼性の高いVLSIを開発することは不可能である。デバイス・シミュレータでは電位・電流分布等により素子の挙動を把握でき最適化のための有力な情報を得ることができると共に、プロセス・シミュレータと結合させることにより製造プロセス条件の変更による素子特性の変化も短時間に解析可能である。このような意味で、デバイス・シミュレータは素子の設計や製造プロセスの最適化に要する時間、ひいてはVLSIの開発期間を短縮でき、VLSI開発に必要不可欠な技術となっている。

第2章では、三次元デバイス・シミュレータTOPMOSTの概説を行った。

本シミュレータは、ポアソン方程式、電子および正孔の電流連続式を三次元空間で数値計算により解き素子の電気的特性を求めている。シミュレータの数値解法上での最大の問題は、三次元空間で解くことによるコンピュータのリソースの増大である。そこで、必要とするメモリ量を削減するために、方程式の解法として三つの方程式を順次解くDecoupled法を用いると共に離散化には差分法を採用した。ただし、Decoupled法を用いた場合、大電流動作でシミュレータの収束性が劣化し計算時間が増大する。この問題は、次の三つの方法で解決した。

- (1) Decoupled法に本質的に内在する収束性の劣化現象を明らかにし、電位の修正に際し収束加速パラメータを導入した。
- (2) 収束性が大幅に向上するキャリアの生成・再結合の評価法を開発した。
- (3) 3つの方程式を結合の強さに応じて解く新たな手法を提案し、導入した。

これらの数値計算手法の導入により、従来の1/2に計算時間を短縮した。さらに、これまで差分法を離散化に用いると取り扱える素子形状が限定されるという欠点があり微細MOSFETを解析する上での大きな問題となっていたが、この問題に対して、新たに差分法とコントロール・ボリューム法とを組み合わせることにより計算時間やメモリを増加させずに任意形状の素子の解析を可能にした。

第3章では、将来の素子分離技術として注目を集めているトレンチ分離によるMOSFETの三次元解析を示した。

VLSIの高集積化を達成するためには、素子と共に素子分離領域の微細化が必須である。素子分離領域の微細化を実現できる方法として、半導体基板に絶縁膜を埋め込むトレンチ分離法が提案されている。しかし、この分離法を用いたMOSFET特性の解析は充分には行われていなかった。

三次元シミュレータによる解析を行い、トレンチ分離MOSFETは以下の特性を有することを

明らかにした。

- (1) チャネル幅の微細化によるしきい電圧の低下（逆狭チャネル効果）
- (2) サブスレッショルド特性のハンプ（hump）現象
- (3) 高ゲート制御性（Sファクタ， $g_m$ ）
- (4) 低ゲート容量による高速動作の可能性

特に，項目（3），（4）は本研究で初めて明らかにした事項である。また，これらの原因がトレンチ分離構造上でのゲート・フリンジ電界であることを三次元シミュレーションと共に簡単な解析モデルをも使って示した。さらに，項目（1），（2）はダイナミックRAMにトレンチ分離法を用いた場合には大きな問題となるが，この対策を検討しゲート材料に高融点金属を用いることを提案した。結論として，トレンチ分離は素子分離領域の微細化の利点のみならずMOSFET特性上も優れ，将来の素子分離方法として有望であることを明らかにした。

第4章には，MOSFETのホット・キャリア現象の三次元解析を示した。

MOSFETの微細化に伴いドレイン近傍が高電界となりホット・キャリアが発生し，素子特性が劣化する。これは，VLSIの信頼性上の大きな問題である。これまで，チャネル長方向での二次元解析が行われ，ホット・キャリアに起因する現象の対策としてドレイン近傍の不純物濃度を下げるLDD（Lightly Doped Drain）構造が提案されている。しかし，チャネル長と共にチャネル幅も微細化したMOSFETに関する解析はわずかしか報告されていなかった。

三次元シミュレータを用いて初めてチャネル幅方向も含む三次元解析を行った結果，ゲート・フリンジ電界によりチャネル端のドレイン近傍電界が高まりホット・キャリアが発生すること，さらに，LDD MOSFETではチャネル端でフィールド部に注入したボロン・イオンの横方向拡がりによりドレインの低濃度領域の不純物濃度が相殺されホット・キャリアが発生することを明らかにした。

第5章は，本論文の結論である。

VLSIの超高集積化に伴い必要不可欠となる三次元デバイス・シミュレータを実用化するための数値計算手法を構築した。さらに，三次元シミュレータを用いて素子微細化の最も重要な課題である素子分離構造やホット・キャリア現象の解析を行い，今後の素子微細化に対し明確な指針を与えた。

## 審査結果の要旨

VLSIの超高集積化に伴う半導体素子の微細化によって、従来は無視しえた形状効果等種々の寄生効果が顕在化し、素子開発・設計の困難さは増大の一途をたどっている。このためサブマイクロン寸法の素子構造を様々に変え、コンピュータ上でその特性・性能を予測するデバイス・シミュレーションは、高性能の微細素子開発に不可欠な技術となっている。微細化されたVLSIでは三次元効果が顕著に現れるが、その特性を精度良く予測するには、従来の二次元解析では不可能であり、三次元空間でのデバイス・シミュレータが必要不可欠となっている。

著者は、数値計算上の様々な新手法の開発導入により三次元シミュレータを実用的なツールとして完成させ、素子微細化の最重要課題である素子分離構造の最適化及びホットキャリア現象の解明を行い、将来の超微細素子高性能化に明確な指針を与えている。本論文はその成果をまとめたもので、全編5章よりなる。

第1章は序論である。第2章では、三次元デバイスシミュレータを実現するための数値計算の手法について述べている。半導体の基本方程式をデカップル法で解くことにより、メモリ容量を大幅に削減した。しかしこの方法では、大電流動作で収束性が劣化するという問題が生じるため、その原因を明らかにすると共に新たな計算法を導入し、計算時間を従来の1/2に短縮した。さらに、プロセスシミュレータとの整合性を向上させ、三次元シミュレータを実用的なツールとして完成している。

第3章では、微細素子の分離技術として重要なトレンチ分離の特長をMOSFETの三次元解析で明らかにしている。チャンネル幅の微細化に伴う様々な現象をチャンネル端におけるゲート電界の集中効果によって明快に説明し、逆にこの効果を積極的に利用することにより、スイッチング特性の優れた新しい素子構造を提案している。

第4章では微細素子の信頼性を決定する重要な要因であるホットキャリア現象に初めて三次元解析を適用し、その結果について述べている。ゲートのフリンジ電界によりチャンネル端部のドレイン近傍で高電界が発生すること、熱拡散による不純物分布の相殺効果によりLDD・MOSFETの電界緩和効果がチャンネル端で弱まることなど、三次元解析でしか得られない数々の重要な知見を得ている。

第5章は結論である。

以上要するに本論文は、新しい計算法の提案とプロセスシミュレータとの合体により三次元デバイスシミュレータを実用的なツールとして完成し、これを用いて素子微細化の基本的な問題を解明したものであり、半導体工学、電子工学に寄与するところが少なくない。

よって、本論文は工学博士の学位論文として合格と認める。