

	たかはし ともひろ		
氏 名	高橋 知宏		
授 与 学 位	博士 (工学)		
学位授与年月日	平成18年9月13日		
学位授与の根拠法規	学位規則第4条第1項		
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 電気・通信工学専攻		
学位論文題目	制御信号多重符号化に基づく非同期データ転送方式と その VLSI 実現に関する研究		
指 導 教 員	東北大学教授 羽生 貴弘		
論文審査委員	主査	東北大学教授 羽生 貴弘	東北大学教授 阿曾 弘具
		東北大学教授 亀山 充隆	
	(情報科学研究科)		

論文内容要旨

第1章 緒言

近年の半導体微細化技術の進展に伴い、システムオンチップ (System on a Chip : SoC) に代表されるように複数の機能モジュールが1つのチップに集積されるようになる一方、クロックスキューやクロック分配消費電力の増加など配線に起因する問題が深刻となってきており、従来の同期式制御ではチップの性能向上が困難となってきている。これらの問題を本質的に解決する一手法として、クロックを用いない非同期式制御が知られており、平均遅延による高速化や適応動作による低消費電力化などの効果が期待されている。しかしながら、非同期式制御でデータ転送を行う場合、要求応答処理に伴い原理的に制御信号を往復させなければならず、1回のデータ転送にかかる遅延が大きくなってしまう。また、クロックに代わる制御信号をデータに付加する必要があり配線数が増加してしまうことが問題となっている。非同期式制御の利点を最大限活かすためには、非同期式制御に伴うオーバーヘッドを極力削減することが望まれる。

そこで本論文では高速かつ配線数の少ない非同期データ転送を実現することを目的としている。配線数を増加させることなく要求応答処理を同時並行で行うことが可能な1相2線符号化に基づく非同期データ転送方式を提案し、電流モード多値回路技術を用いたVLSI実現法を述べる。インタフェース回路の試作・評価を通して提案方式の有用性を定量的に示し、従来の非同期制御方式と比較して極めて高性能な非同期データ転送が実現できることを明らかにする。

第2章 多値符号化に基づく非同期データ転送プロトコル

本章では符号化およびプロトコルの側面から、1相2線符号とそれに基づく非同期データ転送プロトコルを提案する。高速化を実現するには逐次的に行われていた要求応答処理の手順を同時に並行して行えばよいが、その際に非同期的な依存関係を保つことが必要となる。また、配線数を削減するには多値符号化が有効な手法であるが、有効状態数が増加しても任意の遅延条件において有効状態を

表 1: 1 相 2 線符号 (双方向データ転送)

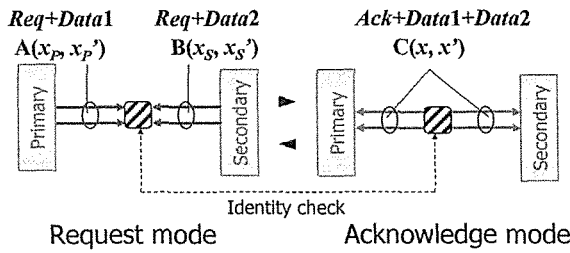


図 1. チャネルモデル

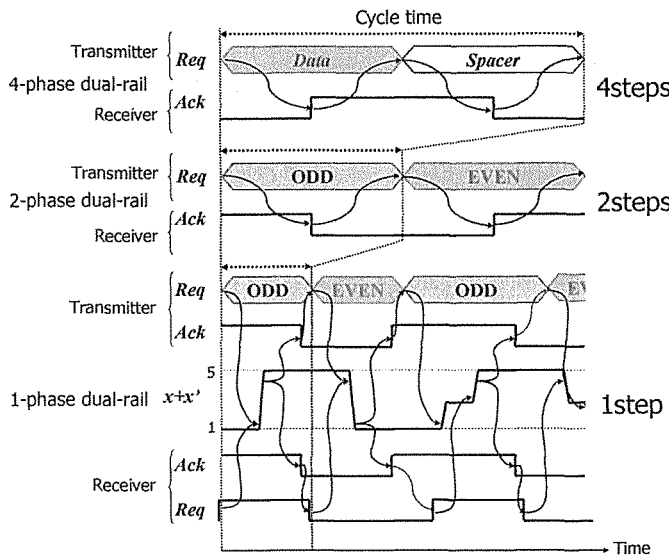


図 2: タイミングチャート

Encoding process

Primary		Transmission lines			Secondary	
Req	Data1	Codeword			Data2	Req
<i>PREQ</i>	<i>PIN</i>	$A(x_p, x_p')$	$C(x, x')$	$B(x_s, x_s')$	<i>SIN</i>	<i>SREQ</i>
ODD	"0"	(0,1)	$\rightarrow a(0,2)$	$\leftarrow (0,1)$	"0"	ODD
	"0"	(0,1)	$\rightarrow b(1,1)$	$\leftarrow (1,0)$	"1"	
	"1"	(1,0)	$\rightarrow c(1,1)$	$\leftarrow (0,1)$	"0"	
	"1"	(1,0)	$\rightarrow d(2,0)$	$\leftarrow (1,0)$	"1"	
EVEN	"0"	(1,2)	$\rightarrow e(2,4)$	$\leftarrow (1,2)$	"0"	EVEN
	"0"	(1,2)	$\rightarrow f(3,3)$	$\leftarrow (2,1)$	"1"	
	"1"	(2,1)	$\rightarrow g(3,3)$	$\leftarrow (1,2)$	"0"	
	"1"	(2,1)	$\rightarrow h(4,2)$	$\leftarrow (2,1)$	"1"	

Decoding process

Primary		Secondary		
<i>POUT</i>	$(x, x') - (x_p, x_p')$	$C(x, x')$	$(x, x') - (x_s, x_s')$	<i>SOUT</i>
"1"	3>2 (3,2)	$\leftarrow f(3,3)$	$\rightarrow (2,3)$	2<3 "0"

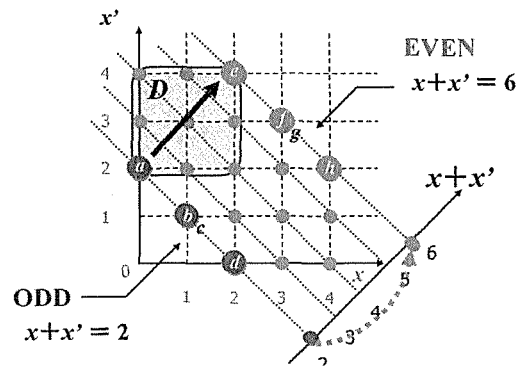


図 3: 符号配置

一意に検出できなければならない。これらの条件を満たすことが必要である。

提案プロトコルは双方のモジュールから状態を表す要求情報を送出し、その一致を検出することで非同期データ転送を行う。図 1 のように要求モードでは、双方のモジュールからデータと要求情報を重畳させ、2 線符号 $A(x_p, x_p')$, $B(x_s, x_s')$ として送出し、応答モードでは双方の要求情報が一致したか否かを判定し、その結果を 2 線符号 $C(x, x')$ として返信する。双方の要求情報一致の検出を通して非同期動作の依存関係を保ちつつ双方のモジュールは時間的に同時並行で動作できるため、図 2 のように要求応答に対する処理ステップ数を減少させ高速化が実現できる。

1 相 2 線符号は「データ」はディファレンシャル信号("0"=(0,1),"1"=(1,0))で定義され、「要求情報」はコモンモード信号("ODD"=(0,0),"EVEN"=(1,1))で定義される。データと制御信号は符号成分の線形加算によって多重化される。表 1 は双方向データ転送における符号の有効状態をまとめており、データと要求情報の組合せにより $a \sim h$ の 8 つの有効状態が存在する。双方の要求一致は符号の和 $x+x'$ を観測すればわかるようになっており、奇数で揃ったとき和は最小値 2 に、偶数で揃ったとき和は最大値 6 になる。図 3 に符号の有効状態を座標平面に配置したものを示す。各線 x および x' 上には複数の有効状態が存在しているものの、和 $x+x'$ という一変数の単調変化に帰着すると状態遷移の途中に他の有効状態を含んでいないことがわかる。例えば状態 a から状態 e に遷移する際、2 線の遅延がばらついた場合でも、2 線の遷移の軌跡は領域 D の範囲内でありこの領域には出発点と到達点の有効状態

しか含んでいない。これは多値符号を用いていながらも、任意の遅延条件において一意に有効状態を決定できることを示している。復号化処理は表 3 のように多重化された符号 $C(x,x')$ と自身の情報との差を取りその成分を比較することで実現される。

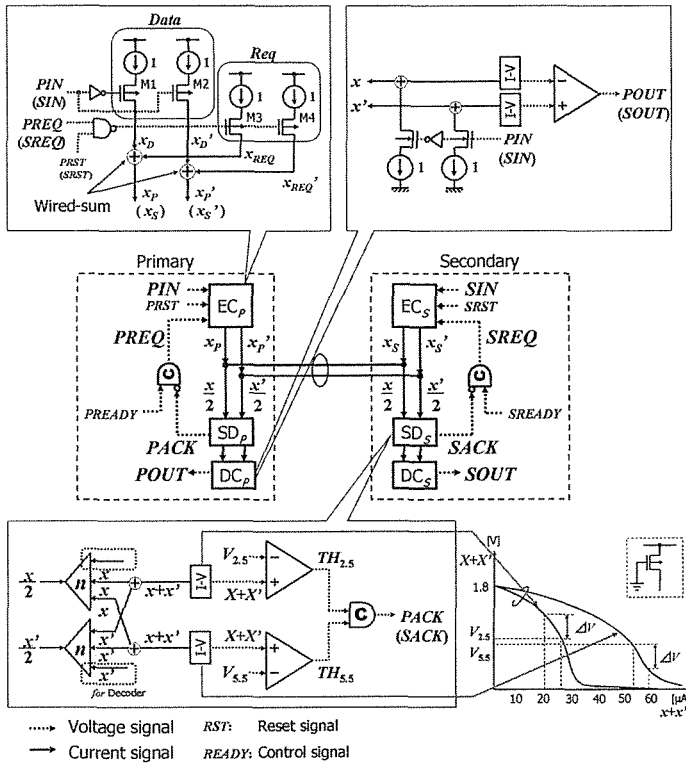


図 4：インタフェース回路

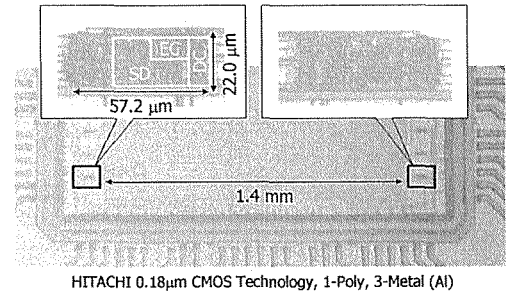


図 5：試作チップ写真

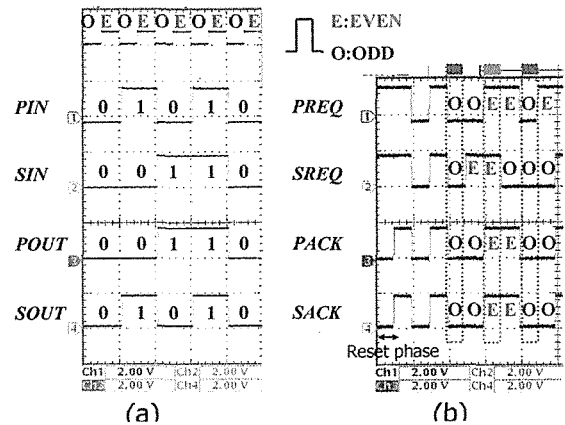


図 6：測定波形(a)入出力特性 (b)要求応答特性

第 3 章 電流モード多値集積回路に基づく非同期データ転送 VLSI の実現

本章では回路実現の側面から、電流モード多値回路を用いた 1 相 2 線符号に基づく非同期データ転送プロトコルの VLSI 実現法を提案する。電流モード多値回路は 1 線上に多レベルの信号を重畳でき、線形加算が結線のみで実現できるという特長を有している。この特長に着目し、双方からの信号を電流レベルで表現して同一配線に送出し、互いに結線されている配線上で再び分流させることで、線形加算と加算結果の検出を同時に実行でき、提案プロトコルが極めて簡単に実現できる。

図 4 に提案する非同期データ転送インタフェースのブロック図と回路構成を示す。双方のインタフェースは符号化部(EC)、状態検出部(SD)、復号化部(DC)から成り、伝送路で結ばれている。符号化部では 1bit の入力データ IN と要求信号 REQ によって制御トランジスタを切り換え電流の線形加算により 2 線符号 $A(x_p, x_p')$, $B(x_s, x_s')$ に対応する電流信号が生成される。双方からの電流信号は伝送路上で重畳され結線により $C(x, x')$ が得られ、これが双方に分流される。状態検出部では 2 種類のしきい演算を用いて要求一致を検出する。分流された電流はカレントミラーにより復元および複製され、2 線を線形加算することにより電流信号の和 $x+x'$ を得る。ここで、しきい演算には高駆動能力を有する差動対回路を用いた電圧比較回路が有用であるが、入力としきい値の電圧差は電源電圧により制約されるため、多値レベルが大きくなるとその高速性が十分に享受できないという問題がある。そこで、

前段に挿入する電流-電圧変換器を、電圧比較回路のしきい値付近で広い電圧差が取れるように個々に設計を施すことで、多値レベルが増加しても高速な検出を可能としている。しきい演算の結果により要求一致の結果、すなわち応答信号 *ACK* を得る。復号化部では自身のデータを表す入力信号 *IN* で制御トランジスタを切り換えることで、2線電流信号(x, \bar{x})から自身の2線電流信号を引き算している。その結果を比較回路で大小比較をすることで、相手のデータを出力データ *OUT* として復号できる。

双方向非同期データ転送方式の動作検証を行うために、0.18- μm CMOS プロセスを用いてインタフェース回路の試作を行った。図5はテストチップの写真である。図6(a) 双方の要求信号に対する入出力データの波形を示したものである。奇数と偶数のどちらの状態においても、双方から入力されたデータが反対側の出力として正しく得られていることがわかる。図6(b)は双方の要求信号に対する応答信号の波形を示す。非同期動作を検証するため、双方の要求信号が変化するタイミングを意図的にずらしている。双方の要求が揃ったときのみ、双方の応答が同時に要求一致を検出しており、双方の要求が異なる場合は前の状態を保持(待機)していることがわかる。これにより、提案方式が実現可能であることを実証した。

表2は従来方式の符号化に基づく双方向非同期データ転送チャンネルと、1相2線符号化に基づく双方向非同期データ転送チャンネルの比較をまとめたものである。提案方式は配線数を増加させることなく、要求応答処理ステップを削減したことで、スループットは1.18 Gb/s/wireに達し、これは従来方式である4相2線符号化方式の6.2倍である。また、消費電力量は0.78 pJ/bitであり4相2線符号化方式の27%である。配線数は1本/bitで、これは同期式制御と同等の配線数で非同期データ転送を実現できることを意味する。これより、提案方式は従来方式と比較して極めて高性能な非同期データ転送ができることがわかる。

表2：性能比較 (HSPICE simulation with a 0.18- μm CMOS, $V_{DD}=1.8$ V Wire length =1 mm)

	4-phase dual-rail encoding	4-phase 1-of-4 encoding	2-phase dual-rail encoding	1-phase dual-rail encoding
Communication channel	Duplex			
Number of communication steps	4	4	2	1
Number of wires	6	5	6	2
Circuit realization	Binary-CMOS	Binary-CMOS	Binary-CMOS	MVCML
Cycle time [nS]	1.78	2.00	0.88	0.85
Circuit delay	1.08	1.28	0.53	0.47
Wire delay	0.70	0.72	0.35	0.38
Throughput [Gb/s/wire]	0.19	0.20	0.38	1.18
Power dissipation [mW]	3.20	1.66	3.42	1.83
Energy dissipation / Cycle [pJ/bit]	2.85	1.78	1.56	0.78
Area [μm^2]	2070	2027	1843	2517

第4章 結言

制御信号の時間的及び空間的多重化により、配線数を増加させることなく要求応答処理ステップを短縮できる1相2線符号化に基づく非同期データ転送プロトコルを提案した。また電流モード多値回路を用いたインタフェース回路を構成し試作チップにより提案方式を実証するとともに、その有用性を定量的に評価し従来方式と比較して高性能な非同期データ転送が可能であることを示した。

提案方式は配線遅延のばらつきの大きいグローバルなデータ転送に特に有効であることから、チップ内ネットワーク(Network on a Chip : NoC)への適用や、配線遅延のばらつきがとりわけ顕著となるアプリケーション、例えばLDPCデコーダなどに適用すれば、平均遅延による高速化など非同期式制御の利点を大きく享受できる高性能なプロセッサが実現できるものと期待される。

論文審査結果の要旨

同期式に基づく VLSI プロセッサの性能向上限界を解決する一手法として期待されている非同期式制御では、クロックに代わる制御信号の発生・検出に伴うオーバヘッドを極力減らすことが重要である。著者は、制御信号とデータを一線上に重畳した多重符号化に基づく非同期制御方式とその回路実現法を考案し、高速かつ配線数の少ない非同期データ転送 VLSI アーキテクチャの有用性を実証した。本論文は、その成果を取りまとめたもので、全文 4 章より構成される。

第 1 章は緒言である。

第 2 章では、現在までに提案されている非同期制御方式と比較して、配線数が極めて少なく、かつ高速な非同期データ転送方式を提案している。転送元モジュールからの要求信号および転送先モジュールからの応答信号を、双方のモジュールを接続する配線上で加算し、その加算結果を用いることで相手モジュールの状態を検出し、要求応答に対する処理ステップ数を減少させている。有効データと制御信号を重畳した信号を多値 2 線符号で表現し、かつ符号の線形和が同じ値となるように設定することで、モジュール間配線数を 2 本に保ちつつ、有効データの到来を正しく識別している。また、双方向データ転送が可能な新しい多値 2 線符号を考案し、単方向のデータ転送と比較してわずかなオーバヘッドであること及び配線数を半分程度に削減できることを明らかにしている。これは高速非同期データ転送プロトコルの根幹をなす重要な概念を与えている。

第 3 章では、前章で述べた非同期データ転送方式に対し、電流モード多値回路技術に基づく VLSI 実現法について述べている。双方からの信号を電流レベルで表現して同一配線上に送出し、互いに結線されている配線上で再び分流させることで、線形加算と加算結果の検出を同時に実行するものとなり、提案プロトコルが極めて簡単に実現できることを明らかにしている。また、差動対回路の高速な電圧比較機能を用いるために、電流電圧変換回路を挿入して電流レベルの識別回路全体の高速化を達成している。本方式に基づく非同期データ転送インタフェースを 0.18 μ m CMOS 技術で設計・評価し、従来符号を 2 値 CMOS 回路で実現した場合と比較して、スループットを約 6 倍、配線数を 1/3、消費電力を約 1/2 にできることを明らかにした。これは高速かつ配線数の少ない非同期データ転送を実現する回路技術として重要な成果である。

第 4 章は結言である。

以上要するに本論文は、制御信号の多重符号化に基づく高速な非同期データ転送プロトコルとその回路実現法を提案し、回路パラメータのばらつきが顕著となる次世代 VLSI の実現において有用であることを明らかにしたもので、計算機回路工学及び集積回路工学の発展に寄与するところが少なくない。

よって、本論文は博士（工学）の学位論文として合格と認める。