

	おにざわ なおや		
氏名	鬼沢直哉		
授与学位	博士(工学)		
学位授与年月日	平成21年3月25日		
学位授与の根拠法規	学位規則第4条第1項		
研究科, 専攻の名称	東北大学大学院工学研究科(博士課程)電気・通信工学専攻		
学位論文題目	完全並列型 LDPC デコーダの高性能化に関する研究		
指導教員	東北大学教授 羽生 貴弘		
論文審査委員	主査 東北大学教授 羽生 貴弘	東北大学教授 榊井 昇一	
	東北大学教授 堀口 進		

論文内容要旨

第1章 緒言

デジタル通信システムでは音声・動画・その他のデジタルデータを正確に伝送することが重要である。しかしながら、実際の伝送においてはその通信路上の雑音等によりデータを正しく伝送できない場合がある。誤り訂正符号は雑音等によるデータの劣化を軽減し、信頼度の高い通信を実現できる技術である。LDPC(Low Density Parity Check)符号は誤り訂正符号の一種で、その誤り訂正能力はシャノン限界に迫り、他の符号と比較して高い誤り訂正能力を持つことが知られている。そのため、次世代の通信規格である Mobile WiMAX, DVB-S2, 10GBase-T への採用が決定している。その一方で LDPC 符号の復号器である LDPC デコーダ、特に完全並列型ではハードウェア実装上問題を抱えている。LDPC デコーダ LSI 内部における配線数が非常に多く複雑で、配線長が非常にばらついてしまうことから、現在 LSI の制御に一般的に用いられている同期式制御を用いた場合、全体のスループットは長配線に起因する大きな配線遅延に律速されるてしまう。

以上のような背景から、本論文では LDPC デコーダにおける配線問題を解決し、高スループットかつ優れた BER 特性を持つ、高性能な完全並列型 LDPC デコーダ LSI の実現を目指す。

高性能な LDPC デコーダを実現する方法として、アルゴリズムレベルにおいて配線問題を解決することができる部分更新スケジューリングアルゴリズムの提案を行う。さらに、提案スケジューリングアルゴリズムをハードウェア実現するアプローチとして、長配線のみを分割することで周波数を向上させることができる部分パイプライン制御に基づく LDPC デコーダおよびローカル制御により最悪遅延によらない高速な演算が可能となる非同期式制御に基づく LDPC デコーダの2つの実現を図る。

第2章 LDPC デコーダ LSI とその高性能化に関する基礎的考察

本章では完全並列型 LDPC デコーダにおける配線問題を解決し高速なデコーディングを実現することが出来る、部分更新スケジューリングアルゴリズムの提案を行う。配線問題が顕著な完全並列型 LDPC デコーダにおいてはすべてのデータの更新後に演算を行う従来のスケジューリングアルゴリ

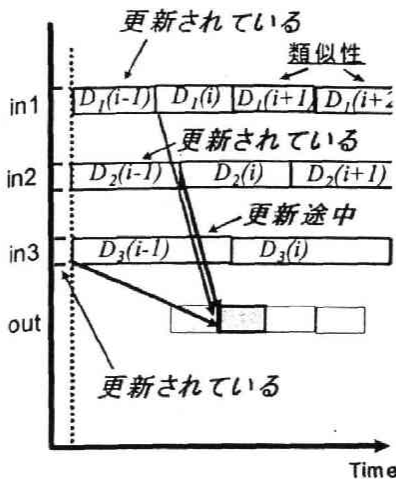


図 1:部分更新アルゴリズム

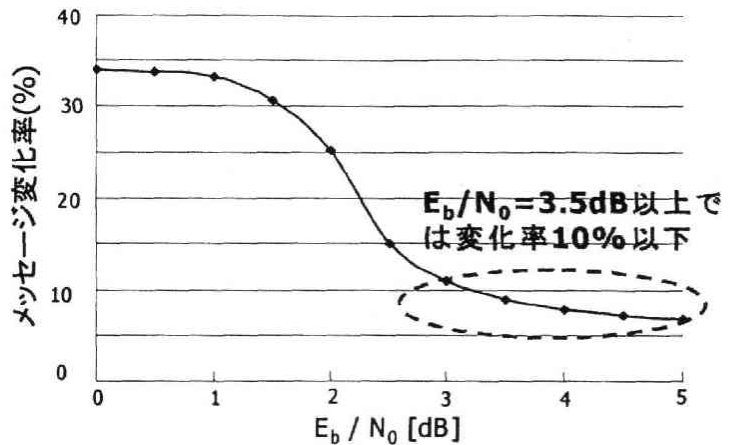


図 2:メッセージ変化率

ズムによってスループットの向上が難しくなっている。そこで、図 1 に示すように、配線問題を解決することが出来る部分更新スケジューリングアルゴリズムの提案を行う。従来のスケジューリングアルゴリズムでは最悪遅延に律速されることからスループットの向上が困難だったのに対して、提案のスケジューリングアルゴリズムでは演算に用いる入力データをその時点で使用することが出来るデータに限定することで、最悪遅延に律速されたデータが到来するのを待つ必要がないために、演算の高速化が実現できる。また、提案スケジューリングアルゴリズムを用いた場合の BER 特性について評価を行う必要がある。提案スケジューリングアルゴリズムでは、従来のスケジューリングアルゴリズムとは異なる入力データを用いて演算を行うために、BER 特性への影響が問題となる。しかしながら、図 2 に示すように LDPC デコーディング時における時間的に連続したデータは非常に類似しているという特徴があるため、その時点で使用できる入力データのみで演算を行っても BER 特性に影響なく、高速なデコーディングが実現される。

第 3 章 部分パイプライン制御に基づく LDPC デコーダの構成

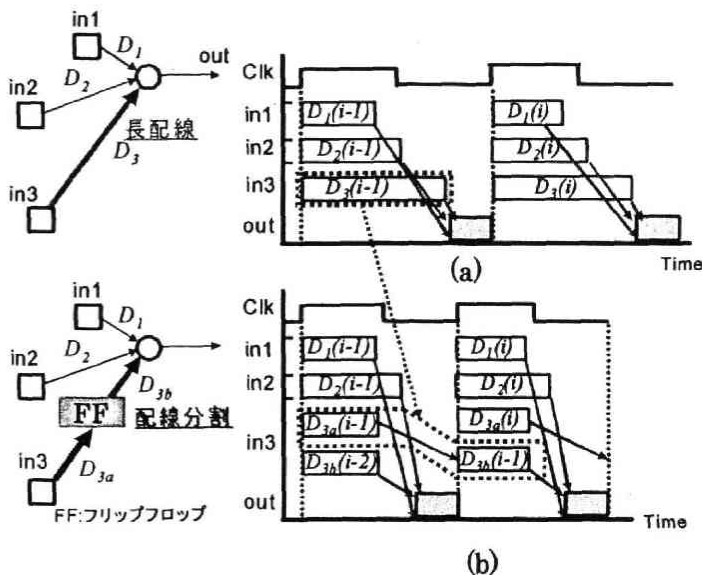


図 3:スケジューリング(a)従来,(b)部分パイプライン,

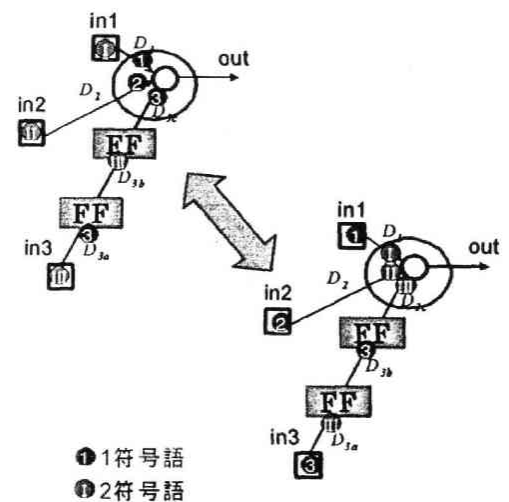


図 4:偶数レジスタ挿入による 2 符号語同時復

本章では、前章で提案を行った部分更新スケジューリングを実際にハードウェア実現する手法の 1 つとして、部分パイプライン制御に基づく LDPC デコーダの構成について述べる。部分更新スケジューリングは配線遅延のばらつきにより生じた大きな配線遅延を持つデータの到来を待つことなく演算を行うアルゴリズムである。本章では、一般的に用いられる 1 つのグローバルクロックによりチップ全体の制御を行う同期式制御により提案の部分更新スケジューリングアルゴリズムの実現を目指す。大きな配線遅延を持つデータの到来を待たずに演算を行うためには、同じ周期で大きな配線遅延を持つデータと小さな配線遅延を持つデータの更新を行わない必要がある。そこで、大きな配線遅延、つまり長い配線のみにはフリップフロップを挿入し分割して転送を行う。その結果、LSI は比較的短い配線遅延に依存するため周波数の向上が図られ、高スループット化が実現できる。また、分割するレジスタの数を偶数個に限定することで 2 つの符号語を同時復号を可能にする。2 つのレジスタを挿入することにより、独立した 2 つの符号語が混ざりあうことなく演算可能となることから、ハードウェアリソースを完全に使うことが可能となり、スループットの大幅な向上が図られる。90nm CMOS プロセスにおいて従来方式との比較を行った結果、1024 ビット LDPC デコーダにおいて、同等消費エネルギー下でスループット 13.21Gbps と約 2.5 倍化を達成している。

第 4 章 非同期式制御に基づく LDPC デコーダの構成

本章では、第 2 章で提案を行った部分更新スケジューリングアルゴリズムをハードウェア実現する手法の 2 つ目として、非同期式制御に基づく LDPC デコーダの提案を行う。非同期式制御は同期式制御で用いられるグローバルクロック信号の代わりにモジュール間の要求・応答信号によるローカル制御信号を用いて制御を行う方式である。非同期式制御を完全並列型 LDPC デコーダに活用することによりノード演算およびデータ転送はそれぞれのローカル遅延で動作することが可能となる。そのため、部分更新スケジューリングアルゴリズムを適用することができるため、高速化できる可能性がある。また非同期式制御を用いることによりグローバルクロックが必要ないことから電力削減の効果も期待できる。しかしながら、単に非同期式制御を LDPC デコーダに適用しても非同期式制御回路自身のオーバーヘッドにより上記の利点を享受することが難しいと考えられる。非同期式制御によるオーバーヘッドは大きく分けて 2 つ考えられる。1 つ目は配線数問題である。非同期式制御はローカル制御を行うための要求・応答用の配線が必要となるために、一括制御を行う同期式と比較して配線数が非常に大きくなってしまいう問題がある。ノード間配線問題が顕著な完全並列型 LDPC デコーダにおいては配線問題をさらに悪化させてしまい、性能劣化の原因となってしまう。そこで本章では少配線数で非同期式データ転送を実現できる方式として双方向シングルトラック方式の提案を行う。シングルトラック方式は要求・応答用配線を時間的に分割して使用することで共有することができる方式である。提案方式では従来シングルトラック方式で *spacer* のみを転送していた応答信号にデータ信号を重畳することで配線数オーバーヘッドなしに双方向非同期式データ転送を実現することができる。この結果、従来非同期式と比較して配線数 1/3、また同期式制御と比較して同等配線数で非同期式データ転送が実現できる。

非同期式制御に伴う 2 つ目の問題として符号化に伴う消費電力の問題が考えられる。非同期式制御ではデータ以外にローカル制御を行うために制御信号を転送する。そのために、データ変化の有無に関係なく制御信号が変化するため、常にほぼ一定の電力が消費される。一方で、完全並列型

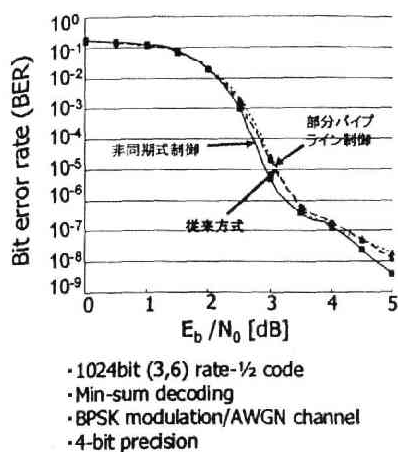


図 5:BER 特性

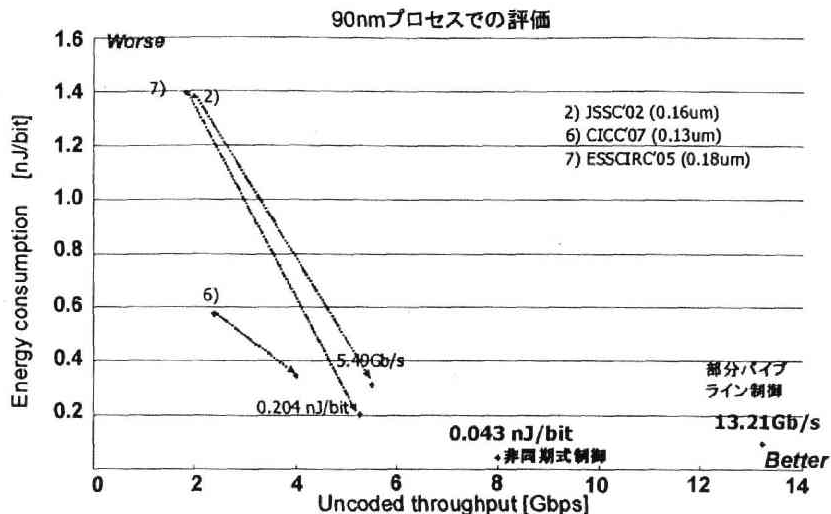


図 6:性能評価

LDPC デコーダでは LSI 内部におけるメッセージ変化率が非常に低いという特徴を持っている。そのため、データ変化の有無に関係なく制御信号が変化する非同期式制御においては同期式制御と比較して電力が大きくなってしまふ問題がある。そこで本章ではデータ転送が必要なときのみ転送を行うように制御回路を付加することで適応的にデータ転送を行う。データを転送する必要がある場合というのは時間的に連続したデータが変化したときのみであるため、前後のデータを比較してことになったときのみデータの転送を行う。その結果、データ転送が必要なときのみ制御信号が変化するために従来方式と比較して大幅に電力を削減できる。上記の提案シングルトラック非同期式データ転送に基づき、適応的データ転送を行うことで、図 5 に示すように同等 BER 特性を達成しつつ、従来方式と比較して 90nm CMOS プロセスにおいて消費電力約 40%削減かつスループット約 1.5 倍化を達成している。また、図 6 に第 3 章で提案を行った部分パイプライン制御に基づく LDPC デコーダも含めて、これまで提案されている他の LDPC デコーダとの性能見積もりを 90nm CMOS プロセスについて行ったものを示す。その結果、提案の 2 つのデコーダはそれぞれ、最高速度または最小エネルギーを達成している。

第 5 章 結言

完全並列型 LDPC デコーダにおける配線問題を解決するスケジューリングアルゴリズムとして、すべてのデータ更新を待たずに演算を行う部分更新アルゴリズムの提案を行った。従来とは異なるデータを用いて演算を行うが、LDPC デコーダにおける時間的に連続したデータの類似性により、高速なデコーディングを実現するとともに、高い誤り訂正能力を維持することができる。そのハードウェアを部分パイプライン制御および非同期式制御により実現することで、それぞれ従来方式と比較して高性能化できることを示した。

LDPC デコーディングアルゴリズムは Belief propagation (BP: 確率伝搬法) の一種として知られており、他の BP の応用例としては Turbo 符号の復号アルゴリズム、SAT 問題および CDMA 復調等があげられる。それらの応用例をハードウェア実装する際、今回の提案したデコーディングアルゴリズムおよびハードウェア実現は有用であると考えられる。

論文審査結果の要旨

完全並列型 Low-Density Parity-Check(LDPC)デコーダでは、高い誤り訂正能力を維持しつつ、1000 ビット超の符号語入力に対する高いスループットの実現が望まれている。著者は、高速化を阻害するデータ依存関係を軽減する演算アルゴリズムとこれに適するデータ転送方式を考案し、その有用性を実証した。本論文は、その成果を取りまとめたもので、全文5章よりなる。

第1章は、緒言である。

第2章では、高い誤り訂正能力を維持したまま完全並列型 LDPC デコーダの高速化が可能となる部分更新アルゴリズムを提案している。LDPC 復号化処理では、時間的に連続したデータが互いに類似している。この点に着目すれば、長い転送時間を要するデータを用いずに、その更新前のデータを用いて演算を実行しても高い誤り訂正能力が維持できることをソフトウェアシミュレーションにより検証している。

第3章では、長い転送時間を要する配線上のみにレジスタを挿入し、時分割でデータを転送する部分パイプライン制御方式を提案している。また、レジスタを偶数個挿入することで、演算ノードの稼働率を 100% にし、スループットの大幅な向上を可能にしている。実際、90nmCMOS プロセスにおいて 1024 ビット LDPC デコーダを評価した結果、レジスタを挿入しない従来方式の LDPC デコーダと比較し、同一の消費エネルギーでスループットを約 2.5 倍向上できることを実証している。これは実用上有用な成果である。

第4章では、データ転送を非同期式制御することで、配線長に応じたデータ転送を実現し、長い転送時間を要していたデータに律速されずに演算を実行できる LDPC デコーダを提案している。非同期式制御に必要な要求・応答用配線を共有しつつ、双方向に非同期通信を実現できる符号化手法を考案することで、従来の非同期データ転送で問題となっていたノード間配線数を大幅に削減している。また、データ転送前に隣接データどうしを比較することで、更新されたデータのみが転送されることとなり、データ転送時の動的消費電力を大幅に削減している。実際、90nmCMOS プロセスにおいて 1024 ビット LDPC デコーダを実現した場合、同等機能の同期式制御による実現と比較し、消費エネルギーを約 60%削減でき、かつスループットを約 1.5 倍向上できることを実証している。これは完全並列型 LDPC デコーダのさらなる高性能化を達成する上で重要な成果である。

第5章は、結言である。

以上要するに本論文は、大局的配線に起因する転送ボトルネック問題に対し、データの類似性に着目した部分更新アルゴリズムとそのデータ転送方式を提案し、高い誤り訂正能力を維持しつつ、高いスループットを達成できることを明らかにしたもので、集積回路工学の発展に寄与するところが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。