

氏名	おおだいら ゆうすけ 大平 祐介		
授与学位	博士(工学)		
学位授与年月日	平成24年3月27日		
学位授与の根拠法規	学位規則第4条第1項		
研究科, 専攻の名称	東北大学大学院工学研究科(博士課程) 応用物理学専攻		
学位論文題目	Co ₂ MnSi 電極強磁性トンネル接合を用いたスピントランジスタに関する研究		
指導教員	東北大学教授 安藤 康夫		
論文審査委員	主査	東北大学教授 安藤 康夫	東北大学教授 佐久間 昭正
		東北大学教授 北上 修	東北大学准教授 大兼 幹彦

論文内容要旨

第1章 序論

スピントロニクス (Spintronics) とは従来のエレクトロニクス分野で用いられることのなかったキャリアのスピンの自由度を積極的に活用することで, 新たな機能性を有した電子デバイスを創生しようとする研究分野である. スピントロニクスがかかわるデバイスには, ハードディスクドライブ(Hard Disk Drive:HDD), その読み取り/書き込み用磁気ヘッド, および不揮発性メモリである磁気ランダムアクセスメモリ(Magnetic Random Access Memory:MRAM) などがある. また, スピントロニクスを応用したデバイスの一つに, スピントランジスタがある. スピントランジスタとは, トランジスタに強磁性体を取り込むことによって, スピン偏極したキャリアによる電流の制御を可能とした機能デバイスである. 電子のスピン自由度を取り込むことで, 従来のトランジスタが有していた増幅やスイッチング機能に加えて, トランジスタそれ自体に不揮発のメモリ機能を持たせるなど, 新たな機能を付加することが可能であるとされている. スピントランジスタを用いることで, 不揮発性メモリの超高集積化や, 再構成可能な(リコンフィギュラブル)論理回路などが実現できると期待されており, スピントランジスタはスピントロニクス分野における究極の目標の一つとされている. スピントランジスタの実現のため, 過去から現在までに様々な原理に基づくスピントランジスタが考案・研究されている. しかし, いずれの種類のスピントランジスタにおいても, その実用化のためにはそれぞれ課題を有しているのが現状である.

そこで本研究では, スピントランジスタの実現のために, 大きな磁気電流比と on/off 比が同時に実現できる Co₂MnSi(CMS)電極を用いた強磁性トンネル接合(MTJ)を基本構造とするスピントランジスタ(CMS-MTJ スピントランジスタ)を独自に考案した. そして, CMS-MTJ スピントランジスタの基本構造である, Co₂MnSi 電極を用いた二重の MTJ とゲート電極とを持つ素子を実際に作製すること, 作製した素子において, 200% 以上の磁気電流比と 1000 以上の on/off 比とを観測することを目的として研究を行った.

第2章 実験方法

マグネトロンスパッタリング法により、 $\text{MgO}(001)$ 基板上にTMR多層膜を成膜した。成膜した多層膜に、フォトリソグラフィや電子線リソグラフィ、 Ar イオンミリングなどの微細加工を施すことによって、スピントランジスタ構造を作製した。作製プロセスや構造の詳細は第3章にて詳述している。作製したスピントランジスタに対して、TMR効果やトンネルコンダクタンスなどの評価、およびゲート電圧を用いたトランジスタ特性の評価を行った。評価は室温あるいは6 Kで行った。測定系および測定に用いた機器の詳細については、第3章以降で随時説明している。

第3章 スピントランジスタ構造の作製

スピントランジスタの基本構造である Co_2MnSi 電極を用いた二重のMTJと、それらと容量結合（ゲート容量）したゲート電極を含む素子の作製および評価を行った。最初にゲート電圧による効率の良い動作のための指針を立てた。その指針にしたがって二種類のスピントランジスタ構造の作製を行い、それぞれ評価を行った。

まずは、電子線リソグラフィによる金属ナノ細線をハードマスクとして利用する微細加工プロセスによって、二重のMTJおよびそれらと容量結合したゲート電極を含んだスピントランジスタ構造の作製を行った。作製した素子の模式図を図1に示す。作製した素子において、低温で最大248%、室温では25-40%のTMR比が得られた。

次に、低温においてトンネルコンダクタンスの測定を行った。磁化反平行状態において、ゼロバイアス付近でコンダクタンスの大きなバイアス電圧依存性が観測された。

これは、作製したCMS-MTJスピントランジスタがスピントランジスタとして動作するために必要な特性である。大きなバイアス電圧依存性が観測できたので、スピントランジスタ特性の評価のために、ゲート電圧を印加しながらTMR比の評価を行った。 $\pm 25\text{ V}$ のゲート電圧の印加に対して、約10%のTMR比の減少を観測することに成功した。

ゲート電圧の印加によってより大きな出力の変化を得るためには、ゲートの容量を大きくすればよい。そこで、より大きなゲート容量を得ることができる $\text{Cr/MgO/Co}_2\text{MnSi}$ 多層膜をゲート容量としたスピントランジスタ構造を独自に考案し、作製を行った。作製した素子構造を図2に示す。作製した素子において、低温において最大218%のTMR比、およびトンネルコンダクタンスの大きなバイアス電圧依存性

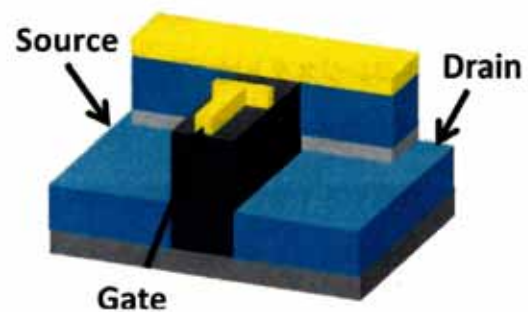


図1 金属ナノ細線をハードマスクとして用いたスピントランジスタ構造の模式図。

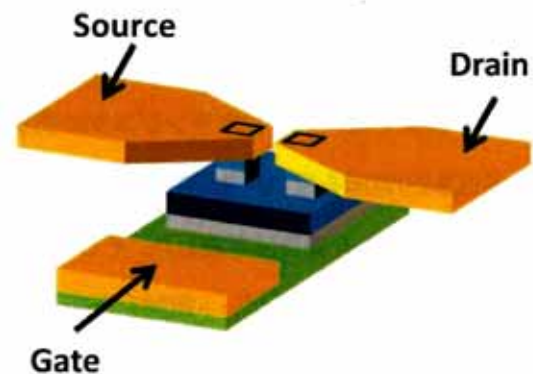


図2 $\text{Cr/MgO/Co}_2\text{MnSi}$ 多層膜をゲート容量とするスピントランジスタ構造の模式図。

が得られた。また、ゲート電極からのリーク電流の測定を行ったところ、リーク電流の大きさはほぼ測定の際のバックグラウンドの値であり、リーク電流は非常に小さいということがわかった。次に、ゲート電圧を印加しながら TMR 効果の測定を行った。素子破壊が起こらない程度の $\pm 5 \text{ V}$ のゲート電圧の印加に対しては、TMR 比はほとんど変化しなかった。ゲート電圧の印加に対して出力の変化が得られなかった原因を、充電された電荷が MTJ の抵抗成分を介して逃げてしまっているためと考え、オシロスコープによってゲート電圧を印加した際の出力波形を観測した。その結果、MTJ が抵抗として、ゲート容量が容量として機能していると考えられる RC 直列回路のそれと同様な過渡応答が得られた。得られた過渡応答において、ゲート容量を印加した瞬間から出力電流が緩和するまでの間はポテンシャルが変化していると考えられる。そのため、過渡応答を観測することによって、ゲート電圧によるポテンシャル操作に対応した出力の変化を得ることに成功したといえる。

第4章 スピントランジスタ特性の評価

Cr/MgO/Co₂MnSi 多層膜を用いたスピントランジスタ構造における、ゲート電圧を用いた出力特性について評価を行った。ゲート電圧誘起の出力特性を決定するパラメータとして、MTJ の抵抗、およびゲート容量の二つが考えられる。ゲート容量と MTJ を構成する MgO 層の膜厚をそれぞれ変化させることで、MTJ の抵抗、およびゲート容量のそれぞれの大きさが異なる素子を作製し、評価を行った。作製した素子において、低温 (6 K) で 155%-248% の TMR 比が得られた。室温での TMR 比は 41%-61% であった。また、作製したいずれの素子においても、磁化平行状態、低バイアス領域においてトンネルコンダクタンスの大きなバイアス依存性が得られた。また、グラフの形状が全て左右対称になっていることから、二重の MTJ がどちらも短絡なく機能していると考えられる。ゲート電圧を印加することにより、ゲート電極からのリーク電流の測定を行った。素子毎にリーク電流の大きさやゲート電圧の増加に対する振る舞いは異なっていた。しかし、今回評価を行った全ての素子において、ゲート電圧印加による過渡応答が得られたことから、リーク電流は充分小さいと判断した。

ゲート電圧を印加による出力波形の立ち上がりや緩和について調査した。立ち上がりに関しては、プリアンプなど測定系の影響が大きいということがわかった。より高速な応答を示すプリアンプを用いることによって、波形の立ち上がりに関するより詳細な議論が可能になると考えられる。次に、波形の緩和の起源について調査を行った。得られた出力波形から求めた時定数と、MTJ の抵抗成分 R_{MTJ} にゲート容量 C_{Gate} を掛けた値との比較を行った。障壁層が 1.5 nm, 2.0 nm の素子に関しては、時定数は $R_{\text{MTJ}}C_{\text{Gate}}$ に比例するという結果が得られた。障壁層が 2.5 nm の素子に関しては、他の障壁層膜厚の素子と異なり、波形から求めた時定数が $R_{\text{MTJ}}C_{\text{Gate}}$ に比例しなかった。障壁層が 2.5 nm の素子の出力波形は緩和が二段階に起こっている様に見えることから、double exponential 関数によるフィッティングを行い、それにより得られる二つの時定数と素子の $R_{\text{MTJ}}C_{\text{Gate}}$ との比較を行った。一つ目の時定数は TMR 効果による R_{MTJ} の変化に対して変化しなかった。また、二つ目の時定数は R_{MTJ} の変化にしたがって変化を見せたものの、その値は一桁小さかった。これらの原因の一つとして、上部電極

と下部電極とが層間絶縁膜を介して形成している容量成分の存在が挙げられる。

得られた出力波形から、磁気電流比の評価を行った。その結果、低温（6 K）で最大 215% と、当初の目標を上回る磁気電流比を観測することに成功した。室温では、最大で 68% という磁気電流比が得られた。磁気電流比のソース・ドレイン間電圧やゲート電圧に対する振る舞いは、MTJ における TMR 比のバイアス電圧依存性によって、定性的に理解することが可能である。

磁気電流比と同様に、得られた出力波形から、on/off 比の評価を行った。その結果、最大の on/off 比として、磁化平行時に 969、磁化反平行時に 2920 という、当初の目標を大きく上回る on/off 比を得ることに成功した。室温における最大の on/off 比は、磁化平行時に 873、磁化反平行時に 1266 という値であった。障壁層が厚く、素子抵抗が大きな素子において、最大の on/off 比が得られた。これは、素子抵抗の大きさから、off 電流が小さいためであると考えられる。素子抵抗を大きくすることなく、大きな on/off 比を得るためには、素子の TMR 比を向上させればよい。磁化平行状態の素子抵抗が小さくとも、TMR 比が大きければ、磁化反平行状態においては抵抗が大きく増加し、それに伴い on/off 比も大きくなると考えられる。

第5章 総括

本研究において独自に考案した CMS-MTJ スピントランジスタを実際に作製するために、CMS-MTJ スピントランジスタの基本構造、および作製プロセスを独自に考案した。また、作製した素子において、実際に当初の目標である磁気電流比 200%、on/off 比 1000 を上回る値を得ることに成功した（図 3）。本研究の成果により、スピントランジスタはその実現に向けて大きく前進したといえる。したがって本研究の成果は、スピントロニクス の発展、ひいては応用物理学の発展に大きく寄与すると期待される。

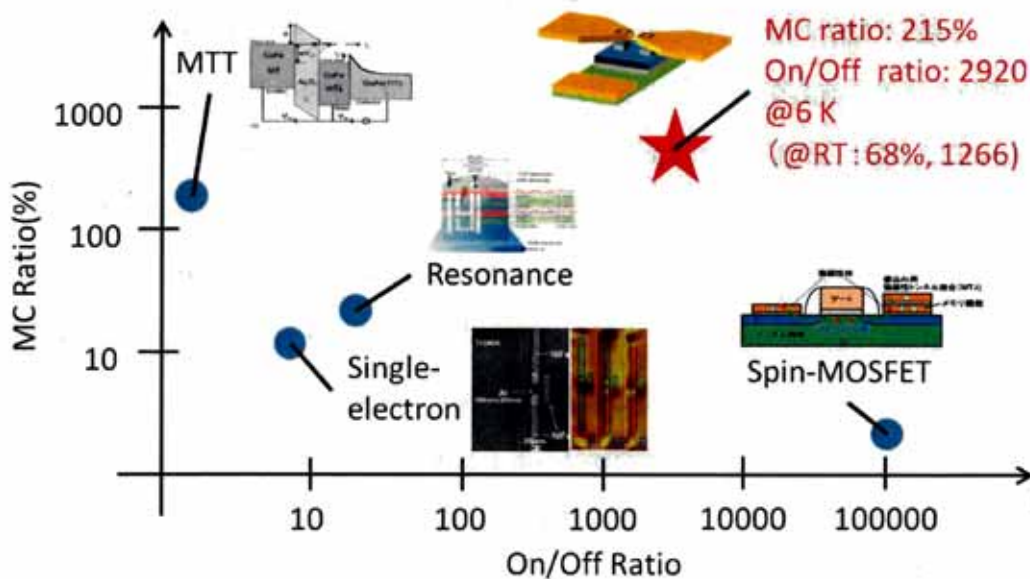


図 3 本研究にて得られた磁気電流比と on/off 比。

論文審査結果の要旨

第1章は序論である。スピントロニクスを説明した後、スピントランジスタに関してこれまでの研究の歴史、特徴、実現のための目標について述べている。また、本研究における目的と実現目標を掲げている。

第2章は実験方法である。

第3章は、スピントランジスタの基本構造である Co_2MnSi 電極を用いた二重の MTJ と、それらと容量結合（ゲート容量）したゲート電極を含む素子の作製および評価について述べている。最初にゲート電圧による効率の良い動作のための指針を立てて二種類のスピントランジスタ構造を作製した。作製した素子において、低温で最大 248%、室温では 25-40% の TMR 比が得られた。次にスピントランジスタ特性の評価のために、ゲート電圧を印加しながら TMR 比の評価を行った。 $\pm 25 \text{ V}$ のゲート電圧の印加に対して、約 10% の TMR 比の減少を観測することに成功した。

次に大きなゲート容量を得ることができる $\text{Cr/MgO/Co}_2\text{MnSi}$ 多層膜をゲート容量としたスピントランジスタ構造を独自に考案し、作製を行った。作製した素子において、低温において最大 218% の TMR 比、およびトンネルコンダクタンスの大きなバイアス電圧依存性が得られた。また、オシロスコープによってゲート電圧を印加した際の出力波形を観測した。その結果、MTJ が抵抗として、ゲート容量が容量として機能していると考えられる RC 直列回路のそれと同様な過渡応答が得られた。そのため、過渡応答を観測することによって、ゲート電圧によるポテンシャル操作に対応した出力の変化を得ることに成功した。

第4章は、 $\text{Cr/MgO/Co}_2\text{MnSi}$ 多層膜を用いたスピントランジスタ構造における、ゲート電圧を用いた出力特性について評価を行った。ゲート容量と MTJ を構成する MgO 層の膜厚をそれぞれ変化させることで、MTJ の抵抗、およびゲート容量のそれぞれの大きさが異なる素子を作製し、評価を行った。作製した素子において、低温（6 K）で 155%-248% の TMR 比が得られた。ゲート電圧を印加による出力波形の立ち上がりや緩和について調査した。立ち上がりに関しては、プリアンプなど測定系の影響が大きいということがわかった。次に、波形の緩和の起源について調査を行った。得られた出力波形から求めた時定数と、MTJ の抵抗成分 R_{MTJ} にゲート容量 C_{Gate} を掛けた値との比較を行った。障壁層が 1.5 nm、2.0 nm の素子に関しては、時定数は $R_{\text{MTJ}}C_{\text{Gate}}$ に比例するという結果が得られた。障壁層が 2.5 nm の素子に関しては、他の障壁層膜厚の素子と異なり、波形から求めた時定数が $R_{\text{MTJ}}C_{\text{Gate}}$ に比例しなかった。得られた出力波形から、磁気電流比の評価を行った。その結果、低温（6 K）で最大 215% と、当初の目標を上回る磁気電流比を観測することに成功した。磁気電流比と同様に、得られた出力波形から、on/off 比の評価を行った。その結果、最大の on/off 比として、磁化平行時に 969、磁化反平行時で 2920 という、当初の目標を大きく上回る on/off 比を得ることに成功した。

第5章は総括である。本研究においては独自に考案した CMS-MTJ スピントランジスタを実際に作製するために、CMS-MTJ スピントランジスタの基本構造、および作製プロセスを独自に考案した。また、作製した素子において、実際に当初の目標である磁気電流比 200%、on/off 比 1000 を上回る値を得ることに成功した。本研究の成果により、スピントランジスタはその実現に向けて大きく前進したといえる。したがって本研究の成果は、スピントロニクスの発展、ひいては応用物理学の発展に大きく寄与すると期待される。

よって、本論文は博士(工学)の学位論文として合格と認める。