

|             |   |
|-------------|---|
|             | むろ が し ゆう   |
| 氏 名         | 室 賀 翔   |
| 授 与 学 位     | 博士(工学)  |
| 学位授与年月日     | 平成24年3月27日  |
| 学位授与の根拠法規   | 学位規則第4条第1項  |
| 研究科、専攻の名称   | 東北大学大学院工学研究科(博士課程)電気・通信工学専攻                               |
| 学 位 論 文 題 目 | 磁性薄膜を用いたオンチップ電磁ノイズ抑制体に関する研究                               |
| 指 導 教 員     | 東北大学教授 山口 正洋  |
| 論 文 審 査 委 員 | 主査 東北大学教授 山口 正洋 東北大学教授 佐橋 政司<br>東北大学教授 末松 憲治 東北大学准教授 遠藤 恭 |

## 論 文 内 容 要 旨

ICチップ内の高周波スイッチング電流による電磁ノイズを抑制することはデジタルICの高速動作化と小型化を推進し、ミックスド・シグナルICの機能を適切に確保する上で不可欠である。特に、大規模なデジタル回路がRFフロントエンド部と近接して集積化されているRFIC(Radio Frequency Integrated Circuits)における電磁ノイズ問題が顕在化している。これに対し、ガードリングやトリプルウェルを配置する方法、回路配置や配線ルーティング等のノイズ源をノイズを受ける回路から遠ざけるといった対処法ではなく、チップレベルの電磁ノイズ問題を根本的に解決する新規デバイスが必要となっている。本論文は、ICチップのパッケージーション上に磁性薄膜を実装し、高周波電流で励磁された磁性薄膜の損失および磁気シールド効果によって、ICチップ内の回路・配線に予めノイズ抑制機能を付与させ、伝導および誘導ノイズを抑制可能とするオンチップ電磁ノイズ抑制体を提案し、デジタルICの誘導ノイズを抑制可能であることを実証した一連の研究成果をまとめたものである。伝導ノイズに対しては、強磁性共鳴損失およびジュール損失を利用し、目標周波数において最大の抑制効果を得るためにオンチップ薄膜磁性電磁ノイズ抑制体の設計指針を議論し、誘導ノイズに対しては、磁性薄膜の高透磁率によるシールド効果により磁束を閉じ込める、或いは外部から侵入する磁束を遮蔽する対策を行うための寸法・材料に関する設計指針を議論した。この際、従来研究と異なり、実際のICチップレベルの配線および回路を想定した寸法および材料の伝送線路・回路をCMOSプロセスを用いて作製し、磁性薄膜によるノイズ抑制効果を議論する。磁性薄膜によるノイズ抑制効果の目標値の目安として、伝導ノイズ抑制効果として70%，誘導ノイズ抑制効果として10 dBを設定する。これらの値は、既存技術であるノイズ抑制シートが実現するノイズ抑制効果と同レベルである。

第1章は序論である。

第2章では、ICチップ上の模擬的な配線にオンチップ電磁ノイズ抑制体を実装し、磁性薄膜中の損失が伝導ノイズの抑制に有用であることを実証した。磁性薄膜の強磁性共鳴による損失は伝導ノイズのエネルギーを熱として吸収する帯域除去フィルタとして動作し、その帯域除去の中心周波数が磁性薄膜固有の強磁性共鳴周波数に等しく、副次的に配線と磁性薄膜との幾何学的配置および寸法で定まる反磁界によって高周波側へシフトする機構を明らかにした。実験に用いた磁性薄膜は1 GHzに強磁性共鳴周波数を持ち、かつ透磁率の高いアモルファスCoZrNb合金磁性薄膜であり、その寸法設計により膜固有の強磁性共鳴周波数である1.1 GHzから7 GHzの範囲で帯域除去の中心周波数を所望の値に設定可能であることを明らかにした。これは、

提案した技術が携帯電話や無線 LAN 等の無線通信用ミックスド・シグナル IC チップに有用となる可能性を示唆するものである。一方、8 μm 幅のコプレーナ伝送線路上に集積化した膜長 1.6 mm かつ膜厚 0.5 μm の CoZrNb 膜を用いて、55% の伝導ノイズ抑制効果を得た。この値から、ノイズ抑制シートと比較して薄型であり、小面積化した磁性薄膜を用いて、ノイズ抑制シートと同程度のノイズ抑制効果が得られた。更に、伝導ノイズ抑制効果を向上させるためには、配線設計上信号線幅を狭小化し、高い磁束密度を得ること、高透磁率材料を用いることが望ましいことを示した。以上の議論は、強磁性共鳴損失だけでなく、ジュール損失に関しても共通である。よって、チップレベル以下の微小なサイズのノイズ抑制体を用いて、強磁性共鳴損失およびジュール損失を最大化するために有用である。

第 3 章では、オンチップ電磁ノイズ抑制体における磁性薄膜の導電性に着目し、ジュール損失による伝導ノイズの抑制機構を考察した。第 2 章で考察した強磁性共鳴損失と区別するため、非磁性でかつ導電性を有するオンチップ電磁ノイズ抑制体を解析対象と定め、その電流分布と電界分布を多数の微小抵抗と微小静電容量を三次元的に接続した等価回路網を用いて表現した。本等価回路網解析では、ジュール損失の支配要因は導電率と膜厚により定まるシート抵抗であることを導き、適切なシート抵抗を選べばジュール損失を最大化できるとともに、GHz 帯において広帯域に伝導ノイズを抑制できることを明らかにした。さらに、薄膜内で発生するジュール損失は、薄膜に垂直に鎖交する磁束により生じる渦電流と、導体間に生じる電位差により生じる変位電流により膜内に生じる電流であることを明らかにし、それぞれの電流による損失が特定のシート抵抗により最大化することを明らかにした。さらに、高周波になるに従い、ジュール損失が増大しつつ、2 つの極大値が近づき、大きな極大値を形成する傾向を示し、従来研究と同様の傾向が得られていることを示した。これらは従来得られていた、特定のシート抵抗の範囲においてジュール損失が最大化するという実験事実に、理論的根拠を与えるものである。この結果は、磁性薄膜を設計する際は、薄膜の膜厚および抵抗率は、ジュール損失を最大化するシート抵抗を満足する範囲内では自由に選択可能であることを示しており、オンチップ電磁ノイズ抑制体の設計指針の一つを明確化している。

第 4 章では、コプレーナ伝送線路上に磁性薄膜を実装した場合を考え、磁性薄膜の外部空間を含む磁気回路解析を用いてオンチップ電磁ノイズ抑制体のもつ磁気シールド効果によって IC チップ外部への誘導ノイズを抑制可能であることを明らかにした。磁気回路については、第 2 章で得られた知見より、コプレーナ伝送線路上の信号線-グラウンドギャップ上に磁極が集中して存在すると仮定し、磁極から漏洩する磁束の経路を考慮した。本磁気回路解析により、誘導ノイズに対する抑制効果は磁性薄膜の強磁性共鳴周波数までの周波数帯で得られることを示した。一方、強磁性共鳴周波数以上の周波数帯域において、磁性共鳴周波数を超えて磁性薄膜の透磁率実部の符号が負になるため、電流からみた磁気回路の合成磁気抵抗が急減する周波数帯が存在することを明らかにした。この現象は、電気回路の共振現象と似ており、その結果、磁気回路に流れる磁束が急増し、誘導ノイズが増大する課題を抽出した。この問題を回避し、磁気シールド効果をより高周波帯まで得るために、さらに強磁性共鳴周波数の高い磁性薄膜を用いること、第 2 章で議論した反磁界を用いて磁性薄膜の強磁性共鳴周波数を高周波側へシフトさせることが有用であることを指摘した。また、この周波数帯域においては、強磁性共鳴損失およびジュール損失を組み合わせ、大きな伝導ノイズ抑制効果が得られる場合、磁界の発生源となる電流自体が減少することにより、誘導ノイズも抑制可能となることを指摘した。

第 5 章では、シフトレジスタアレイを 60 nm プロセスを用いて集積化し、模擬的に大きな高周波スイッチング電流を発生させるノイズ源回路上へ膜厚の異なる CoZrNb 膜を集積化した場合の電磁ノイズ抑制効果を評価した。膜厚 2.0 μm の CoZrNb 膜を集積化した場合に、CoZrNb 膜の共鳴周波数である 1.2 GHz 以下の周波数帯域において、7.7 dB の抑制効果を得た。この値は実用上の目安となる 10 dB に近く、オンチップ電磁ノイズ抑制体の有用性を示す重要な結果であると考えられる。この結果から、共鳴周波数以下の周波数帯域に

おいて、デジタル回路の電源線を流れる高周波電流による誘導ノイズを抑制するために、磁性薄膜が有用であることを示した。また、この抑制効果は強磁性共鳴周波数以下の周波数帯において得られていることから、第4章で考察した磁気シールド効果が主因であり、第2～3章で考察した伝導ノイズ抑制による間接的なノイズ抑制効果は小さいと総合的に考察した。また、磁性薄膜をポリイミド基板上に集積化し、チップ上に配置した場合の結果と、磁性薄膜を直接試作チップ上へ集積化した場合を比較しても、シールド効果の膜厚依存性に対する傾向の大きな変化は見られなかった。このことから、ノイズ源と磁性薄膜との距離が数  $\mu\text{m}$  の範囲において、シールド効果は大きくは変化しないと考えられる。即ち、伝導ノイズ・放射ノイズ抑制のための磁性薄膜電磁ノイズ抑制体の設計においては、まず伝導ノイズ抑制効果の目標値を満たすようにノイズ源と磁性薄膜の誘導結合量を定めた後に、放射ノイズの設計を行えば良いという設計指針を示している。また、回路上の多数の電源線を1つのループ電流として解析したモデルにより、シールド効果を予測可能であることを示した。更に、シールド効果の膜厚依存性および電磁界解析の結果から、CoZrNb 膜を用いてインターラッピングを 10 dB 抑制するためには、3.0  $\mu\text{m}$  の膜厚が必要であることを示し、抑制効果が透磁率と膜厚の積にほぼ比例することを示している。

第6章は結論である。

以上述べたとおり、本論文では本論文では、IC チップのパッケージ上に磁性薄膜を実装し、高周波電流で励磁された磁性薄膜の損失及び磁気シールド効果により、IC チップ内の回路・配線に予めノイズ抑制機能を付与させ、伝導および誘導ノイズを抑制することを可能とするオンチップ電磁ノイズ抑制体を提案し、その伝導および誘導ノイズ抑制効果を実証した。さらに、ノイズ抑制メカニズムおよび設計に必要な主要因を明確化している。さらに、IC チップの高周波スイッチング電流による電磁ノイズの抑制に対する有用性を実証した。これらの成果は、磁性薄膜電磁ノイズ抑制体の設計指針構築に有用であり、今後、EMC 協調統合設計を行う上で、必要不可欠となると考えられ、今後、チップレベルの EMC 問題の解明と対策が進み、高速・大容量な通信を支える RFIC の低ノイズ化ならびに低電力化に寄与できると思われる。

# 論文審査結果の要旨

ICチップ内の高周波スイッチング電流による電磁ノイズを抑制することはデジタルICの高速動作化と小型化を推進し、ミックスド・シグナルICの機能を適切に確保する上で不可欠である。本論文は、ICチップのパッケージ上に磁性薄膜を実装し、高周波電流で励磁された磁性薄膜の損失および磁気シールド効果によって伝導および誘導ノイズを抑制可能とするオンチップ電磁ノイズ抑制体を提案し、デジタルICの誘導ノイズを抑制可能であることを実証した一連の研究成果をまとめたものであり、全編6章からなる。

第1章は序論である。

第2章では、ICチップ上の模擬的な配線にオンチップ電磁ノイズ抑制体を実装し、磁性薄膜中の損失が伝導ノイズの抑制に有用であることを実証している。磁性薄膜の強磁性共鳴による損失は伝導ノイズのエネルギーを熱として吸収する帯域除去フィルタとして動作し、帯域除去の中心周波数は基本的に磁性薄膜固有の強磁性共鳴周波数に等しく、副次的に配線と磁性薄膜との幾何学的配置および寸法で定まる反磁界によって高周波側へシフトする機構を明らかにしている。実験に用いた磁性薄膜は1GHzに強磁性共鳴周波数を持ち、かつ透磁率の高いアモルファスCoZrNb合金磁性薄膜であり、その寸法設計により1～7GHzの範囲で帯域除去の中心周波数を所望の値に設定可能であることを明らかにしている。これは、提案技術が携帯電話や無線LAN等の無線通信用ミックスド・シグナルICチップに有用となる可能性を示唆するもので、重要な成果である。

第3章では、オンチップ電磁ノイズ抑制体における磁性薄膜の導電性に着目し、ジュール損失による伝導ノイズの抑制機構を考察している。第2章で考察した強磁性共鳴損失と区別するため、非磁性でかつ導電性を有するオンチップ電磁ノイズ抑制体を解析対象と定め、その電流分布と電界分布を多数の微小抵抗と微小静電容量を三次元的に接続した等価回路網を用いて表現している。

本解析では、ジュール損失の支配要因は導電率と膜厚により定まるシート抵抗であることを導き、適切なシート抵抗を選べばジュール損失を最大化できるとともに、GHz帯において広帯域に伝導ノイズを抑制できることを明らかにしている。これらは従来からの経験則に対して理論的根拠を与えるもので、オンチップ電磁ノイズ抑制体の設計指針の一つを明確化した有用な成果である。

第4章では、オンチップ電磁ノイズ抑制体のもつ磁気シールド効果によってICチップ外部への誘導ノイズを抑制可能であることを明らかにしている。

磁性薄膜の外部空間を含む磁気回路解析を行い、誘導ノイズに対する抑制効果は磁性薄膜の強磁性共鳴周波数までの周波数帯で得られ、その抑制量は透磁率と膜厚の積にほぼ比例することを示している。磁気シールド効果をより高周波帯まで得るためにには、更に強磁性共鳴周波数の高いオンチップ電磁ノイズ抑制体が有用であることを指摘している。強磁性共鳴周波数を超えた磁性薄膜の透磁率実部の符号が負になると、電流からみた磁気回路の合成磁気抵抗が急減するため誘導ノイズは増大する機構を明らかにしている。

第5章では、シフトレジスタアレイを搭載したノイズ発生用ICチップを用いて模擬的に大きな高周波スイッチング電流を発生させ、膜厚の異なるオンチップ電磁ノイズ抑制体を実装して、膜厚2.0μmのCoZrNb膜の場合に誘導ノイズを7.7dB抑制できたことを示している。

第6章は結論である。

以上要するに本論文は、磁性薄膜を用いたオンチップ電磁ノイズ抑制体を提案し、その伝導および誘導ノイズ抑制機構ならびに設計に係わる主要因を明らかにし、ICチップの高周波スイッチング電流による電磁ノイズの抑制に対する有用性を実証したものであり、磁気工学、環境電磁工学、および集積回路工学の発展に寄与することが少なくない。

よって、本論文は博士(工学)の学位論文として合格と認める。